

TMS320x281x DSP

イベント・マネージャ (EV)

リファレンス・ガイド

TMS320x281x DSP

イベント・マネージャ (EV)

リファレンス・ガイド

この資料は、Texas Instruments Incorporated (TI) が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ (日本 TI) が英文から和文へ翻訳して作成したものです。資料によっては正規英語版資料の更新に対応していないものがあります。日本 TI による和文資料は、あくまでも TI 正規英語版をご理解頂くための補助的参考資料としてご使用下さい。製品のご検討およびご採用にあたりましては必ず正規英語版の最新資料をご確認下さい。

TI および日本 TI は、正規英語版にて更新の情報を提供しているにもかかわらず、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。



ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといたします）及びTexas Instruments Incorporated（TIJの親会社、以下TIJ及びTexas Instruments Incorporatedを総称してTIといたします）は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIとの間に取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIの標準契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしておりません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えるとか、保証もしくは是認するということの意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTI からライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、且つその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、且つ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

なお、日本テキサス・インスツルメンツ株式会社半導体集積回路製品販売用標準契約約款もご覧ください。

<http://www.tij.co.jp/jsc/docs/stdterms.htm>

Copyright ©2004, Texas Instruments Incorporated

日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光があたる状態で保管・輸送しないこと。

3. 防湿梱包

- 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。

4. 機械的衝撃

- 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。

5. 熱衝撃

- んだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）

6. 汚染

- んだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
- んだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上

目次

1	概要	1-1
	イベント・マネージャ (EV) モジュールの概要を提供します。	
1.1	イベント・マネージャ機能	1-2
1.1.1	汎用 (GP) タイマ	1-6
1.1.2	フル・コンペア・ユニット	1-6
1.1.3	プログラマブル・デッドバンド・ジェネレータ	1-6
1.1.4	PWM 波形生成	1-7
1.1.5	PWM 特性	1-7
1.1.6	キャプチャ・ユニット	1-7
1.1.7	直交エンコーダ・パルス (QEP) 回路	1-8
1.1.8	外部アナログ・デジタル・コンバータ (ADC) 変換開始	1-8
1.1.9	パワー・ドライブ保護割り込み (PDPINTx、x=A または B)	1-8
1.1.10	EV レジスタ	1-8
1.1.11	EV 割り込み	1-9
1.2	拡張 EV 機能	1-10
1.3	イベント・マネージャ (EV) レジスタ・アドレス	1-11
1.4	汎用 (GP) タイマ	1-14
1.4.1	タイマ機能ブロック	1-14
1.4.2	GP タイマ入力	1-15
1.4.3	GP タイマ出力	1-16
1.4.4	個別 GP タイマ制御レジスタ (TxCON)	1-16
1.4.5	全 GP タイマ制御レジスタ (GPTCONA/B)	1-16
1.4.6	GP タイマ・コンペア・レジスタ	1-16
1.4.7	GP タイマ周期レジスタ	1-17
1.4.8	GP タイマ・コンペアおよび周期レジスタのダブル・バッファリング	1-17
1.4.9	GP タイマ・コンペア出力	1-17
1.4.10	タイマ・カウント方向	1-18
1.4.11	タイマ・クロック	1-18
1.4.12	QEP ベースのクロック入力	1-18
1.4.13	GP タイマの同期	1-18
1.4.14	タイマ・イベントを使用した A/D コンバータの開始	1-19
1.4.15	エミュレーション一時停止における GP タイマ	1-19
1.4.16	GP タイマ割り込み	1-19
1.4.17	GP タイマ・カウント動作	1-20
1.4.18	停止 / ホールド・モード	1-20
1.4.19	連続アップ・カウント・モード	1-20
1.4.20	方向アップ / ダウン・カウント・モード	1-21
1.4.21	連続アップ / ダウン・カウント・モード	1-22
1.4.22	GP タイマ・コンペア動作	1-23
1.4.23	PWM 出力の信号変化	1-24

1.4.24	非対称 / 対称波形生成器	1-24
1.4.25	アクティブ / インアクティブの時間計算	1-27
1.5	GP タイマを使用した PWM 出力の生成	1-29
1.5.1	PWM の動作	1-29
1.5.2	GP タイマのリセット	1-29
1.6	コンペア・ユニット	1-30
1.6.1	コンペア・ユニット動作のレジスタ・セットアップ	1-32
1.6.2	コンペア・ユニット・レジスタ	1-32
1.6.3	コンペア・ユニット割り込み	1-33
1.6.4	コンペア・ユニットのリセット	1-33
2	PWM 回路	2-1
	<i>パルス幅変調 (PWM) 回路について説明します。</i>	
2.1	コンペア・ユニットに対応する PWM 回路	2-2
2.1.1	イベント・マネージャの PWM 生成機能	2-3
2.1.2	プログラマブル・デッドバンド (デッドタイム) ユニット	2-3
2.1.3	デッドバンド・タイマ制御レジスタ A および B (DBTCONA および DBTCONB)	2-3
2.1.4	デッドバンド・ユニットの入力と出力	2-4
2.1.5	出力ロジック	2-6
2.2	PWM 波形生成	2-7
2.2.1	PWM 信号生成	2-7
2.2.2	イベント・マネージャを使用した PWM 出力の生成	2-8
2.2.3	非対称および対称 PWM 生成	2-8
2.2.4	PWM 生成用のレジスタ・セットアップ	2-8
2.2.5	非対称 PWM 波形生成	2-8
2.2.6	対称 PWM 波形生成	2-9
2.2.7	ダブル更新 PWM モード	2-10
2.3	空間ベクトル PWM	2-11
2.3.1	3 相パワー・インバータ	2-11
2.3.2	基本空間ベクトルを使用したモータ電圧の近似	2-13
2.3.3	イベント・マネージャを使用した空間ベクトル PWM 波形生成	2-13
2.3.4	ソフトウェア	2-13
2.3.5	空間ベクトル PWM ハードウェア	2-14
2.3.6	空間ベクトル PWM 波形	2-14
2.3.7	未使用のコンペア・レジスタ	2-14
2.3.8	空間ベクトル PWM 境界条件	2-15
3	キャプチャ・ユニット	3-1
	<i>EV におけるキャプチャ・ユニットと基準時間について説明します。</i>	
3.1	キャプチャ・ユニットの概要	3-2
3.1.1	キャプチャ・ユニットの機能	3-2
3.2	キャプチャ・ユニットの動作	3-5
3.2.1	キャプチャ・ユニットの基準時間の選択	3-5
3.2.2	キャプチャ・ユニットのセットアップ	3-5
3.3	キャプチャ・ユニットの FIFO スタック	3-6
3.3.1	最初のキャプチャ	3-6
3.3.2	2 番目のキャプチャ	3-6
3.3.3	3 番目のキャプチャ	3-6
3.4	キャプチャ割り込み	3-7
3.5	直交エンコーダ・パルス (QEP) 回路	3-7
3.5.1	QEP ピン	3-7
3.5.2	QEP 回路の基準時間	3-7
3.5.3	デコーディング	3-8
3.5.4	QEP カウント	3-9
3.5.5	QEP 回路のレジスタ・セットアップ	3-9

4	EV 割り込み	4-1
	<i>EV 割り込みの要求および処理方法について説明します。</i>	
4.1	イベント・マネージャ (EV) 割り込みの概要	4-2
4.2	EV 割り込み発生およびサービス	4-3
4.2.1	割り込み生成	4-4
4.2.2	割り込みベクトル	4-4
5	EV レジスタ	5-1
	<i>EV レジスタおよびビットについて説明します。</i>	
5.1	レジスタの概要	5-2
5.2	タイマ・レジスタ	5-2
5.3	コンペア制御レジスタ	5-9
5.4	コンペア・アクション制御レジスタ	5-13
5.5	キャプチャ・ユニット・レジスタ	5-16
5.5.1	キャプチャ FIFO ステータス・レジスタ A (CAPFIFOA)	5-19
5.5.2	キャプチャ FIFO ステータス・レジスタ B (CAPFIFOB)	5-20
5.6	EV 割り込みフラグ・レジスタ	5-23
5.7	EV 制御レジスタ	5-33
5.8	レジスタ・ビット定義の相違点	5-35
A	EV レジスタ一覧	A-1

目次

図 1-1	イベント・マネージャ (EV) デバイス・インターフェイス	1-3
図 1-2	イベント・マネージャ A 機能ブロック図	1-5
図 1-3	汎用タイマ・ブロック図 (x=2 または 4) [x=2 の場合: y=1 および n=2、 x=4 の場合: y=3 および n=4]	1-15
図 1-4	GP タイマの連続アップ・カウント・モード (TxPR=3 または 2)	1-21
図 1-5	GP タイマの方向アップ/ダウン・カウント・モード: 分周率 1 および TxPR=3	1-22
図 1-6	GP タイマの連続アップ/ダウン・カウント・モード (TxPR=3 または 2)	1-23
図 1-7	アップ・カウント・モードでの GP タイマ・コンペア/PWM 出力	1-25
図 1-8	アップ/ダウン・カウント・モードでの GP タイマ・コンペア/PWM 出力	1-26
図 1-9	コンペア・ユニットのブロック図 (EVA の場合: x=1、2、3、y=1、3、5、z=1 EVB の場合: x=4、5、6、y=7、9、11、z=3)	1-30
図 2-1	PWM 回路ブロック図	2-2
図 2-2	デッドバンド・ユニットのブロック図 (x=1、2、または 3)	2-5
図 2-3	出力ロジックのブロック図 (x=1、2、または 3。y=1、2、3、4、5、または 6)	2-6
図 2-4	コンペア・ユニットと PWM 回路を使用した非対称 PWM 波形生成 (x=1、3、または 5)	2-9
図 2-5	コンペア・ユニットと PWM 回路を使用した対称 PWM 波形生成 (x=1、3、または 5)	2-10
図 2-6	3-相パワー・インバータ概略図	2-11
図 2-7	基本空間ベクトルとスイッチング・パターン	2-12
図 2-8	対称空間ベクトル PWM 波形	2-15
図 3-1	キャプチャ・ユニットのブロック図 (EVA)	3-3
図 3-2	キャプチャ・ユニットのブロック図 (EVB)	3-4
図 3-3	EVA に対する直交エンコーダ・パルス (QEP) 回路のブロック図	3-7
図 3-4	EVB に対する直交エンコーダ・パルス (QEP) 回路のブロック図	3-8
図 3-5	直交エンコード・パルスとデコード・タイマ・クロックおよび方向	3-9
図 5-1	タイマ x カウンタ・レジスタ (TxCNT、x=1、2、3、または 4)	5-2
図 5-2	タイマ x コンペア・レジスタ (TxCMPR、x=1、2、3、または 4)	5-2
図 5-3	タイマ x 周期レジスタ (TxPR、x=1、2、3、または 4)	5-3
図 5-4	タイマ x 制御レジスタ (TxCON、x=1、2、3、または 4)	5-3
図 5-5	GP タイマ制御レジスタ A (GPTCONA) - アドレス 7400h	5-5
図 5-6	GP タイマ制御レジスタ B (GPTCONB) - アドレス 7500h	5-7
図 5-7	コンペア制御 A (COMCONA) レジスタ - アドレス 7411h	5-9
図 5-8	コンペア制御 B (COMCONB) レジスタ - アドレス 7511h	5-11
図 5-9	コンペア・アクション制御レジスタ A (ACTRA) - アドレス 7413h	5-13
図 5-10	コンペア・アクション制御レジスタ B (ACTRB) - アドレス 7513h	5-14
図 5-11	キャプチャ制御レジスタ A (CAPCONA) - アドレス 7420h	5-16
図 5-12	キャプチャ制御レジスタ B (CAPCONB) - アドレス 7520h	5-17
図 5-13	キャプチャ FIFO ステータス・レジスタ A (CAPFIFOA) - アドレス 7422h	5-19
図 5-14	キャプチャ FIFO ステータス・レジスタ B (CAPFIOB) - アドレス 7522h	5-20
図 5-15	デッドバンド・タイマ制御レジスタ A (DBTCONA) - アドレス xx15h	5-21

図 5-16	デッドバンド・タイマ制御レジスタ B (DBTCONB) - アドレス xx15h	5-22
図 5-17	EVA 割り込みフラグ・レジスタ A (EVAIFRA) - アドレス 742Fh	5-23
図 5-18	EVA 割り込みフラグ・レジスタ B (EVAIFRB) - アドレス 7430h	5-24
図 5-19	EVA 割り込みフラグ・レジスタ C (EVAIFRC) - アドレス 7431h	5-25
図 5-20	EVA 割り込みマスク・レジスタ A (EVAIMRA) - アドレス 742Ch	5-26
図 5-21	EVA 割り込みマスク・レジスタ B (EVAIMRB) - アドレス 742Dh	5-27
図 5-22	EVA 割り込みマスク・レジスタ C (EVAIMRC) - アドレス 742Eh	5-27
図 5-23	EVB 割り込みフラグ・レジスタ A (EVBIFRA) - アドレス 752Fh	5-28
図 5-24	EVB 割り込みフラグ・レジスタ B (EVBIFRB) - アドレス 7530h	5-29
図 5-25	EVB 割り込みフラグ・レジスタ C (EVBIFRC) - アドレス 7531h	5-30
図 5-26	EVB 割り込みマスク・レジスタ A (EVBIMRA) - アドレス 752Ch	5-31
図 5-27	EVB 割り込みマスク・レジスタ B (EVBIMRB) - アドレス 752Dh	5-32
図 5-28	EVB 割り込みマスク・レジスタ C (EVBIMRC) - アドレス 752Eh	5-32
図 5-29	EV 拡張制御レジスタ A (EXTCONA) - アドレス 7409h	5-33
図 5-30	PWM Hi-Z 制御のための EXTCONx レジスタ・ビット制御	5-38
図 5-31	T1/T2 PWM Hi-Z 制御のための EXTCONx レジスタ・ビット制御	5-39
図 A-1	タイマ x カウンタ・レジスタ (TxCNT, x=1、2、3、または 4)	A-1
図 A-2	タイマ x コンペア・レジスタ (TxCMPR, x=1、2、3、または 4)	A-1
図 A-3	タイマ x 周期レジスタ (TxPR, x=1、2、3、または 4)	A-1
図 A-4	タイマ x 制御レジスタ (TxCON, x=1、2、3、または 4)	A-1
図 A-5	GP タイマ制御レジスタ A (GPTCONA) - アドレス 7400h	A-2
図 A-6	GP タイマ制御レジスタ B (GPTCONB) - アドレス 7500h	A-2
図 A-7	コンペア制御 A (COMCONA) レジスタ - アドレス 7411h	A-2
図 A-8	コンペア制御 B (COMCONB) レジスタ - アドレス 7511h	A-2
図 A-9	コンペア・アクション制御レジスタ A (ACTRA) - アドレス 7413h	A-3
図 A-10	コンペア・アクション制御レジスタ B (ACTRB) - アドレス 7513h	A-3
図 A-11	キャプチャ制御レジスタ A (CAPCONA) - アドレス 7420h	A-3
図 A-12	キャプチャ制御レジスタ B (CAPCONB) - アドレス 7520h	A-3
図 A-13	キャプチャ FIFO ステータス・レジスタ A (CAPFIFOA) - アドレス 7422h	A-4
図 A-14	キャプチャ FIFO ステータス・レジスタ B (CAPFIOB) - アドレス 7522h	A-4
図 A-15	デッドバンド・タイマ制御レジスタ A (DBTCONA) - アドレス xx15h	A-4
図 A-16	デッドバンド・タイマ制御レジスタ B (DBTCONB) - アドレス xx15h	A-4
図 A-17	EVA 割り込みフラグ・レジスタ A (EVAIFRA) - アドレス 742Fh	A-5
図 A-18	EVA 割り込みフラグ・レジスタ B (EVAIFRB) - アドレス 7430h	A-5
図 A-19	EVA 割り込みフラグ・レジスタ C (EVAIFRC) - アドレス 7431h	A-5
図 A-20	EVA 割り込みマスク・レジスタ A (EVAIMRA) - アドレス 742Ch	A-6
図 A-21	EVA 割り込みマスク・レジスタ B (EVAIMRB) - アドレス 742Dh	A-6
図 A-22	EVA 割り込みマスク・レジスタ C (EVAIMRC) - アドレス 742Eh	A-6
図 A-23	EVB 割り込みフラグ・レジスタ A (EVBIFRA) - アドレス 752Fh	A-7
図 A-24	EVB 割り込みフラグ・レジスタ B (EVBIFRB) - アドレス 7530h	A-7
図 A-25	EVB 割り込みフラグ・レジスタ C (EVBIFRC) - アドレス 7531h	A-7
図 A-26	EVB 割り込みマスク・レジスタ A (EVBIMRA) - アドレス 752Ch	A-8
図 A-27	EVB 割り込みマスク・レジスタ B (EVBIMRB) - アドレス 752Dh	A-8
図 A-28	EVB 割り込みマスク・レジスタ C (EVBIMRC) - アドレス 752Eh	A-8
図 A-29	EV 拡張制御レジスタ A (EXTCONA) - アドレス 7409h	A-9

表目次

表 1-1	EVA と EVB のモジュールおよび信号名.....	1-4
表 1-2	EV-A レジスタの概要.....	1-11
表 1-3	EV-B レジスタの概要.....	1-12
表 1-4	連続アップ・カウント・モードでの GP タイマ・コンペア出力.....	1-27
表 1-5	連続アップ/ダウン・カウント・モードでの GP タイマ・コンペア出力.....	1-27
表 1-6	EVA コンペア制御レジスタのアドレス.....	1-32
表 1-7	EVB コンペア制御レジスタのアドレス.....	1-32
表 2-1	デッドバンド生成例.....	2-4
表 2-2	3 相パワー・インバータのスイッチング・パターン.....	2-12
表 4-1	割り込みフラグ・レジスタと対応する割り込みマスク・レジスタ.....	4-2
表 4-2	イベント・マネージャ A (EVA) 割り込み.....	4-3
表 4-3	イベント・マネージャ B (EVB) 割り込み.....	4-4
表 4-4	割り込み生成の条件.....	4-4
表 5-1	レジスタ・ビットの変更点.....	5-35

概要

イベント・マネージャ (EV) モジュールは、特にモーション・コントロールやモータ制御アプリケーションで役立つさまざまな機能を提供します。EV モジュールには、汎用 (GP) タイマ、フル・コンペア/PWM ユニット、キャプチャ・ユニット、および直交エンコーダ・パルス (QEP) 回路が含まれます。EVA と EVB という 2 つの EV モジュールは同一のペリフェラルであり、多軸 / モーション・コントロール・アプリケーションを対象としています。

各 EV は 3 つの Half-H ブリッジを制御でき、各ブリッジに対し相補関係の 2 つの PWM を出力できます。また、各 EV には、さらに相補出力なしの PWM 出力が 2 つあります。

このリファレンス・ガイドは、TMS320x281x ファミリのプロセッサに搭載されている EV に適用できます。これには、281x ファミリ内のフラッシュベース、ROM ベース、および RAM ベースのデバイスがすべて含まれます。

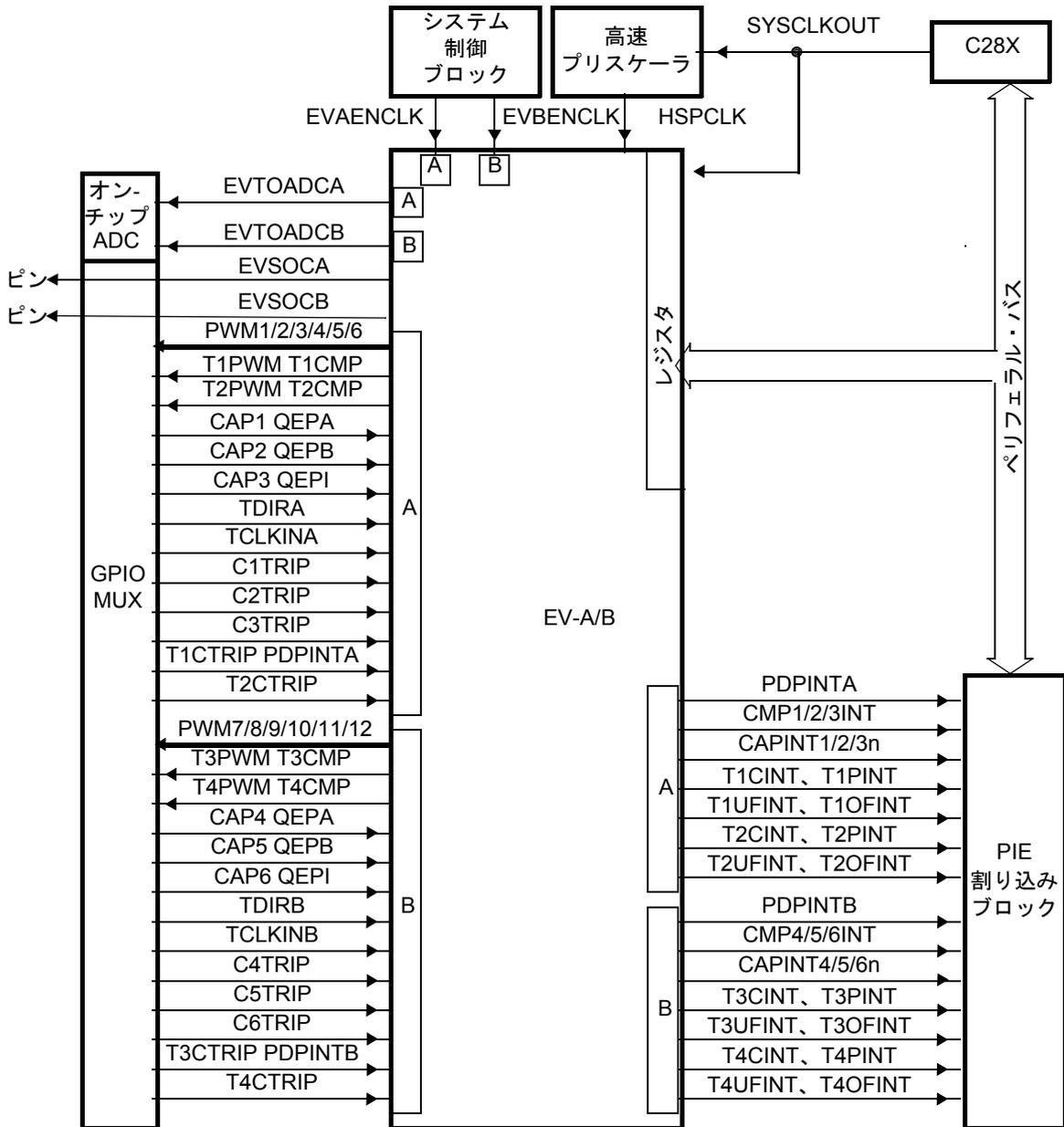
項目	ページ
1.1 イベント・マネージャ機能	1-2
1.2 拡張 EV 機能	1-10
1.3 イベント・マネージャ (EV) レジスタ・アドレス.....	1-11
1.4 汎用 (GP) タイマ.....	1-14
1.5 GP タイマを使用した PWM 出力の生成.....	1-29
1.6 コンペア・ユニット.....	1-30

1.1 イベント・マネージャ機能

EVA と EVB のタイマ、コンペア・ユニット、およびキャプチャ・ユニットは、まったく同様に機能します。ただし、EVA と EVB に対するタイマおよびユニット名は異なります。1-4 ページの表 1-1 では、イベント・マネージャ・モジュールに対して使用できる機能を示します。

イベント・マネージャ A および B には、EVA の場合は 7400h で始まり EVB の場合は 7500h で始まる同一のペリフェラル・レジスタ・セットがあります。このセクションの各節では、EVA での名を使用して GP タイマ、コンペア・ユニット、キャプチャ・ユニット、および QEP の機能を説明します。これらの節の機能に関しては EVB に適用できますが、モジュール / 信号名は異なります。

図 1-1 イベント・マネージャ (EV) デバイス・インターフェイス



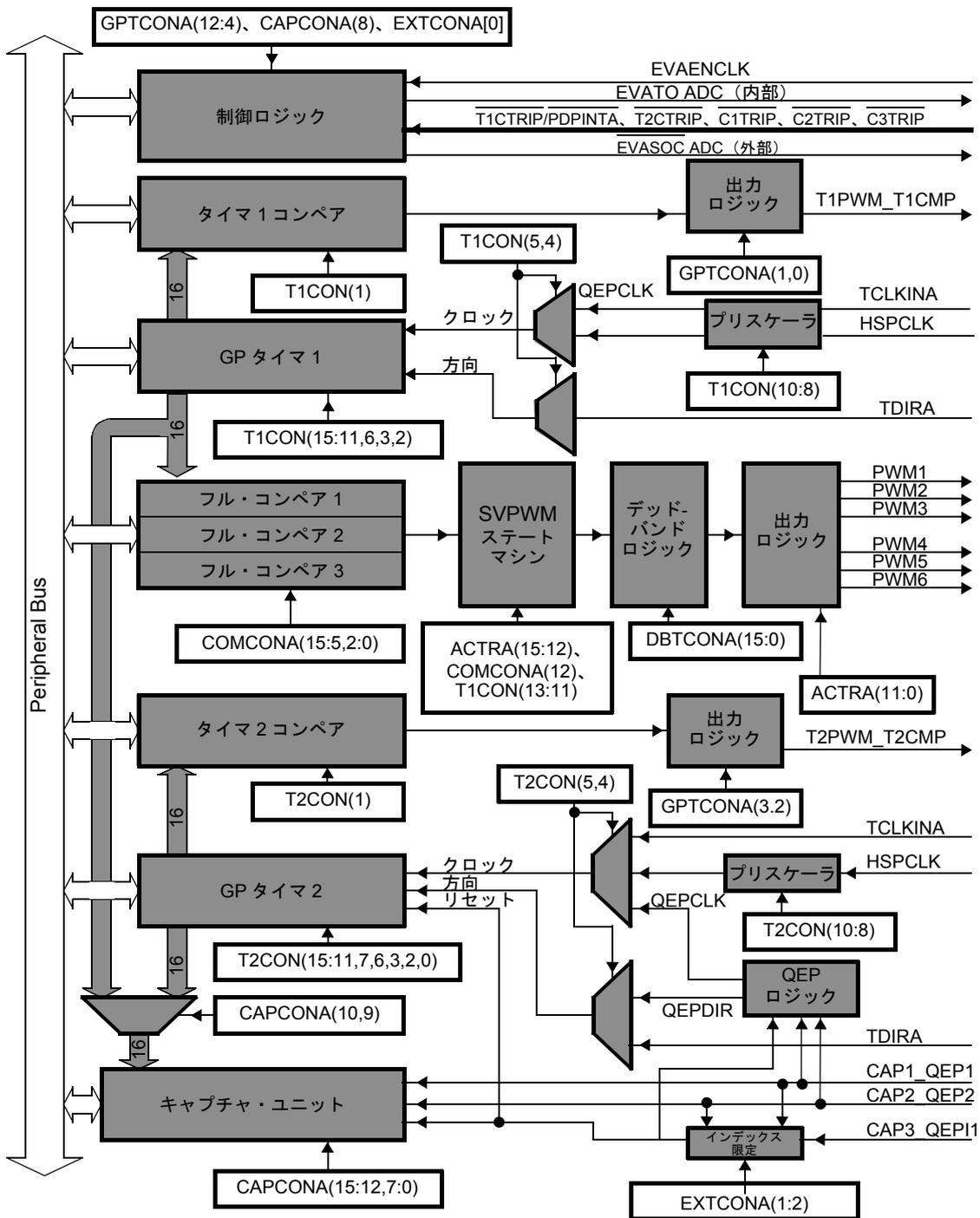
注： EXTCONA は、追加 / 変更された機能をイネーブルおよびディスエーブルするため追加された制御レジスタです。これは、240x EV との互換性のために必要です。EXTCONA は、追加 / 変更された機能をイネーブルおよびディスエーブルにします。すべての追加 / 変更された機能は、240x EV との互換性を維持するためにデフォルトでディスエーブルになります。EXTCONx レジスタの詳細については、5-33 ページの 5.7 節「EV 制御レジスタ」を参照してください。

表 1-1 EVA と EVB のモジュールおよび信号名

イベント・マネージャ モジュール	EVA		EVB	
	モジュール	信号	モジュール	信号
GP タイマ	GP タイマ 1 GP タイマ 2	T1PWM/T1CMP T2PWM/T2CMP	GP タイマ 3 GP タイマ 4	T3PWM/T3CMP T4PWM/T4CMP
コンペア・ユニット	コンペア 1 コンペア 2 コンペア 3	PWM1/2 PWM3/4 PWM5/6	コンペア 4 コンペア 5 コンペア 6	PWM7/8 PWM9/10 PWM11/12
キャプチャ・ユニット	キャプチャ 1 キャプチャ 2 キャプチャ 3	CAP1 CAP2 CAP3	キャプチャ 4 キャプチャ 5 キャプチャ 6	CAP4 CAP5 CAP6
QEP チャンネル	QEP	QEP1 QEP2 QEP11	QEP	QEP3 QEP4 QEP12
外部タイマ入力	タイマ方向 外部クロック	TDIRA TCLKINA	タイマ方向 外部クロック	TDIRB TCLKINB
外部コンペア出力 トリップ入力	コンペア	<u>C1TRIP</u> <u>C2TRIP</u> <u>C3TRIP</u>		<u>C4TRIP</u> <u>C5TRIP</u> <u>C6TRIP</u>
外部 タイマ/コンペア トリップ入力		<u>T1CTRIP/</u> <u>T2CTRIP</u>		<u>T3CTRIP/</u> <u>T4CTRIP</u>
外部トリップ入力		<u>PDPINTA</u> †		<u>PDPINTB</u> †
外部 ADC SOC トリガ出力		EVASOC		EVBSOC

† 240x™ 互換モードでは、T1CTRIP/PDPINTA ピンは PDPINTA として機能し、T3CTRIP/PDPINTB ピンは PDPINTB として機能します。

図1-2 イベント・マネージャA 機能ブロック図



注：EVB モジュールは、EVA モジュールと同様です。

1.1.1 汎用 (GP) タイマ

各 EV モジュールには 2 つの GP タイマがあります。GP タイマ x (EVA の場合は x=1 または 2、EVB の場合は x=3 または 4) には以下のものが含まれます。

- リードまたはライト可能な 16 ビット・タイマ、アップ/ダウン・カウンタ TxCNT
- リードまたはライト可能な 16 ビット・タイマ・コンペア・レジスタ TxCMPR (シャドウ・レジスタを使用してダブル・バッファ化)
- リードまたはライト可能な 16 ビット・タイマ周期レジスタ TxPR (シャドウ・レジスタを使用してダブル・バッファ化)
- リードまたはライト可能な 16 ビット・タイマ制御レジスタ TxCON
- 内部または外部から選択可能な入力クロック
- 内部または外部クロック入力のプログラマブル・プリスケアラ
- 4 つのマスカブル割り込み (アンダーフロー、オーバーフロー、タイマ・コンペア・マッチ、および周期割り込み) に対する制御または割り込みロジック
- 選択可能な方向入力ピン (TDIRx) (方向アップ/ダウン・カウント・モードを選択した場合にカウント・アップまたはダウンする)

GP タイマは、相互に独立または同期して動作することができます。各 GP タイマに用意されているコンペア・レジスタは、コンペア機能と PWM 波形生成のために使用できます。各タイマは、アップまたはアップ・ダウン・カウント動作において 3 つの連続モードがあります。プログラマブル・プリスケアラを備えた内部または外部入力クロックは GP タイマごとに使用されます。また、GP タイマは、他のイベント・マネージャ・サブモジュールに基準時間も提供します (GP タイマは全てのコンペアおよび PWM 回路に対し、GP タイマ 2/1 はキャプチャ・ユニットと QEP に対して)。周期およびコンペア・レジスタのダブル・バッファリング構造は、必要に応じてタイマ (PWM) 周期とコンペア/PWM パルス幅の変更をプログラマブルで可能にします。

1.1.2 フル・コンペア・ユニット

各イベント・マネージャには、3 つのフル・コンペア・ユニットがあります。これらのコンペア・ユニットは、GP タイマ 1 を基準タイマとして使用します。また、プログラマブル・デッドバンド回路を使用して PWM 波形生成用の 6 つの出力を生成します。6 つの各出力の状態は、別々に設定されます。コンペア・ユニットのコンペア・レジスタは、ダブルバッファリングされています。これにより、必要に応じてコンペア/PWM パルス幅の変更がプログラマブルで可能になります。

1.1.3 プログラマブル・デッドバンド・ジェネレータ

デッドバンド・ジェネレータ回路には、3 つの 4 ビット・カウンタと 1 つの 16 ビット・コンペア・レジスタが含まれます。必要なデッドバンド値は、3 つのコンペア・ユニットの出力に対するコンペア・レジスタへプログラムできます。デッドバンド生成は、コンペア・ユニット出力ごとにイネーブル/ディスエーブルにすることができます。デッドバンド・ジェネレータ回路は、コンペア・ユニット出力信号ごとに 2 つの出力 (デッドバンド・ゾーンあり、またはデッドバンド・ゾーンなし) を生成します。デッドバンド・ジェネレータの出力状態は、ダブルバッファリングされた ACTRx レジスタを通じて、必要に応じて設定可能であり、変更可能です。

1.1.4 PWM 波形生成

最大 8 つの PWM 波形（出力）を各イベント・マネージャによって同時に生成できます。その 8 つとは、プログラマブル・デッドバンドを備えた 3 つのフル・コンペア・ユニットによる 3 つの独立したペア（6 つ）の出力と GP タイマ・コンペアによる 2 つの独立した PWM 出力です。

1.1.5 PWM 特性

PWM の特性は以下のとおりです。

- 16-ビット・レジスタ
- PWM 出力ペアに対する広範なプログラマブル・デッドバンド
- PWM キャリア周波数を必要に応じて変更可能
- 各 PWM 周期内および各 PWM 周期後において、必要に応じた PWM パルス幅の変更
- 外部マスカブルなパワードライブ保護割り込み
- 非対称、対称、および空間ベクトル PWM 波形をプログラマブルに生成するためのパルス・パターン・ジェネレータ回路
- コンペア・レジスタと周期レジスタの自動リロードを使用し最小限に抑えられた CPU オーバーヘッド
- $\overline{\text{PDPINTx}}$ ピンがLowにドライブされると、 $\overline{\text{PDPINTx}}$ 信号フィルタリング(Qualification)の後に PWM ピンがハイ・インピーダンス状態にドライブされます。 $\overline{\text{PDPINTx}}$ ピン（フィルタリング (Qualification) 後）は、COMCONx レジスタのビット 8 に反映されます。
 - $\overline{\text{PDPINTA}}$ ピンのステータスは、COMCONA レジスタのビット 8 に反映されます。
 - $\overline{\text{PDPINTB}}$ ピンのステータスは、COMCONB レジスタのビット 8 に反映されます。

1.1.6 キャプチャ・ユニット

キャプチャ・ユニットは、さまざまなイベントや信号変化に対するロギング機能を提供します。選択したエッジがキャプチャ入力ピン CAPx（EVA の場合は x=1、2、または 3、EVB の場合は x=4、5、または 6）で検出されると、選択した GP タイマ・カウンタの値がキャプチャされ、2 段の FIFO スタックに格納されます。キャプチャ・ユニットは、3 つのキャプチャ回路で構成されます。

- キャプチャ・ユニットには、以下の機能が含まれます。
 - 1 つの 16 ビット・キャプチャ制御レジスタ CAPCONx (R/W)
 - 1 つの 16 ビット・キャプチャ FIFO ステータス・レジスタ CAPFIFOx
 - 基準時間としての GP タイマ 1/2 (EVA の場合) または 3/4 (EVB の場合) の選択
 - 3 つの 16 ビット 2 段 FIFO スタック（キャプチャ・ユニットごとに 1 つ）

- 3つのキャプチャ入力ピン(EVAの場合はCAP1/2/3、EVBの場合はCAP4/5/6) - キャプチャ・ユニットごとに1つの入力ピン [すべての入力は、デバイス(CPU)クロックと同期化されます。エッジをキャプチャするためには、デバイス・クロックの2クロック分の入力を保持する必要があります。入力ピンCAP1/2およびCAP4/5はQEP回路へのQEP入力として使用できます。]
- エッジのユーザー指定(立ち上がりエッジ、立ち下がりエッジ、または両方のエッジ)の検出
- 3つのマスカブル割り込みフラグ(キャプチャ・ユニットごとに1つ)

1.1.7 直交エンコーダ・パルス(QEP)回路

2つのキャプチャ入力(EVAの場合はCAP1とCAP2、EVBの場合はCAP4とCAP5)を使用すると、オンチップQEP回路をインクリメンタル・エンコーダからのパルスとインターフェイスすることができます。これらの入力の完全な同期は、オンチップで実行されます。方向または先行直交パルス・シーケンスが検出され、2つの入力信号の立ち上がりエッジと立ち下がりエッジによってGPタイマ2/4がインクリメントまたはデクリメントされます(いずれかの入力パルスの周波数の4倍)。

1.1.8 外部アナログ・デジタル・コンバータ(ADC)変換開始

EVA/EVB変換開始(SOC)は、外部ADCインターフェイスの外部ピン(EVASOC)に送信できます。EVASOCおよびEVBSOCは、それぞれT2CTRIPおよびT4CTRIPとマルチプレクスされています。

1.1.9 パワー・ドライブ保護割り込み(PDPINTx、x=AまたはB)

PDPINTxは、電力コンバータやモータ・ドライブなどのシステムの安全動作のために提供されるセーフティ機能です。PDPINTxを使用すると、過電圧、過電流、過度な温度上昇などのモータ・ドライブの異常を監視プログラムに通知できます。PDPINTx割り込みがマスクされていない場合は、PDPINTxピンがLowにドライブされるとすぐに、すべてのPWM出力ピンがハイ・インピーダンス状態になります。また、割り込みも生成できます。個々のパルス幅変調(PWM)ペア、電力保護、またはトリップ機能については、EXTCONxレジスタ・ビット機能を参照してください。

割り込みが発生すると、PDPINTxに対応する割り込みフラグもセットされます。ただし、PDPINTx上の信号変化は、内部クロックでフィルタリング(Qualification)および同期されるまで待つ必要があります。フィルタリング(Qualification)と同期は、2クロック・サイクルの遅延を引き起こします。フラグのセットは、PDPINTx割り込みがマスクされているかどうかには依存しません。割り込みフラグのセットは、適切な信号変化がPDPINTxピンで発生すると行われます。この割り込みは、リセット後にイネーブルになります。PDPINTx割り込みがディスエーブルになると、PWM出力を(有効なPDPINTx割り込み時に)ハイ・インピーダンス状態にドライブする動作もディスエーブルになります。

1.1.10 EVレジスタ

EVレジスタは、アドレス空間の2つの64ワード(16ビット)フレームを占有します。EVモジュールはアドレスの下位6ビットをデコードしますが、アドレスの上位10ビットはペリフェラル・アドレス・デコード・ロジックによってデコードされます。ペリフェラル・アドレス・バスが、そのデバイス上のEVに対して指定された範囲内のアドレスを送ると、このロジックはモジュールの選択をイベント・マネージャに対して行います。

281x デバイスでは(C240 デバイスの場合と同様に)、EVA レジスタは 7400h ~ 7431h の範囲に配置されます。EVB レジスタは、7500h ~ 7531h の範囲に配置されています。

EV レジスタの未定義レジスタとビットは、ユーザー・ソフトウェアによってリードされると、すべてゼロを返します。ライトしても何の影響もありません。1-11 ページの 1.3 節「イベント・マネージャ (EV) レジスタ・アドレス」を参照してください。

1.1.11 EV 割り込み

各 EV 割り込みグループには、複数の割り込みソースがあります。CPU 割り込みリクエストは、ペリフェラル割り込み拡張 (PIE) モジュールによって処理されます。詳細については、*Peripheral Interrupt Expansion Peripheral Reference Guide* (文献番号 SPRU045) を参照してください。レスポンスの各段階は以下のとおりです。

- 1) **割り込みソース**。ペリフェラル割り込み状態が発生した場合、レジスタ EVxIFRA、EVxIFRB、または EVxIFRC (x=A または B) におけるそれぞれのフラグ・ビットがセットされます。一度セットされると、これらのフラグはソフトウェアによって確実にクリアされるまでセットされた状態のままになります。これらのフラグはソフトウェアでクリアする必要があります。クリアしていない場合、以降の割り込みは認識されません。
- 2) **割り込みイネーブル**。イベント・マネージャ割り込みは、割り込みマスク・レジスタ EVxIMRA、EVxIMRB、および EVxIMRC (x=A または B) によって個々にイネーブルまたはディスエーブルにすることができます。各ビットは、割り込みをイネーブルにする / マスク解除する場合は 1 にセットし、割り込みをディスエーブルにする / マスクする場合は 0 にクリアします。
- 3) **PIE 要求**。割り込みフラグ・ビットと割り込みマスク・ビットの両方がセットされた場合、ペリフェラルはペリフェラル割り込みリクエストを PIE モジュールに発行します。PIE モジュールは、複数の割り込みをペリフェラルから受信できます。PIE ロジックは、すべての割り込みリクエストを記録し、受信した割り込みを割り当て済みの優先順位に基づいて、それぞれの CPU 割り込み (INT1、2、3、4、または 5) を生成します。
- 4) **CPU 応答**。INT1、2、3、4、または 5 の割り込みリクエストを受信すると、CPU 割り込みフラグ・レジスタ (IFR) のそれぞれのビットがセットされます。対応する割り込みマスク・レジスタ (IER) ビットがセットされ、INTM ビットがクリアされた場合、CPU は割り込みを認識し、ACK を PIE に返します。次に、CPU は現在の命令の実行を終了し、PIE ベクタ・テーブルの INT1.y、2.y、3.y、4.y、または 5.y に対応する割り込みベクタ・アドレスにジャンプします。この時点で、それぞれの IFR ビットはクリアされ、INTM ビットはセットされて、後続の割り込みがディスエーブルになります。割り込みベクタは、割り込みサービス・ルーチンのアドレスが含まれています。ここからは、ソフトウェアによって割り込み応答が制御されます。
- 5) **PIE 応答**。PIE ロジックは、CPU からの ACK を使用して PIEIFR ビットをクリアします。以降の割り込みをイネーブルにする処理については、*Peripheral Interrupt Expansion Peripheral Reference Guide* (SPRU045) を参照してください。
- 6) **割り込みソフトウェア**。この段階で、割り込みソフトウェアは、不正な割り込み応答を必ず回避しなければいけません。割り込み専用コードの実行後には、ルーチンは、処理済み割り込みの原因となった EVxIFRA、EVxIFRB、または EVxIFRC で割り込みフラグをクリアする必要があります。復帰前に、割り込みソフトウェアは、それぞれの PIEACKx ビットを (対応するビットに 1 をライトすることによって) クリアし、グローバル割り込みビット INTM をイネーブルにすることによって割り込みをもう一度イネーブルにする必要があります。

1.2 拡張 EV 機能

F2810™ EV は、240x EV とほとんど同じです。F2810 EV では、いくつかの拡張機能が導入されていますが、F2810 EV は 240x EV の上位互換です。すべての機能拡張と変更を有効にするには、新しく追加されたレジスタ EXTCON 内の対応するビットをセットする必要があります。以下は、240x デバイスに対する F2810 EV モジュールの拡張機能と相違点です。

- タイマおよびフル・コンペア・ユニットごとの出力イネーブル・ビット
- PDPINT ピンの置換としての各タイマおよびフル・コンペア・ユニットに対する専用トリップ・ピン
- 機能追加および変更をアクティブにして設定するために追加された新しい制御レジスタ。これは、互換性を維持するためのキーです。
- トリップ・ピンごとのトリップ・イネーブル・ビット。これらの変更は、各コンペアからの出力を別々にイネーブルおよびディスエーブルにすることを可能にします。そのため、各コンペアは独立したパワー・ステージ、アクチュエータ、またはドライブを制御できるようになります。
- CAP3 ピンは名前が変わり、CAP3_QEPI1 (EVB の場合は CAP6_QEPI2) として機能します。このピンをイネーブルにすると、タイマ 2 をリセットできます。また、フィルタリング (Qualification) モードも導入されています。このモードでは、QEPI1 および QEPI2 を使用し、CAP3_QEPI1 をフィルタリング (Qualification) できます。QEP チャネル (3 ピン) は、業界標準の 3 信号直交エンコーダへのシームレスなインターフェイスを可能にします。
- 高精度外部 ADC との同期を可能にするための EV ADC 変換開始出力。

F2810 はテキサス・インスツルメントの商標です。

1.3 イベント・マネージャ (EV) レジスタ・アドレス

EV-A レジスタは表 1-2 に、EV-B レジスタは 1-12 ページの表 1-3 にすべて記載されています。

表 1-2 EV-A レジスタの概要

名前	アドレス	説明
タイマ・レジスタ		
GPTCONA	0x7400	全 GP タイマ制御レジスタ A
T1CNT	0x7401	タイマ 1 カウンタ・レジスタ
T1CMPR	0x7402	タイマ 1 コンペア・レジスタ
T1PR	0x7402	タイマ 1 周期レジスタ
T1CON	0x7402	タイマ 1 制御レジスタ
T2CNT	0x7405	タイマ 2 カウンタ・レジスタ
T2CMPR	0x7406	タイマ 2 コンペア・レジスタ
T2PR	0x7407	タイマ 2 周期レジスタ
T2CON	0x7407	タイマ 2 制御レジスタ
EXTCONA	0x7409	拡張制御レジスタ A
コンペア・レジスタ		
COMCONA	0x7411	コンペア制御レジスタ A
ACTRA	0x7413	コンペア・アクション制御レジスタ A
DBTCONA	0x7415	デッドバンド・タイマ制御レジスタ A
CMPR1	0x7417	コンペア・レジスタ 1
CMPR2	0x7418	コンペア・レジスタ 2
CMPR3	0x7419	コンペア・レジスタ 3
キャプチャ・レジスタ		
CAPCONA	0x7420	キャプチャ制御レジスタ A
CAPFIFOA	0x7422	キャプチャ FIFO ステータス・レジスタ A
CAP1FIFO	0x7423	2 段キャプチャ FIFO スタック 1
CAP2FIFO	0x7424	2 段キャプチャ FIFO スタック 2
CAP3FIFO	0x7425	2 段キャプチャ FIFO スタック 3
CAP1FBOT	0x7427	キャプチャ FIFO スタック 1 の下位レジスタ
CAP2FBOT	0x7428	キャプチャ FIFO スタック 2 の下位レジスタ
CAP3FBOT	0x7429	キャプチャ FIFO スタック 3 の下位レジスタ

表 1-2 EV-A レジスタの概要 (続き)

名前	アドレス	説明
割り込みレジスタ		
EVAIMRA	0x742C	割り込みマスク・レジスタ A
EVAIMRB	0x742D	割り込みマスク・レジスタ B
EVAIMRC	0x742E	割り込みマスク・レジスタ C
EVAIFRA	0x742F	割り込みフラグ・レジスタ A
EVAIFRB	0x7430	割り込みフラグ・レジスタ B
EVAIFRC	0x7431	割り込みフラグ・レジスタ C

表 1-3 EV-B レジスタの概要

名前	アドレス	説明
タイマ・レジスタ		
GPTCONB	0x7500	全 GP タイマ制御レジスタ B
T3CNT	0x7501	タイマ 3 カウンタ・レジスタ
T3CMPR	0x7502	タイマ 3 コンペア・レジスタ
T3PR	0x7503	タイマ 3 周期レジスタ
T3CON	0x7504	タイマ 3 制御レジスタ
T4CNT	0x7505	タイマ 4 カウンタ・レジスタ
T4CMPR	0x7506	タイマ 4 コンペア・レジスタ
T4PR	0x7507	タイマ 4 周期レジスタ
T4CON	0x7508	タイマ 4 制御レジスタ
EXTCONB	0x7509	拡張制御レジスタ B
コンペア・レジスタ		
COMCONB	0x7511	コンペア制御レジスタ B
ACTRB	0x7513	コンペア・アクション制御レジスタ B
DBTCONB	0x7515	デッドバンド・タイマ制御レジスタ B
CMPR4	0x7517	コンペア・レジスタ 4
CMPR5	0x7518	コンペア・レジスタ 5
CMPR6	0x7519	コンペア・レジスタ 6

表 1-3 EV-B レジスタの概要 (続き)

名前	アドレス	説明
キャプチャ・レジスタ		
CAPCONB	0x7520	キャプチャ制御レジスタ B
CAPFIFOB	0x7522	キャプチャ FIFO ステータス・レジスタ B
CAP4FIFO	0x7523	2 段キャプチャ FIFO スタック 4
CAP5FIFO	0x7524	2 段キャプチャ FIFO スタック 5
CAP6FIFO	0x7525	2 段キャプチャ FIFO スタック 6
CAP4FBOT	0x7527	キャプチャ FIFO スタック 4 の下位レジスタ
CAP5FBOT	0x7528	キャプチャ FIFO スタック 5 の下位レジスタ
CAP6FBOT	0x7529	キャプチャ FIFO スタック 6 の下位レジスタ
割り込みレジスタ		
EVBIMRA	0x752C	割り込みマスク・レジスタ A
EVBIMRB	0x752D	割り込みマスク・レジスタ B
EVBIMRC	0x752E	割り込みマスク・レジスタ C
EVBIFRA	0x752F	割り込みフラグ・レジスタ A
EVBIFRB	0x7530	割り込みフラグ・レジスタ B
EVBIFRC	0x7531	割り込みフラグ・レジスタ C

1.4 汎用 (GP) タイマ

各モジュールには2つの汎用 (GP) タイマがあります。以下のようなアプリケーションでは、これらのタイマを独立した基準時間として使用できます。

- 制御システムにおけるサンプリング期間の生成
- 直交エンコーダ・パルス (QEP) 回路 (GP タイマ 2/4 のみ) とキャプチャ・ユニットの動作に対する基準時間の提供
- PWM出力を生成するためのコンペア・ユニットおよび関連するPWM回路の動作に対する基準時間の提供

1.4.1 タイマ機能ブロック

1-15 ページの図 1-3 は、GP タイマのブロック図を表します。各 GP タイマには、以下のものが含まれます。

- 1つのリード・ライト可能 (RW) な 16 ビット・アップおよびアップ/ダウン・カウンタ・レジスタ TxCNT (x=1、2、3、4)。このレジスタは、カウンタの現在値を格納し、カウントの方向に応じてインクリメントまたはデクリメントを続けます。
- 1つの RW 可能な 16 ビット・タイマ・コンペア・レジスタ (シャドウ付) TxCMPR (x=1、2、3、4)
- 1つの RW 可能な 16 ビット・タイマ周期レジスタ (シャドウ付) TxPR (x=1、2、3、4)
- RW 可能な 16 ビット個別タイマ制御レジスタ TxCON (x=1、2、3、4)。
- 内部クロック入力と外部クロック入力の両方に適用できるプログラマブル・プリスケアラ
- 制御および割り込みロジック
- 1つの GP タイマ・コンペア出力ピン TxCMP (x=1、2、3、4)
- 出力条件付けロジック

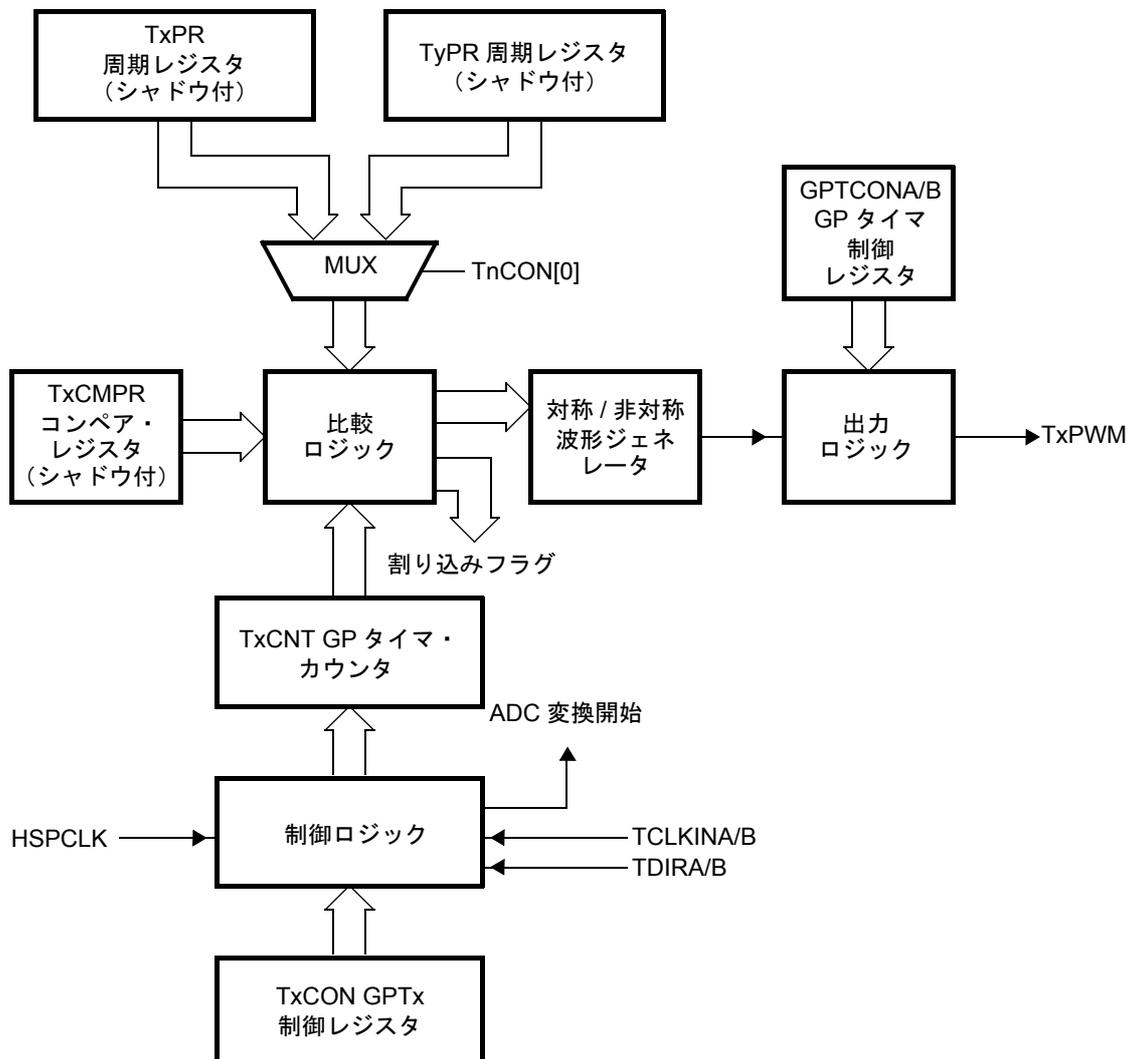
もう1つの全制御レジスタ GPTCONA/B は、各種タイマ・イベントでタイマによってとられるアクションを指定し、GP タイマのカウント方向を示します。GPTCONA/B はリードかつライト可能です。ただし、ステータス・ビットにライトしても何の影響もありません。

注：

タイマ 2 は、タイマ 1 の周期レジスタをタイマ 2 の周期レジスタとして選択できます。1-15 ページの図 1-3 では、図がタイマ 2 を表す場合にのみ MUX を適用できます。

タイマ 4 は、タイマ 3 の周期レジスタをタイマ 4 の周期レジスタとして選択できます。1-15 ページの図 1-3 では、図がタイマ 4 を表す場合にのみ MUX を適用できます。

図 1-3 汎用タイマ・ブロック図 (x=2 または 4)
 [x=2 の場合 : y=1 および n=2、 x=4 の場合 : y=3 および n=4]



1.4.2 GP タイマ入力

GP タイマへの入力は以下のとおりです。

- 内部 HSPCLK
- デバイス・クロックの 1/4 を最大周波数とする外部クロック TCLKINA/B
- 方向アップ/ダウン・カウント・モードで GP タイマによって使用される方向入力 TDIRA/B
- リセット信号 RESET

タイマを QEP 回路と共に使用すると、QEP 回路はタイマのクロックとカウント方向の両方を生成します。

1.4.3 GP タイマ出力

タイマの出力は以下のとおりです。

- GP タイマ・コンペア出力 TxCMP (x=1、2、3、4)
- ADC モジュールへの ADC 変換開始信号
- GP タイマ内の比較ロジックおよびコンペア・ユニットへのアンダーフロー、オーバーフロー、コンペア・マッチ、および周期マッチ信号
- カウント方向指示ビット

1.4.4 個別 GP タイマ制御レジスタ (TxCON)

タイマの動作モードは、そのタイマの個別の制御レジスタ TxCON によって制御されます。TxCON レジスタのビットでは、以下のことを決定します。

- 4つのカウント・モードのどのタイマモードなのか
- GP タイマが使用するクロックは、内部クロックか外部クロックか
- 8種類の入クロック・プリスケール・ファクタ (1 ~ 1/128) のどれを使用するのか
- どの条件でタイマ・コンペア・レジスタをリロードするのか
- タイマはイネーブルかディスエーブルか
- タイマ・コンペア動作はイネーブルかディスエーブルか
- どの周期レジスタがタイマ2の周期レジスタとして使われるか (それぞれ、もしくはタイマ1の周期レジスタ)。
どの周期レジスタがタイマ4の周期レジスタとして使われるか (それぞれ、もしくはタイマ3の周期レジスタ)。

1.4.5 全 GP タイマ制御レジスタ (GPTCONA/B)

制御レジスタ GPTCONA/B は、各種タイマ・イベントでタイマによってとられるアクションを指定し、カウント方向を示します。

1.4.6 GP タイマ・コンペア・レジスタ

GP タイマに対応したコンペア・レジスタは、絶えず GP タイマのカウンタとコンペアする値を格納します。値が一致すると、以下のイベントが行われます。

- GPTCONA/B のビット・パターンに従って、対応するコンペア出力で信号変化が発生します。
- 対応する割り込みフラグがセットされます。
- ペリフェラル割り込みがマスク解除されている場合は、ペリフェラル割り込みリクエストが生成されます。

GP タイマのコンペア動作は、TxCON の適切なビットによってイネーブルまたはディスエーブルにすることができます。

コンペア動作と出力は、任意のタイマ・モード (QEP モードを含む) でイネーブルにすることができます。

1.4.7 GP タイマ周期レジスタ

GP タイマの周期レジスタの値で、タイマの周期が決定されます。周期レジスタとタイマ・カウンタの間で一致が発生すると、タイマがどのカウンタ・モードにあるかに応じて、GP タイマは0にリセットされるか、または下方へのカウンタを開始します。

1.4.8 GP タイマ・コンペアおよび周期レジスタのダブル・バッファリング

GP タイマのコンペア・レジスタと周期レジスタ (TxCMPR と TxPR) はシャドウレジスタ構造になっています。まず、これらのレジスタには、周期中のいつでも新しい値をライトできます。ただし、その新しい値は、対応するシャドウ・レジスタにライトされます。コンペア・レジスタについては、TxCON によって指定された特定のタイマ・イベントが発生した時のみシャドウ・レジスタの内容が作業 (アクティブ) レジスタにロードされます。周期レジスタについては、カウンタ・レジスタ TxCNT の値が 0 の場合にのみ、作業レジスタにシャドウ・レジスタの値がリロードされます。コンペア・レジスタがリロードされる条件は、以下のいずれかにすることができます。

- シャドウ・レジスタがライトされた直後
- アンダーフロー時 (つまり、GP タイマ・カウンタ値が 0 の場合)
- アンダーフロー時または周期マッチ時 (つまり、カウンタ値が 0 の場合、またはカウンタ値が周期レジスタの値に等しい場合)

周期およびコンペア・レジスタのダブル・バッファリング機能により、アプリケーション・コードは、PWM パルスの幅を変更するために周期中のいつでも周期およびコンペア・レジスタを更新できます。PWM 生成の場合、タイマ周期値の周期ごとの変更は、PWM キャリア周波数の周期ごとの変更を意味します。

注： 周期レジスタの初期化

GP タイマの周期レジスタは、カウンタがゼロ以外の値に初期化される前に初期化する必要があります。そうしないと、周期レジスタの値は次のアンダーフローまで未変更のままになります。

対応するコンペア動作がディスエーブルになっている場合、コンペア・レジスタは透過的です (新規にロードされた値はアクティブなレジスタに直接入ります)。これは、すべてのイベント・マネージャ・コンペア・レジスタに適用されます。

1.4.9 GP タイマ・コンペア出力

GP タイマのコンペア出力は、GPTCONA/B ビットがどのように設定されているかに応じてハイ・アクティブ、ロー・アクティブ、強制ハイ、または強制ローに指定できます。この出力は、アクティブ・ハイ (アクティブ・ロー) の場合は最初のコンペア・マッチでローからハイ (ハイからロー) になります。また、GP タイマがアップ/ダウン・カウンタ・モードの場合は 2 番目のコンペア・マッチで、GP タイマがアップ・カウンタ・モードの場合は周期値マッチでハイからロー (ローからハイ) になります。タイマ・コンペア出力は、強制ハイ (ロー) になるように指定されると、すぐにハイ (ロー) になります。

1.4.10 タイマ・カウント方向

以下のように、GP タイマのカウント方向は、すべてのタイマ動作中に GPTCONA/B にあるそれぞれのビットに反映されます。

- 1 はアップ・カウント方向を表します。
- 0 はダウン・カウント方向を表します。

GP タイマが方向アップ / ダウン・カウント・モードの場合は、入力ピン TDIRA/B によってカウントの方向が決まります。TDIRA/B がハイの場合はアップ・カウントが指定され、TDIRA/B がローの場合はダウン・カウントが指定されます。

1.4.11 タイマ・クロック

GP タイマ・クロックのソースは、内部デバイス・クロックまたは外部クロック入力 (TCLKINA/B) にすることができます。外部クロックの周波数は、デバイス・クロック周波数の 1/4 以下でなければなりません。方向アップ / ダウン・カウント・モードでは、GP タイマ 2 (EVA) と GP タイマ 4 (EVB) を QEP 回路と共に使用できます。この場合、QEP 回路は、タイマへのクロック入力と方向入力の両方を提供します。

各 GP タイマへのクロック入力については、広範なプリスケール・ファクタが提供されています。

1.4.12 QEP ベースのクロック入力

直交エンコーダ・パルス (QEP) 回路を選択すると、方向アップ / ダウン・カウント・モードで GP タイマ 1/2/3/4 (QEPCLK はタイマ 1 のクロック・ソースの 1 つ) の入力クロックとカウント方向を生成できます。この入力クロックは、GP タイマ・プリスケール回路によってスケールリングすることはできません (つまり、QEP 回路がクロック・ソースとして選択された場合は、選択される GP タイマのプリスケールは常に 1 倍です)。また、QEP 入力チャネルの立ち上がりエッジと立ち下がりエッジの両方を選択したタイマがカウントするため、QEP 回路によって生成されるクロックの周波数は、各 QEP 入力チャネルの周波数の 4 倍です。QEP 入力の周波数は、デバイス・クロックの周波数の 1/4 以下でなければなりません。

1.4.13 GP タイマの同期

T2CON と T4CON をそれぞれ以下のように正しく設定することによって、GP タイマ 2 は GP タイマ 1 (EVA の場合) と同期でき、GP タイマ 4 は GP タイマ 3 (EVB の場合) と同期できます。

- EVA :
T2CON の T2SWT1 ビットをセットして、T1CON の TENABLE ビットで GP タイマ 2 のカウントを開始します (そうすることにより、両方のタイマ・カウンタが同時に開始されます)。
- EVA :
同期化された動作を開始する前に、異なる値を設定して GP タイマ 1 および 2 のタイマ・カウンタを初期化します。
- EVA :
T2CON の SELT1PR の設定によって、GP タイマ 1 の周期レジスタを GP タイマ 2 の周期レジスタとして使用する (GP タイマ 2 の周期レジスタを無視する) ように指定します。

- EVB :
T4CON の T4SWT3 ビットをセットして、T3CON の TENABLE ビットで GP タイマ 4 のカウントを開始します (そうすることにより、両方のタイマ・カウンタが同時に開始されます)。
- EVB :
同期化された動作を開始する前に、異なる値を設定して GP タイマ 3 および 4 のタイマ・カウンタを初期化します。
- EVB :
T4CON の SELT3PR の設定によって、GP タイマ 3 の周期レジスタを GP タイマ 4 の周期レジスタとして使用する (GP タイマ 4 の周期レジスタを無視する) ように指定します。

これにより、GP タイマ間のイベントに対して必要な同期が可能になります。各 GP タイマはカウンタ・レジスタの現在値からカウントを開始するため、一方の GP タイマは、もう一方の GP タイマの後に希望する遅延で開始するようにプログラムできます。

1.4.14 タイマ・イベントを使用した A/D コンバータの開始

GPTCONA/B のビットでは、アンダーフロー、コンペア・マッチ、周期マッチなどの GP タイマ・イベントで ADC 開始信号を生成することができます。この機能は、CPU の介入なしに GP タイマ・イベントと ADC 開始の同期をとることができます。

1.4.15 エミュレーション一時停止における GP タイマ

GP タイマ制御レジスタ・ビットでは、エミュレーション一時停止中における GP タイマの動作も設定できます。これらのビットをセットすると、エミュレーション割り込みが発生した場合に GP タイマの動作を続行して、回路内エミュレーションを可能にすることができます。また、これらのビットをセットして、エミュレーション割り込みが発生した場合に GP タイマの動作をすぐに停止するか、または現在のカウント周期後に停止するように指定することもできます。

エミュレータによってデバイス・クロックが停止されると (たとえば、エミュレータがブレーク・ポイントに遭遇した場合)、エミュレーションは一時停止します。

1.4.16 GP タイマ割り込み

GP タイマの EVAIFRA、EVAIFRB、EVBIFRA、および EVBIFRB レジスタには 16 個の割り込みフラグがあります。4 つの GP タイマは、それぞれ以下のイベント時に 4 つの割り込みを生成できます。

- オーバーフロー : TxOFINT (x=1、2、3、または 4)
- アンダーフロー : TxUFINT (x=1、2、3、または 4)
- コンペア・マッチ : TxCINT (x=1、2、3、または 4)
- 周期マッチ : TxPINT (x=1、2、3、または 4)

GP タイマ・カウンタの内容がコンペア・レジスタの内容と同じである場合は、タイマ・コンペア・イベント (マッチ) が発生します。コンペア動作をイネーブルにした場合、対応するコンペア割り込みフラグは一致した 1 クロック・サイクル後にセットされます。

オーバーフロー・イベントは、タイマ・カウンタの値が FFFFh に達すると発生します。アンダーフロー・イベントは、タイマ・カウンタが 0000h に達すると発生します。同様に、周期イベントは、タイマ・カウンタの値が周期レジスタの値と同じである場合に発生します。タイマのオーバーフロー、アンダーフロー、および周期割り込みフラグは、各イベントの発生後 1 クロック・サイクル後に設定されます。オーバーフローとアンダーフローの定義は従来の定義とは異なるので注意してください。

1.4.17 GP タイマ・カウント動作

各 GP タイマには、可能な動作モードが 4 つあります。

- 停止 / ホールド・モード
- 連続アップ・カウント・モード
- 方向アップ / ダウン・カウント・モード
- 連続アップ / ダウン・カウント・モード

対応するタイマ制御レジスタ TxCON のビット・パターンは、GP タイマのカウント・モードを決定します。タイマ・イネーブル・ビット TxCON[6] は、タイマのカウント動作をイネーブルまたはディスエーブルにします。タイマをディスエーブルにすると、タイマのカウント動作は停止し、タイマのプリスケールは $x/1$ にリセットされます。タイマをイネーブルにすると、TxCON の他のビットによって指定されたカウント・モードに従ってタイマがカウントを開始します。

1.4.18 停止 / ホールド・モード

このモードでは、GP タイマは停止し、現在の状態を保持します。タイマ・カウンタ、コンペア出力、およびプリスケール・カウンタは、このモードではすべて未変更のままになります。

1.4.19 連続アップ・カウント・モード

このモードでは、タイマ・カウンタの値が周期レジスタの値と一致するまで、スケールされた入力クロックに従ってカウント・アップします。一致後、次の入力クロックの立ち上がりエッジで、GP タイマはゼロにリセットされ、カウント・アップを再び開始します。

タイマの周期割り込みフラグは、タイマ・カウンタと周期レジスタが一致した 1 クロック・サイクル後にセットされます。そのフラグがマスクされていない場合は、ペリフェラル割り込みリクエストが生成されます。ADC を開始するために、このタイマの周期割り込みが GPTCONA/B の該当ビットがセットされている場合は、割り込みフラグがセットされると同時に ADC 開始が ADC モジュールに送信されます。

GP タイマが 0 になってから 1 クロック・サイクル後に、タイマのアンダーフロー割り込みフラグがセットされます。フラグがマスク解除されている場合は、そのフラグによってペリフェラル割り込みリクエストが生成されます。ADC を開始するためこのタイマのアンダーフロー割り込みフラグが GPTCONA/B の該当ビットをセットした場合は、ADC 開始が ADC モジュールに同時に送信されます。

オーバーフロー割り込みフラグは、TxCNT の値が FFFFh に一致した 1 クロック・サイクル後にセットされます。フラグがマスク解除されている場合は、そのフラグによってペリフェラル割り込みリクエストが生成されます。

タイマ周期のカウント数は、最初の周期以外は、スケールされたクロック入力 (TxPR)+1 サイクルです。最初の開始タイマ・カウンタがゼロの場合は、タイマ周期のカウント数は同じです。

GP タイマの初期値は、0h から FFFFh までの任意の値 (0h と FFFFh を含む) にすることができます。初期値が周期レジスタの値よりも大きい場合は、タイマは FFFFh までカウント・アップし、ゼロにリセットしてから、あたかも初期値がゼロであったかのように動作を続行します。タイマ・カウンタの初期値が周期レジスタの初期値と同じである場合は、タイマは周期割り込みフラグをセットし、ゼロにリセットし、アンダーフロー割り込みフラグをセットしてから、あたかも初期値がゼロであったかのように動作を再び続行します。タイマの初期値がゼロと周期レジスタの内容の間の値である場合は、タイマは周期値までカウント・アップし、あたかも初期カウンタ値が周期レジスタの初期値と同じであったかのように続行して周期を終了します。

GPTCONA/B のカウント方向を示すビットは、このモードでは "1" になります。外部または内部デバイス・クロックを、タイマへの入力クロックとして選択できます。このカウント・モードでは、TDIRA/B 入力は GP タイマによって無視されます。

GP タイマの連続アップ・カウント・モードは、モータ制御およびモーション・コントロール・システムにおける非対称形の PWM 波形とサンプリング周期を生成する場合に特に役立ちます。

図 1-4 は、GP タイマの連続アップ・カウント・モードを示します。

図 1-4 GP タイマの連続アップ・カウント・モード (TxPR=3 または 2)

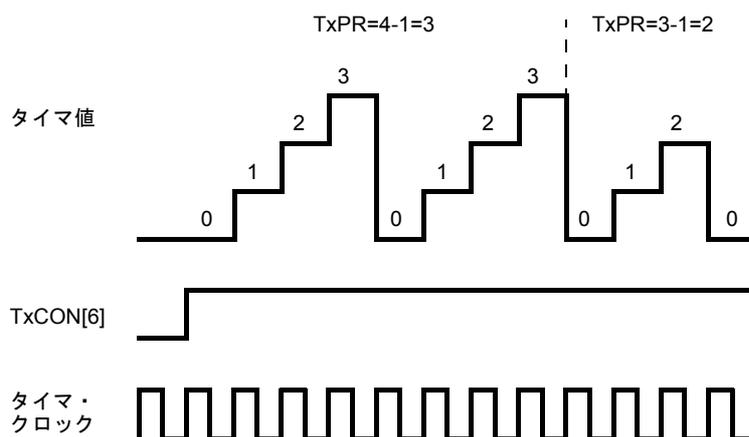


図 1-4 に示すように、カウンタが周期レジスタ値に達してから次のカウント・サイクルを開始するまでの間は、クロック・サイクルは欠けていません。

1.4.20 方向アップ/ダウン・カウント・モード

方向アップ/ダウン・カウント・モードの GP タイマは、スケールされたクロックと、TDIRA/B 入力に従ってカウント・アップまたはダウンします。TDIRA/B ピンが High に保持されていると、GP タイマは周期レジスタの値 (または、初期カウンタが周期より大きい場合は FFFFh) に達するまでカウント・アップを開始します。タイマ値が周期レジスタの値 (または FFFFh) と等しい場合は、タイマはゼロにリセットされ、周期までのカウント・アップを再び続行します。TDIRA/B が Low に保持されていると、GP タイマはゼロになるまでカウント・ダウンします。タイマの値がゼロまでカウント・ダウンされると、タイマは周期レジスタの値をカウンタにリロードし、カウント・ダウンを再び開始します。

タイマの初期値は、0000h から FFFFh までの任意の値にすることができます。タイマ・カウンタの初期値が周期レジスタの値よりも大きい場合、タイマは FFFFh までカウント・アップしてから、カウンタ値をゼロにリセットし、周期までカウント・アップします。周期レジスタよりも大きい値を使用してタイマが開始され、TDIRA/B が Low の場合、タイマは周期レジスタの値までカウント・ダウンし、引き続きゼロまでカウント・ダウンします。カウンタ値がゼロまでカウント・ダウンされると、タイマ・カウンタには周期レジスタの値が通常どおりリロードされます。

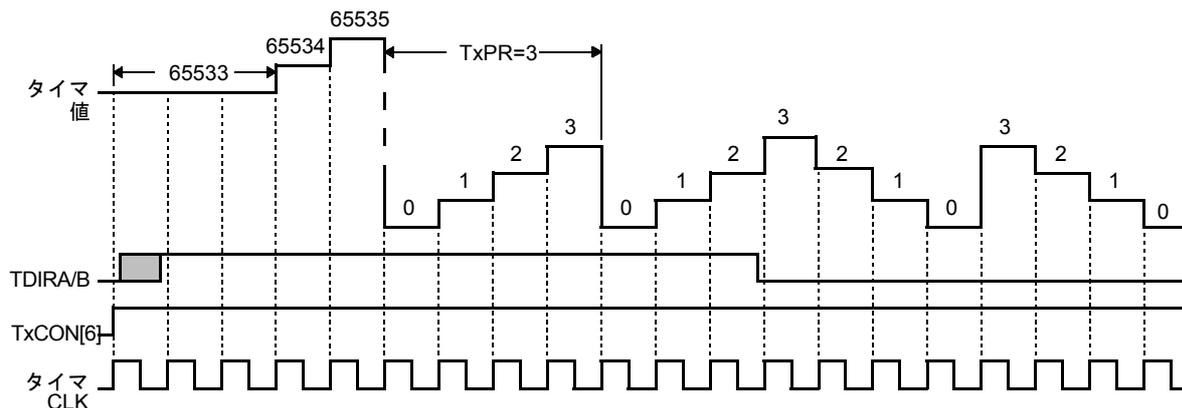
周期割り込みフラグ、アンダーフロー割り込みフラグ、オーバーフロー割り込みフラグ、割り込み、および関連動作は、連続アップ・カウント・モードの場合と同じように、それぞれのイベントで生成されます。

TDIRA/B が変更されカウント方向が変更するまでの遅れは、現在のカウント終了後（つまり、現在のプリスケール・カウンタ周期の終了後）の 1 クロック・サイクルです。

このモードにおけるタイマのカウントの方向は、GPTCONA/B 内の対応する方向指示ビットによって示されます。1 はカウント・アップ、0 はカウント・ダウンを意味します。このモードのタイマに対する入力クロックとしては、TCLKINA/B ピンからの外部クロックまたは内部デバイス・クロックを使用できます。

図 1-5 は、GP タイマの方向アップ/ダウン・カウント・モードを示します。

図 1-5 GP タイマの方向アップ/ダウン・カウント・モード：分周率 1 および TxPR=3



GP タイマ 2/4 の方向アップ/ダウン・カウント・モードは、EV モジュールの直交エンコード・パルス (QEP) 回路で使用できます。この場合、QEP 回路は、GP タイマ 2/4 のカウント・クロックと方向の両方を提供します。また、このモードの動作は、モーション/モータ制御およびパワー・エレクトロニクス・アプリケーションにおける外部イベントの発生を計時するために使用することができます。

1.4.21 連続アップ/ダウン・カウント・モード

このモードの動作は、方向アップ/ダウン・カウント・モードと同じですが、TDIRA/B ピンはカウント方向に影響しません。カウント方向は、タイマが周期値（または、初期タイマ値が周期よりも大きい場合は FFFFh）に達した場合にのみアップからダウンに変わります。タイマ方向は、タイマがゼロに達した場合にのみダウンからアップに変わります。

このモードのタイマの周期は、最初の周期以外は、スケーリングされたクロック入力の $2^*(TxPR)$ サイクルです。最初の開始タイマ・カウンタがゼロの場合は、カウント周期は同じです。

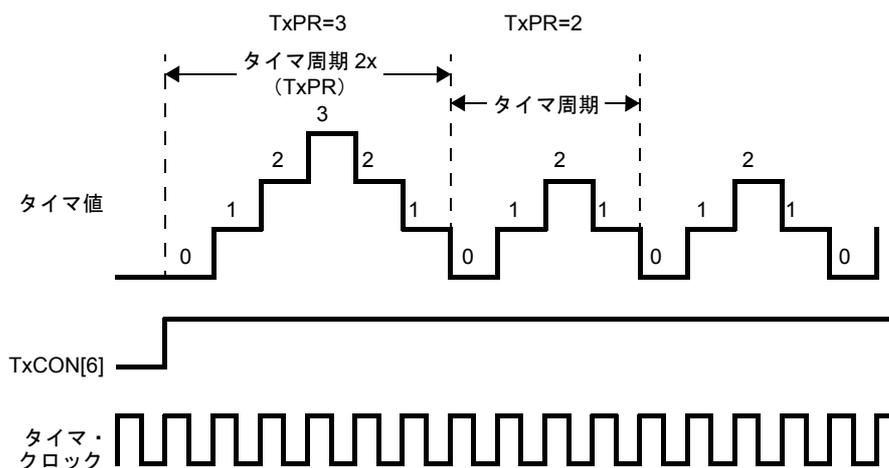
GP タイマ・カウンタの初期値は、0h から FFFFh までの任意の値 (0h と FFFFh を含む) にすることができます。タイマ・カウンタの初期値が周期レジスタの初期値よりも大きい場合は、タイマは FFFFh までカウント・アップし、ゼロにリセットしてから、あたかも初期値がゼロであったかのように動作を続行します。タイマ・カウンタの初期値が周期レジスタの初期値と同じである場合は、タイマはゼロまでカウント・ダウンし、あたかも初期値がゼロであったかのように再び続行します。タイマの初期値がゼロと周期レジスタの内容の間である場合は、タイマは周期値までカウント・アップし、あたかも初期カウンタ値が周期レジスタの初期値と同じであったかのように続行します。

周期割り込みフラグ、アンダーフロー割り込みフラグ、オーバーフロー割り込みフラグ、割り込み、および関連動作は、連続アップ・カウント・モードの場合と同じように、それぞれのイベントで生成されます。

GPTCONA/B におけるこのタイマのカウント方向指示ビットは、タイマがカウント・アップする場合は 1、タイマがカウント・ダウンする場合はゼロです。入力クロックとしては、TCLKINA/B ピンからの外部クロックまたは内部デバイス・クロックを選択できます。このモードでは、TDIRA/B 入力はタイマによって無視されます。

図 1-6 は、GP タイマの連続アップ/ダウン・カウント・モードを示します。

図 1-6 GP タイマの連続アップ/ダウン・カウント・モード (TxPR=3 または 2)



連続アップ/ダウン・カウント・モードは、さまざまなモータ/モーション・コントロールおよびパワー・エレクトロニクス・アプリケーションに用いられる対称形の PWM 波形を生成する場合に特に役立ちます。

1.4.22 GP タイマ・コンペア動作

各 GP タイマには、それに対応するコンペア・レジスタ TxCMPR と PWM 出力ピン TxPWM があります。GP タイマ・カウンタの値は、対応するコンペア・レジスタの値と常にコンペアされます。タイマ・カウンタの値がコンペア・レジスタの値と同じ場合は、コンペア・マッチが発生します。コンペア動作は、TxCON[1] を 1 に設定することによってイネーブルになります。コンペア動作がイネーブルになると、コンペア・マッチ時に以下の処理が行われます。

- マッチした 1 クロック・サイクル後にタイマのコンペア割り込みフラグがセットされます。

- マッチした1 デバイス・クロック・サイクル後に、GPTCONA/B のビット設定に従って、対応する PWM 出力で信号の変化が発生します。
- コンペア割り込みフラグにより ADC を開始するよう GPTCONA/B ビットを設定している場合は、コンペア割り込みフラグがセットされると同時に ADC 開始信号が生成されます。

コンペア割り込みフラグがマスク解除されている場合は、そのフラグによってペリフェラル割り込みリクエストが生成されます。

1.4.23 PWM 出力の信号変化

PWM 出力の信号変化は、非対称および対称波形生成器と対応する出力ロジックによって制御され、以下のことに依存します。

- GPTCONA/B でのビット定義
- タイマのカウント・モード
- カウント・モードが連続アップ / ダウン・モードの場合はカウント方向

1.4.24 非対称 / 対称波形生成器

非対称 / 対称波形生成器は、GP タイマのカウント・モードに基づいて非対称または対称 PWM 波形を生成します。

非対称波形生成

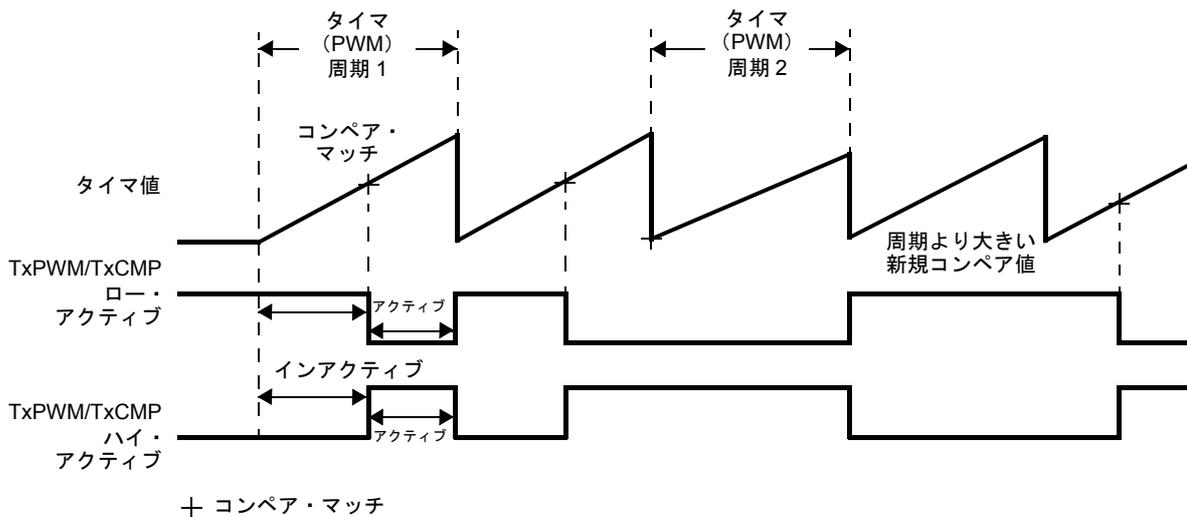
非対称波形 (1-25 ページの図 1-7) は、GP タイマが連続アップ・カウント・モードの場合に生成されます。GP タイマがこのモードの場合は、以下のシーケンスに従って波形ジェネレータの出力が変わります。

- カウント動作が始まる前はゼロ
- コンペア・マッチが発生するまでは未変更のままになる
- コンペア・マッチ時にトグルする
- 周期の終わりまでは未変更のままになる
- 次の周期の新しいコンペア値がゼロでない場合は、周期の終わりにおける周期マッチ時にゼロにリセットされる

周期の始めにコンペア値がゼロの場合、出力はその全周期において 1 です。次の周期の新しいコンペア値がゼロの場合は、出力はゼロにリセットされません。これは障害なしに 0% ~ 100% デューティ・サイクルの PWM パルスの生成を可能にするために重要です。コンペア値が周期レジスタの値よりも大きい場合は、出力はその全周期においてゼロです。コンペア値が周期レジスタの値と同じ場合は、出力はスケールされたクロック入力の 1 サイクルに対して 1 です。

非対称 PWM 波形の 1 つの特徴は、コンペア・レジスタの値の変化は PWM パルスの片側だけに影響するということです。

図 1-7 アップ・カウント・モードでの GP タイマ・コンペア/PWM 出力



対称波形生成

対称波形 (1-26 ページの図 1-8) は、GP タイマが連続アップ / ダウン・カウント・モードの場合に生成されます。GP タイマがこのモードの場合、以下に従って波形生成器の出力の状態が決まります。

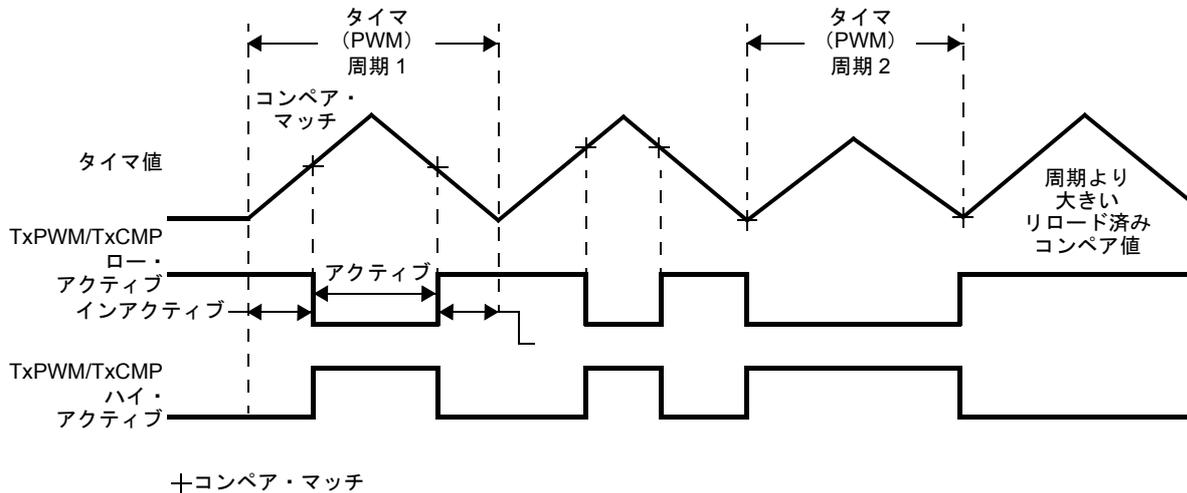
- カウント動作が始まる前はゼロ
- 最初のコンペア・マッチまでは未変更のままになる
- 最初のコンペア・マッチ時にトグルする
- 2 番目のコンペア・マッチまでは未変更のままになる
- 2 番目のコンペア・マッチ時にトグルする
- 周期の終わりまでは未変更のままになる
- 2 番目のコンペア・マッチが存在せず、次の周期の新しいコンペア値がゼロでない場合は、周期の終わりにゼロにリセットされる

周期の始まりにコンペア値がゼロである場合は、出力は周期の始まりに 1 にセットされ、2 番目のコンペア・マッチまで 1 のままになります。周期の後半についてもコンペア値がゼロの場合は、出力は周期の終わりまで 1 のままになります。これが発生した場合、次の周期における新しいコンペア値が引き続きゼロであると、出力はゼロにリセットされません。これは、再び障害なしに 0% ~ 100% デューティ・サイクルの PWM パルスの生成を保証するために行われます。コンペア値が周期の前半になる周期レジスタの値以上である場合は、最初のトランジションは発生しません。ただし、周期の後半にコンペア・マッチが発生すると、出力は引き続きトグルします。次の周期に対する新しいコンペア値がゼロでない限り、出力はゼロにリセットされるため、出力信号変化におけるこのエラー (多くの場合、アプリケーション・ルーチンにおける計算エラーで発生するエラー) は、周期の終わりに修正されます。この場合、出力は 1 のままです。これにより、波形生成器の出力は再び正しい状態になります。

注:

出力ロジックは、すべての出力ピンについてアクティブ状態が何であるかを決定します。

図 1-8 アップ/ダウン・カウント・モードでの GP タイマ・コンペア/PWM 出力



出力ロジック

出力ロジックは、波形生成器からの出力をさらに調整して、各種パワー・デバイスを制御する最終的な PWM 出力を形成します。PWM 出力は、該当する GPTCONA/B ビットの適切な設定によってハイ・アクティブ、ロー・アクティブ、強制ロー、および強制ハイにすることができます。

PWM 出力がハイ・アクティブに指定された場合、PWM 出力の極性は、対応する非対称 / 対称波形生成器の出力の極性と同じです。

PWM 出力がロー・アクティブに指定された場合、PWM 出力の極性は、対応する非対称 / 対称波形生成器の出力の極性の逆になります。

PWM 出力は、GPTCONA/B 内の対応するビットがセットされるとすぐに 1 (またはゼロ) に設定され、ビット・パターンでは PWM 出力の状態が強制ハイ (またはロー) であることを示します。

要約すると、コンペア動作がイネーブルになっていると仮定すれば、通常のカウント・モード中は、連続アップ・カウント・モードの場合は 1-27 ページの表 1-4 に従って、連続アップ/ダウン・カウント・モードの場合は 1-27 ページの表 1-5 に従って、GP タイマ PWM 出力上の信号変化が発生します。

アクティブの意味は、アクティブ・ハイの場合は High、アクティブ・ローの場合は Low になります。インアクティブは、上記とは逆のことを意味します。

タイマ・カウント・モードと出力ロジックに基づいた非対称 / 対称波形生成も、コンペア・ユニットに適用できます。

表 1-4 連続アップ・カウント・モードでの GP タイマ・コンペア出力

周期内の時間	コンペア出力の状態
コンペア・マッチの前	インアクティブ
コンペア・マッチ時	アクティブに設定
周期マッチ時	インアクティブに設定

表 1-5 連続アップ/ダウン・カウント・モードでの GP タイマ・コンペア出力

周期内の時間	コンペア出力の状態
最初のコンペア・マッチの前	インアクティブ
最初のコンペア・マッチ時	アクティブに設定
2 番目のコンペア・マッチ時	インアクティブに設定
2 番目のコンペア・マッチの後	インアクティブ

以下のいずれかのイベントが発生すると、すべての GP タイマ PWM 出力がハイ・インピーダンス状態になります。

- ソフトウェアによって GPTCONA/B[6] がゼロに設定される
- PDPINTx が Low になり、マスクされていない
- 任意のリセット・イベントが発生した
- ソフトウェアによって TxCON[1] がゼロに設定される

1.4.25 アクティブ/インアクティブの時間計算

連続アップ・カウント・モードの場合、コンペア・レジスタの値は、周期の始まりから最初のコンペア・マッチの発生までの経過時間（インアクティブ・フェーズの長さ）を表します。この経過時間は、スケールされた入力クロックの周期に TxCMPR の値を掛けたものと同じです。したがって、アクティブ・フェーズの長さ（出力パルス幅）は、スケールされた入力クロックの「(TxPR) - (TxCMPR) + 1」サイクルによって与えられます。

連続アップ/ダウン・カウント・モードの場合、コンペア・レジスタはカウント・アップ時とカウント・ダウン時では異なる値を持つことができます。アップ/ダウン・カウント・モードに対するアクティブ・フェーズの長さ（出力パルス幅）は、スケールされた入力クロックの「(TxPR) - (TxCMPR)_{up} + (TxPR) - (TxCMPR)_{dn}」サイクルによって与えられます。ここで、(TxCMPR)_{up} はアップ途中のコンペア値、(TxCMPR)_{dn} はダウン途中のコンペア値です。

GP タイマがアップ・カウント・モードの場合は、TxCMPR の値がゼロであると、GP タイマ・コンペア出力は周期全体に対してアクティブです。アップ/ダウン・カウント・モードの場合は、(TxCMPR)_{up} がゼロであると、コンペア出力は周期の開始時にアクティブです。(TxCMPR)_{dn} もゼロの場合は、周期の終わりまで出力はアクティブなままになります。

アップ・カウント・モードの場合、TxCMPR の値が TxPR の値よりも大きいと、アクティブ・フェーズの長さ（出力パルス幅）はゼロです。アップ / ダウン・カウント・モードの場合は、 $(TxCMPR)_{up}$ が $(TxPR)$ 以上であると、最初の信号変化は発生しません。同様に、 $(TxCMPR)_{dn}$ が $(TxPR)$ 以上であると、2 番目の信号変化は発生しません。アップ / ダウン・カウント・モードの場合、 $(TxCMPR)_{up}$ と $(TxCMPR)_{dn}$ の両方が $(TxPR)$ 以上であると、GP タイマ・コンペア出力は周期全体に対してインアクティブです。

1-25 ページの図 1-7 は、アップ・カウント・モードにおける GP タイマのコンペア動作を示します。1-26 ページの図 1-8 は、アップ / ダウン・カウント・モードにおける GP タイマのコンペア動作を示します。

1.5 GP タイマを使用した PWM 出力の生成

各 GP タイマは、別々に独立した PWM 出力チャンネルを提供できます。したがって、GP タイマによって 2 つまでの PWM 出力を生成できます。

1.5.1 PWM の動作

GP タイマで PWM 出力を生成するには、連続アップまたはアップ / ダウン・カウント・モードを選択できます。連続アップ・カウント・モードを選択すると、非対称 PWM 波形が生成されます。連続アップ / ダウン・モードを選択すると、対称 PWM 波形が生成されます。PWM 動作に GP タイマをセットアップするには、以下の操作を行います。

- 必要な PWM (キャリア) 周期に従って TxPR をセットアップします。
- TxCON をセットアップしてカウント・モードとクロック・ソースを指定し、動作を開始します。
- PWM パルスのパルス幅 (デューティ・サイクル) に相当する値を TxCMR にロードします。

連続アップ・カウント・モードを選択して非対称 PWM 波形を生成する場合は、必要な PWM 周期を GP タイマ入力クロックの周期で割り、その結果から 1 を引くことで周期値が得られます。連続アップ / ダウン・カウント・モードを選択して対称 PWM 波形を生成する場合は、必要な PWM 周期を GP タイマ入力クロックの周期の 2 倍で割ることで、この値が得られます。

GP タイマは、前述の例と同じ方法で初期化できます。実行時には、GP タイマ・コンペア・レジスタは、新しく決定されたデューティ・サイクルに相当する新しく決定されたコンペア値を使用して絶えず更新されます。

1.5.2 GP タイマのリセット

RESET イベントが発生すると、以下の処理が行われます。

- すべての GP タイマ・レジスタ・ビット (GPTCONA/B 内のカウント方向指示ビットを除く) が 0 にリセットされます。したがって、すべての GP タイマの動作がディスエーブルになります。カウント方向指示ビットは、すべて 1 に設定されます。
- すべてのタイマ割り込みフラグが 0 にリセットされます。
- すべてのタイマ割り込みマスク・ビットが 0 にリセットされます (PDPINTx を除く)。したがって、すべての GP タイマ割り込みがマスクされます (PDPINTx を除く)。
- すべての GP タイマ・コンペア出力がハイ・インピーダンス状態になります。

1.6 コンペア・ユニット

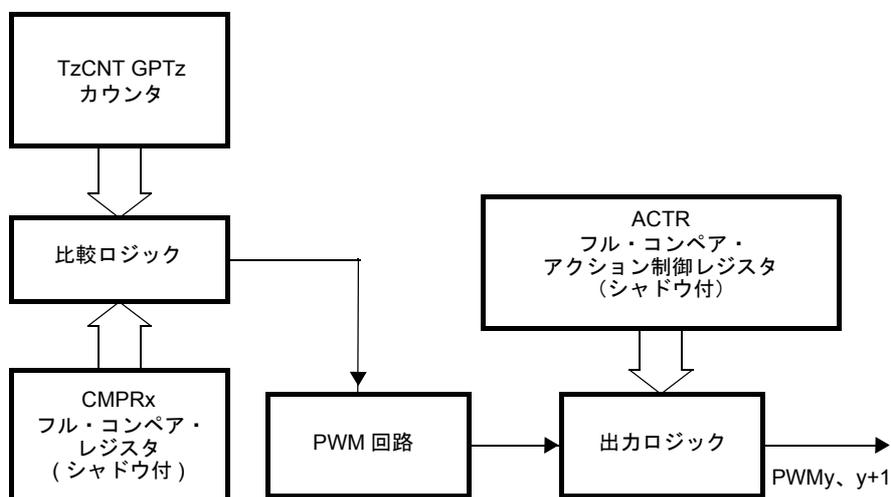
EVA モジュールには3つの（フル）コンペア・ユニット（1、2、および3）、EVB モジュールには3つの（フル）コンペア・ユニット（4、5、および6）があります。各コンペア・ユニットには、対応する2つのPWM出力があります。コンペア・ユニットの基準時間は、GP タイマ1（EVA の場合）と GP タイマ3（EVB の場合）によって提供されます。

各 EV モジュール内のコンペア・ユニットには、以下が含まれます。

- 対応するシャドウ・レジスタを持つ3つの16ビット・コンペア・レジスタ（EVA の場合は CMPR1、CMPR2、および CMPR3、EVB の場合は CMPR4、CMPR5、および CMPR6）、（RW）
- 1つの16ビット・コンペア制御レジスタ（EVA の場合は COMCONA、EVB の場合は COMCONB）、（RW）
- 対応するシャドウ・レジスタを持つ1つの16ビット・アクション制御レジスタ（EVA の場合は ACTRA、EVB の場合は ACTRB）、（RW）
- 6つのPWM（3ステート）出力（コンペア出力）ピン（EVA の場合は PWM_y、y=1、2、3、4、5、6。EVB の場合は PWM_z、z=7、8、9、10、11、12）
- 制御および割り込みロジック

コンペア・ユニットの機能ブロック図を図1-9に示します。

図1-9 コンペア・ユニットのブロック図
 (EVA の場合 : x=1、2、3、y=1、3、5、z=1
 EVB の場合 : x=4、5、6、y=7、9、11、z=3)



コンペア・ユニットと対応するPWM回路の基準時間は、GP タイマ1（EVA の場合）または GP タイマ3（EVB の場合）によって提供されます。コンペア動作がイネーブルになっている場合は、これらのタイマを任意のカウント・モードにすることができます。信号変化はコンペア出力上で発生します。

コンペア入力/出力

コンペア・ユニットへの入力には、以下のものが含まれます。

- 制御レジスタからの制御信号
- GP タイマ 1/3(T1CNT/T3CNT)と、そのタイマのアンダーフローおよび周期マッチ信号
- RESET

コンペア・ユニットの出力は、コンペア・マッチ信号です。コンペア動作をイネーブルにすると、このマッチ信号によって割り込みフラグがセットされ、コンペア・ユニットに対応する2つの出力ピンで信号変化が発生します。

コンペア動作モード

コンペア・ユニットの動作モードは、COMCONx 内のビットによって決まります。これらのビットは、以下のことを決定します。

- コンペア動作をイネーブルにするかどうか
- コンペア出力をイネーブルにするかどうか
- コンペア・レジスタがシャドウ・レジスタの値で更新される条件
- 空間ベクトル PWM モードをイネーブルにするかどうか

動作

以下の節では、EVA コンペア・ユニットの動作を説明します。EVB コンペア・ユニットの動作はまったく同じです。EVB の場合は、GP タイマ 3 と ACTRB が使用されます。

GP タイマ 1 カウンタの値は、コンペア・レジスタの値と常に比較されます。一致すると、アクション制御レジスタ (ACTRA) のビットに従って信号変化がコンペア・ユニットの2つの出力に現れます。ACTRA のビットでは、コンペア・マッチ時にアクティブ・ハイまたはアクティブ・ロー (強制ハイまたはローでない場合) にトグルするように各出力を個別に指定できます。コンペアをイネーブルにした場合、GP タイマ 1 とこのコンペア・ユニットのコンペア・レジスタの間でコンペア・マッチが行われると、コンペア・ユニットに対応したコンペア割り込みフラグがセットされます。割り込みがマスク解除されている場合は、そのフラグによってペリフェラル割り込みリクエストが生成されます。出力信号変化のタイミング、割り込みフラグの設定、および割り込みリクエストの生成は、GP タイマ・コンペア動作の場合と同じです。コンペアモードにおけるコンペア・ユニットの出力は、出力ロジック、デッド・バンド・ユニット、および空間ベクトル PWM ロジックにより左右されます。

1.6.1 コンペア・ユニット動作のレジスタ・セットアップ

コンペア・ユニット動作のレジスタ・セットアップ・シーケンスは、以下の操作を必要とします。

EVA の場合	EVB の場合
T1PR のセットアップ	T3PR のセットアップ
ACTRA のセットアップ	ACTRB のセットアップ
CMPRx の初期化	CMPRx の初期化
COMCONA のセットアップ	COMCONB のセットアップ
T1CON のセットアップ	T3CON のセットアップ

1.6.2 コンペア・ユニット・レジスタ

表 1-6 と表 1-7 に、コンペア・ユニットと PWM 回路に対応するレジスタのアドレスを示します。これらのレジスタについては、後続のサブセクションで説明します。

コンペア制御レジスタ (COMCONA と COMCONB)

コンペア・ユニットの動作は、コンペア制御レジスタ (COMCONA と COMCONB) によって制御されます。COMCONA のビット定義の概略を 5-9 ページの図 5-7 に、COMCONB のビットの概略を 5-11 ページの図 5-8 に示します。COMCONA と COMCONB は、リードおよびライト可能です。

表 1-6 EVA コンペア制御レジスタのアドレス

アドレス	レジスタ	名前
7411h	COMCONA	コンペア制御レジスタ
7413h	ACTRA	コンペア・アクション制御レジスタ
7415h	DBTCONA	デッドバンド・タイマ制御レジスタ
7417h	CMPR1	コンペア・レジスタ 1
7418h	CMPR2	コンペア・レジスタ 2
7419h	CMPR3	コンペア・レジスタ 3

表 1-7 EVB コンペア制御レジスタのアドレス

アドレス	レジスタ	名前
7511h	COMCONB	コンペア制御レジスタ
7513h	ACTRB	コンペア・アクション制御レジスタ
7515h	DBTCONB	デッドバンド・タイマ制御レジスタ
7517h	CMPR4	コンペア・レジスタ 4
7518h	CMPR5	コンペア・レジスタ 5
7519h	CMPR6	コンペア・レジスタ 6

1.6.3 コンペア・ユニット割り込み

各コンペア・ユニットの EVxIFRA と EVxIFRB には、マスク可能な割り込みフラグがあります。コンペア動作をイネーブルにした場合、コンペア・ユニットの割り込みフラグはコンペア・マッチの1クロック・サイクル後にセットされます。フラグがマスク解除されている場合は、そのフラグによってペリフェラル割り込みリクエストが生成されます。

1.6.4 コンペア・ユニットのリセット

いずれかのリセット・イベントが発生すると、コンペア・ユニットに対応するレジスタ・ビットはすべてゼロにリセットされ、すべてのコンペア出力ピンがハイ・インピーダンス状態になります。

以下余白

PWM 回路

(各 EV にある) コンペア・ユニットに対応するパルス幅変調 (PWM) 回路は、プログラマブル・デッドバンドおよび出力極性を備えた 6 チャンネルの PWM 出力を可能にします。

項目	ページ
2.1 コンペア・ユニットに対応する PWM 回路.....	2-2
2.2 PWM 波形生成.....	2-7
2.3 空間ベクトル PWM.....	2-11

2.1 コンペア・ユニットに対応する PWM 回路

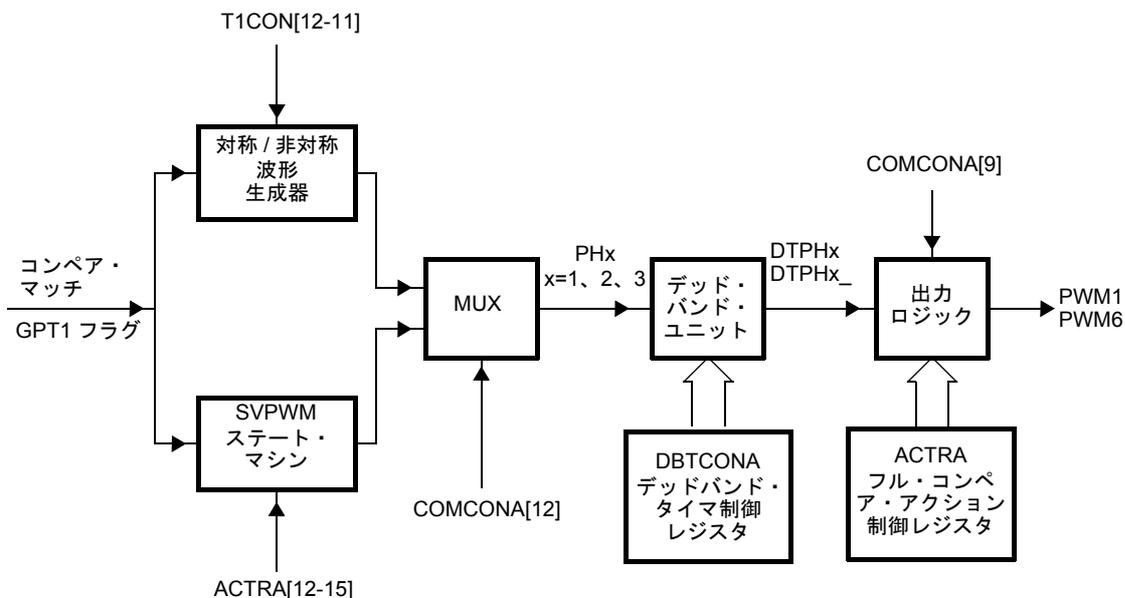
EVA PWM 回路の機能ブロック図を図 2-1 に示します。この回路には、以下の機能ユニットが含まれます。

- 非対称 / 対称波形生成器
- プログラマブル・デッドバンド・ユニット (DBU)
- 出力ロジック
- 空間ベクトル (SV) PWM ステート・マシン

EVB の PWM 回路機能ブロック図は、該当する EVA の設定レジスタの変更を加えた PWM 回路機能ブロック図と同じです。

非対称 / 対称波形生成器は、GP タイマの非対称 / 対称生成器と同じです。デッドバンド・ユニットと出力ロジックについては、それぞれ 2-3 ページの 2.1.2 節「プログラマブル・デッドバンド (デッドタイム) ユニット」と 2-6 ページの 2.1.5 節「出力ロジック」で説明します。空間ベクトル PWM ステート・マシンと空間ベクトル PWM 技術については、この章の後で説明します。

図 2-1 PWM 回路ブロック図



PWM 回路は、モータ制御およびモーション・コントロールなどのアプリケーションで使用されるパルス幅変調波形の生成に、CPU のオーバーヘッドとユーザーの介在を最小限に抑えることができるよう設計されています。コンペア・ユニットと関連 PWM 回路での PWM 生成は、以下の制御レジスタによって制御されます。T1CON、COMCONA、ACTRA、および DBTCONA (EVA の場合)、T3CON、COMCONB、ACTRB、および DBTCONB (EVB の場合)。

2.1.1 イベント・マネージャの PWM 生成機能

各イベント・マネージャ・モジュール（A および B）の PWM 波形生成機能を以下にまとめました。

- 独立した5つのPWM出力(そのうちの3つはコンペア・ユニットによって生成され、他の2つはGPタイマ・コンペアによって生成される)と、その3つのコンペア・ユニットPWM出力に依存する相補な3つの追加PWM出力
- コンペア・ユニットに対応するPWM出力ペアに対するプログラマブル・デッドバンド
- 1デバイス・クロック・サイクルの最小デッドバンド・タイム
- 1クロック・サイクルの最小PWMパルス幅およびパルス幅インクリメント/デクリメント
- 最大16ビットのPWM分解能
- PWMキャリア周波数（ダブル・バッファリングされた周期レジスタ）の周期ごとの変更
- PWMパルス幅（ダブル・バッファリングされたコンペア・レジスタ）の周期ごとの変更
- パワー・ドライブ保護割り込み
- 非対称、対称、および空間ベクトルPWM波形のプログラマブル生成
- コンペア・レジスタと周期レジスタの自動リロードを最小限とするCPUオーバーヘッド

2.1.2 プログラマブル・デッドバンド（デッドタイム）ユニット

EVA と EVB には、それぞれプログラマブル・デッドバンド・ユニット（DBTCONA と DBTCNB）があります。そのプログラマブル・デッドバンド・ユニットは以下を特徴としています。

- 1つの16ビット・デッドバンド制御レジスタ DBTCONx（RW）
- 1つの入力クロック・プリスケアラ：x/1、x/2、x/4 など（x/32まで）
- デバイス（CPU）クロック入力
- 3つの4ビット・ダウンカウント・タイマ
- 制御ロジック

2.1.3 デッドバンド・タイマ制御レジスタ A および B（DBTCONA および DBTCNB）

デッドバンド・ユニットの動作は、デッドバンド・タイマ制御レジスタ（DBTCONA と DBTCNB）によって制御されます。DBTCONA のビットの説明を 5-21 ページの図 5-15 に、DBTCNB のビットの説明を 5-22 ページの図 5-16 に示します。

2.1.4 デッドバンド・ユニットの入力と出力

デッドバンド・ユニットへの入力、コンペア・ユニット1、2、および3の非対称/対称波形生成器からのPH1、PH2、およびPH3になります。

デッドバンド・ユニットの出力は、それぞれPH1、PH2、およびPH3に対応してDTPH1、DTPH1_、DTPH2、DTPH2_、DTPH3、およびDTPH3_です。

デッド・バンド生成

入力信号PHxごとに、2つの出力信号(DTPHxとDTPHx_)が生成されます。コンペア・ユニットとそれに対応する出力に対してデッドバンドをイネーブルにしている場合は、この2つの信号はまったく同じです。コンペア・ユニットに対してデッドバンド・ユニットをイネーブルにした場合は、デッドバンドと呼ばれる時間間隔によって2つの信号の信号変化エッジのタイミングがずらされます。この時間間隔は、DBTCONxビットによって決定されます。DBTCONx[11-8]の値はmで、DBTCONx[4-2]の値はプリスケアラx/pに相当するので、デッドバンド値は(p*m) デバイス・クロック・サイクルになります。

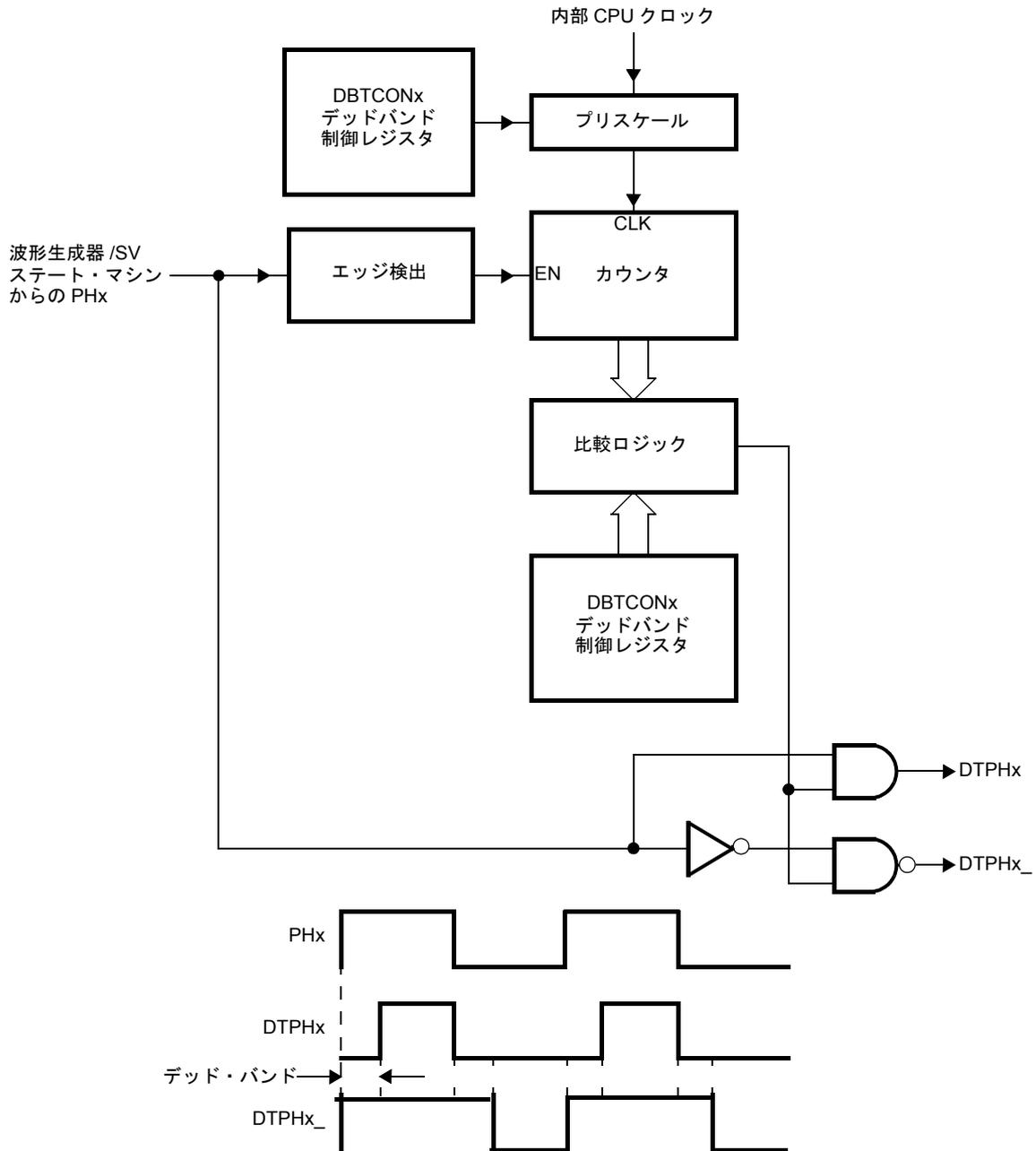
表2-1は、DBTCONxにおける一般的なビット組み合わせによって生成されるデッドバンドを示しています。値は、25-ns HSPCLKをベースとしています。2-5 ページの図2-2は、1つのコンペア・ユニットに対するデッドバンド・ロジックのブロック図を示しています。

表 2-1 デッドバンド生成例

DBT3-DBT0 (m) (DBTCONx[11-8])	DBTCONx[4-2] (p)					
	110 および 1x1 (P=32)	100 (P=16)	011 (P=8)	010 (P=4)	001 (P=2)	000 (P=1)
0	0	0	0	0	0	0
1	0.8	0.4	0.2	0.1	0.05	0.025
2	1.6	0.8	0.4	0.2	0.1	0.05
3	2.4	1.2	0.6	0.3	0.15	0.075
4	3.2	1.6	0.8	0.4	0.2	0.1
5	4	2	1	0.5	0.25	0.125
6	4.8	2.4	1.2	0.6	0.3	0.15
7	5.6	2.8	1.4	0.7	0.35	0.175
8	6.4	3.2	1.6	0.8	0.4	0.2
9	7.2	3.6	1.8	0.9	0.45	0.225
A	8	4	2	1	0.5	0.25
B	8.8	4.4	2.2	1.1	0.55	0.275
C	9.6	4.8	2.4	1.2	0.6	0.3
D	10.4	5.2	2.6	1.3	0.65	0.325
E	11.2	5.6	2.8	1.4	0.7	0.35
F	12	6	3	1.5	0.75	0.375

注： 表の値の単位は μs です。

図 2-2 デッドバンド・ユニットのブロック図 (x=1、2、または3)



注： PH_x 、 $DTPH_x$ 、 $DTPH_{x-}$ などの信号はデバイス内部の信号です。そのため、これらの信号を外部モニタリング / 制御を行うことはできません。

デッドバンド・ユニットの他の重要な機能

デッドバンド・ユニットは、各コンペア・ユニットに対応する 2 つの PWM 出力によって制御される上下アームのターンオン期間におけるどのような動作状況でもオーバーラップを防止するように設計されています。これには、デューティ・サイクル値よりも大きいデッドバンド値をロードした場合やデューティ・サイクルが 100% または 0% の場合も含まれます。結果として、コンペア・ユニットに対してデッド・バンドをイネーブルにした場合は、コンペア・ユニットに対応する PWM 出力はタイマ周期の終わりにインアクティブ状態にリセットされません。

2.1.5 出力ロジック

出力論理回路では、出力 PWMx (x=1 ~ 6) について、極性やコンペア・マッチ時にとるべきアクションが決定されます。各コンペア・ユニットに対応する出力は、アクティブ・ロー、アクティブ・ハイ、強制ロー、または強制ハイに指定できます。PWM 出力の極性やアクションは、ACTR レジスタでのビットの正しい設定によってプログラムできます。PWM 出力ピンは、以下のいずれかによって、すべてハイ・インピーダンス状態にすることができます。

- ソフトウェアで COMCONx[9] ビットをクリアした場合
- $\overline{\text{PDPINTx}}$ がマスク解除されている場合にハードウェアで PDPINTx をローにした場合
- リセット・イベントの発生

アクティブな $\overline{\text{PDPINTx}}$ (イネーブルにした場合) とシステム・リセットは、COMCONx と ACTRx のビットを無効にします。

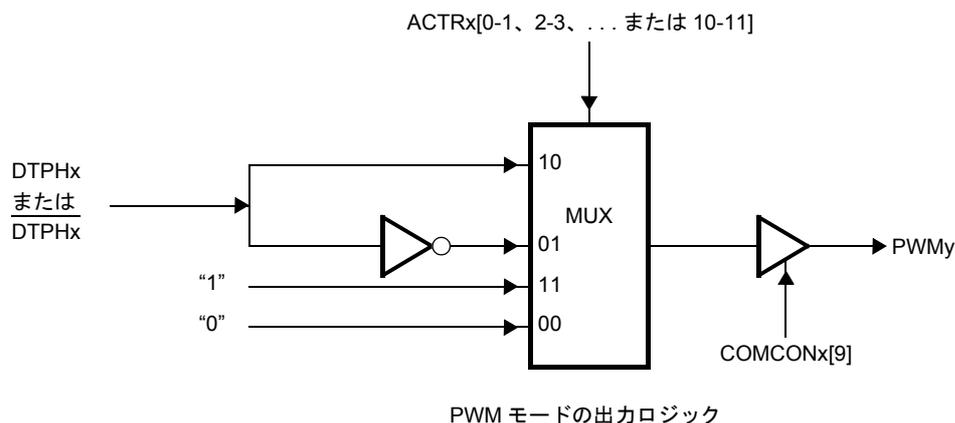
図 2-3 は、出力論理回路 (OLC) のブロック図を示しています。コンペア・ユニットの出力ロジックの入力は以下のとおりです。

- デッドバンド・ユニットおよびコンペア・マッチ信号からの $\overline{\text{DTPH1}}$ 、 $\overline{\text{DTPH1}}$ 、 $\overline{\text{DTPH2}}$ 、 $\overline{\text{DTPH2}}$ 、 $\overline{\text{DTPH3}}$ 、および $\overline{\text{DTPH3}}$
- ACTRx の制御ビット
- $\overline{\text{PDPINTx}}$ と RESET

コンペア・ユニットの出力ロジックの出力は以下のとおりです。

- PWMx、x=1 ~ 6 (EVA の場合)
- PWMy、y=7 ~ 12 (EVB の場合)

図 2-3 出力ロジックのブロック図 (x=1、2、または 3。y=1、2、3、4、5、または 6)



2.2 PWM 波形生成

PWM 信号は、パルス幅が変化する一連のパルス信号です。パルス信号は、ある固定の周期に 1 つのパルスが存在するように生成されます。この固定周期は PWM (キャリア) 周期と呼ばれ、その逆数は PWM (キャリア) 周波数と呼ばれます。PWM パルスの幅は、希望の値に従って、パルスからパルスへ変調されます。

モータ制御システムでは、必要な電流とエネルギーをモータに供給するスイッチング・パワー・デバイスのオン時間とオフ時間を制御するために PWM 信号を使用します (2-11 ページの図 2-6 を参照)。相電流の形態と周波数、およびモータに供給されるエネルギーの量によって、モータの必要な速度とトルクが制御されます。この場合、モータに適用されるコマンドは電圧または電流の変調信号です。一般に、変調信号の周波数は PWM キャリア周波数よりもかなり低くなります。

2.2.1 PWM 信号生成

PWM 信号を生成するには、PWM 周期と同じカウント周期を繰り返すために適切なタイマが必要です。コンペア・レジスタは、変調値を保持するために使用されます。コンペア・レジスタの値は、タイマ・カウンタの値と常に比較されます。値が一致すると、対応する出力で信号変化 (Low から High、または High から Low) が発生します。次のコンペア・マッチが発生するか、タイマ周期の終わりに達すると、関連する出力で別の信号変化 (High から Low、または Low から High) が発生します。このようにして、オン (またはオフ) 期間がコンペア・レジスタの値に比例して、出力パルスが生成されます。このプロセスは、コンペア・レジスタのさまざまな (変調) 値を使用してタイマ周期ごとに繰り返されます。結果として、対応する出力に PWM 信号が生成されます。

デッド・バンド

多くのモーション/モータおよびパワー・エレクトロニクス・アプリケーションでは、2 つのパワー・デバイスがブリッジのアーム上で直列に配置されます。ショートを回避するためには、2 つのデバイスのターンオン期間が相互に重なり合っていない必要があります。したがって、多くの場合、2 つのデバイスを正しくオンおよびオフにするには、重なり合っていない PWM 出力のペアが必要です。片方のトランジスタがオフになってから、もう片方のトランジスタがオンになる前にデッド・タイム (デッド・バンド) が挿入されます。この遅延により、片方のトランジスタを完全にオフにしてからもう片方のトランジスタをオンにすることが可能になります。必要な時間遅延は、パワー・トランジスタのターンオン特性とターンオフ特性、および特定のアプリケーションにおける負荷特性によって決まります。

2.2.2 イベント・マネージャを使用した PWM 出力の生成

イベント・マネージャ・モジュール内の GP タイマ 1 (EVA の場合) または GP タイマ 3 (EVB の場合)、デッドバンド・ユニット、および出力ロジックと 3 つの各コンペア・ユニットを使用すると、プログラマブル・デッドバンドと出力極性を備えた PWM 出力のペアを 2 つの専用デバイス・ピンから生成できます。各 EV モジュールには、3 つのコンペア・ユニットに対応した専用 PWM 出力ピンが 6 つあります。これらの 6 つの専用出力ピンを使用すると、3 相 AC インダクションまたはブラシレス DC モータを制御できます。コンペア・アクション制御レジスタ (ACTRx) による出力動作の柔軟性も、スイッチド・リラクタンسおよび同期リラクタンス・モータの制御を幅広いアプリケーションで容易にします。また、単軸または多軸制御アプリケーションでは、PWM 回路を使用して DC ブラシ・モータやステッピング・モータなどの他のタイプのモータを制御することもできます。必要であれば、各 GP タイマ・コンペア・ユニットも、自身のタイマに基づいて PWM 出力を生成できます。

2.2.3 非対称および対称 PWM 生成

非対称 PWM 波形と対称 PWM 波形は、どちらも EV モジュール上のすべてのコンペア・ユニットによって生成できます。また、3 つのコンペア・ユニットを一緒に使用して、3 相對称空間ベクトル PWM 出力を生成することもできます。GP タイマ・コンペア・ユニットでの PWM 生成については、GP タイマの節で説明しています。コンペア・ユニットでの PWM 出力の生成については、この節で説明します。

2.2.4 PWM 生成用のレジスタ・セットアップ

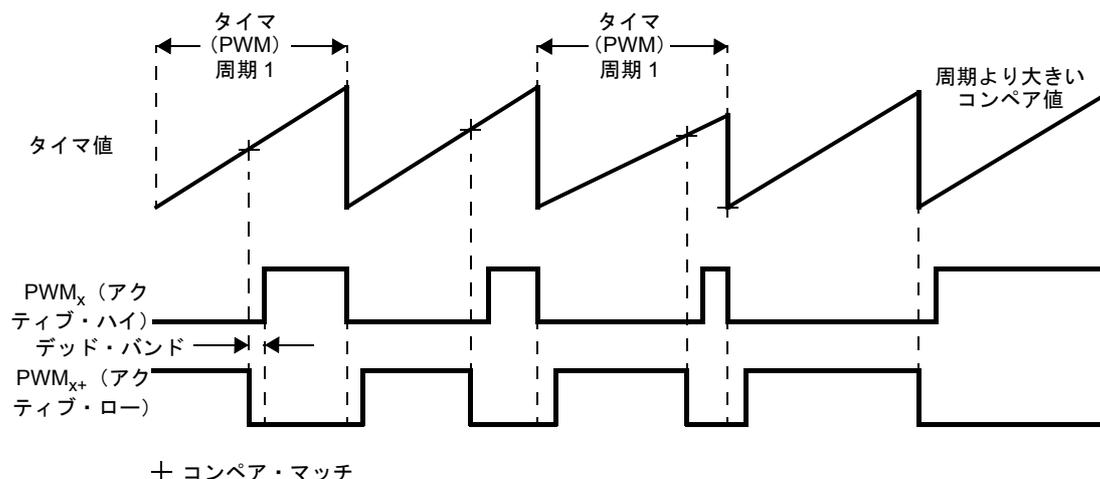
コンペア・ユニットと関連回路を使用した 3 相の PWM 波形生成には、同じイベント・マネージャ・レジスタの設定が必要です。PWM 生成のセットアップ・プロセスには、以下のステップが含まれます。

- ACTRx をセットアップしてロードする
- デッドバンドを使用する場合は、DBTCONx をセットアップしてロードする
- CMPRx を初期化する
- COMCONx をセットアップしてロードする
- 動作を開始するために T1CON (EVA の場合) または T3CON (EVB の場合) をセットアップしてロードする
- 新規に決定した値を使用して CMPRx をリライトする

2.2.5 非対称 PWM 波形生成

非対称 PWM 信号は、2-9 ページの図 2-4 に示すように、PWM 期間に対して中央に置かれない変調パルスによって生成されます。各パルスの幅は、パルスの片側からのみ変更できます。

図 2-4 コンペア・ユニットと PWM 回路を使用した非対称 PWM 波形生成 (x=1, 3, または 5)



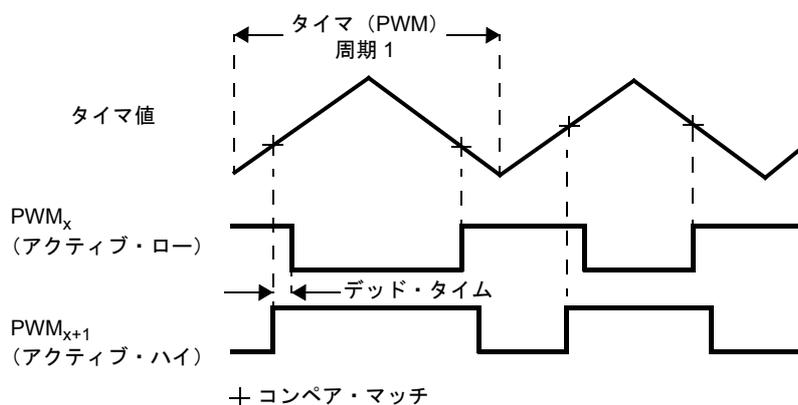
非対称 PWM 信号を生成するために、GP タイマ 1 は連続アップ・カウント・モードにされ、必要な PWM キャリア周期に相当する値が周期レジスタにロードされます。COMCONx は、コンペア動作をイネーブルにし、選択した出力ピンを PWM 出力に設定し、その出力をイネーブルにするように設定します。デッド・バンドをイネーブルにした場合は、ソフトウェアによって、必要なデッドバンド・タイムに相当する値を DBTCONx(11:8) の DBT(3:0) ビットにライトする必要があります。これは、4 ビット・デッドバンド・タイマの周期です。1 つのデッドバンド値がすべての PWM 出力チャネルに対して使用されます。

ソフトウェアでの ACTRx の適切な設定により、コンペア・ユニットに対応した出力で通常の PWM 信号を生成しながら、PWM 周期の始まり、中間、または終わりに他の出力を Low (オフ) または High (オン) に保持することができます。PWM 出力のソフトウェア制御された柔軟性は、スイッチド・リラクタンس・モータ制御アプリケーションで特に役立ちます。

GP タイマ 1 (または GP タイマ 3) を開始すると、パワー・デバイスのスイッチオンおよびスイッチオフ期間を制御する PWM 出力の幅 (デューティ・サイクル) を調整するために、新規に決定されたコンペア値が PWM 周期ごとにコンペア・レジスタにリライトされます。コンペア・レジスタはシャドウ化されるため、周期中のいつでも新しい値をそれらのコンペア・レジスタにライトできます。同じ理由により、周期中のいつでも新しい値をアクションおよび周期レジスタにライトして、PWM 周期を変更したり、PWM 出力設定の変更を強制したりすることができます。

2.2.6 対称 PWM 波形生成

対称 PWM 信号は、各 PWM 期間に対して中央に置かれる変調パルスによって特徴付けられます。対称 PWM 信号が非対称 PWM 信号よりも有利である点は、同じ持続時間の 2 つのインアクティブ・ゾーンが各 PWM 周期の始まりと終わりにあるということです。正弦波変調を使用した場合、AC モータ (インダクションおよび DC ブラシレス・モータなど) の相電流では、この対称性が引き起こす高調波は非対称 PWM 信号よりも少ないことが確認されています。2-10 ページの図 2-5 は、対称 PWM 波形の 2 つの例を示しています。

図 2-5 コンペア・ユニットと PWM 回路を使用した対称 PWM 波形生成 ($x=1, 3$, または 5)

コンペア・ユニットを使用した対称 PWM 波形の生成は、非対称 PWM 波形の生成と似ています。唯一の例外は、GP タイマ 1 (または GP タイマ 3) を連続アップ/ダウン・カウント・モードにする必要があるという点です。

通常、対称 PWM 波形生成では、PWM 周期内に 2 つのコンペア・マッチが存在しません (1 つは周期マッチ前の上方カウント中、もう 1 つは周期マッチ後の下方カウント中)。周期マッチ (周期マッチでリロードに設定) 後には、それによって PWM パルスの 2 番目のエッジを早めたり遅らせたりすることが可能になるため、新しいコンペア値が有効になります。この機能の応用例は、AC モータ制御において、デッドバンドによって引き起こされた現在のエラーを PWM 波形変更で補正する場合です。

コンペア・レジスタはシャドウ化されるため、周期中のいつでも新しい値をそれらのコンペア・レジスタにライトできます。同じ理由により、周期中のいつでも新しい値をアクションおよび周期レジスタにライトして、PWM 周期を変更したり、PWM 出力定義の変更をすることができます。

2.2.7 ダブル更新 PWM モード

281x イベント・マネージャは、「ダブル更新 PWM モード」をサポートしています。このモードは、PWM パルスの立ち上がりエッジの位置と立ち下がりエッジの位置を各 PWM 周期で別々に変更できる PWM 動作モードを意味します。このモードをサポートするには、PWM パルスのエッジの位置を決定するコンペア・レジスタは、PWM 周期の開始時に 1 回、PWM 周期の間にもう 1 回、(バッファリングされた) コンペア値の更新を許可する必要があります。

イベント・マネージャのコンペア・レジスタは、すべてバッファリングされ、3 つのコンペア値のリロード/更新 (バッファ内の値がアクティブになる) モードをサポートします。これらのモードのコンペア値リロード条件として前に記述されています。ダブル更新 PWM モードをサポートするリロード条件は、アンダーフロー (PWM 周期の始まり) または周期 (PWM 周期の間) でリロードされます。ダブル更新 PWM モードは、コンペア値リロード用のこの条件を使用することによって実現できます。

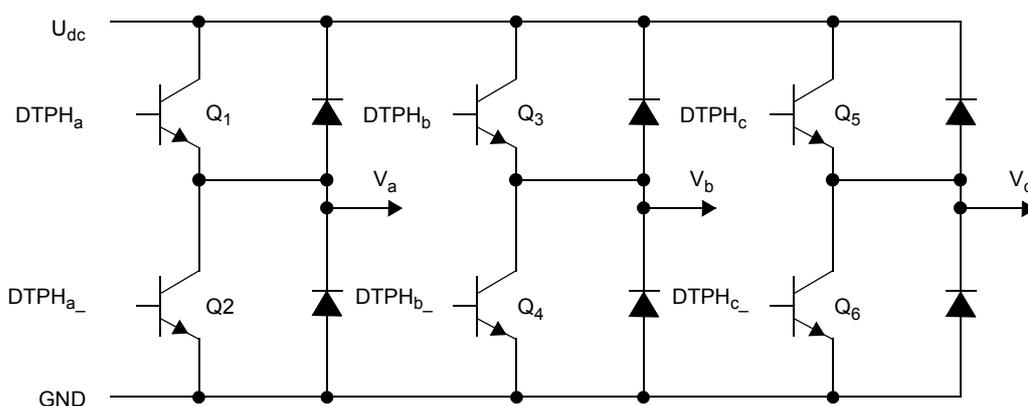
2.3 空間ベクトル PWM

空間ベクトル PWM は、3 相パワー・コンバータの 6 つのパワー・トランジスタの特別なスイッチングの仕組みを意味します。この PWM は、3 相 AC モータの巻き線に流れる電流に対して高調波歪みを最小限にします。また、正弦波変調方式と比較して、より効果的な供給電圧の使用を提供します。

2.3.1 3 相パワー・インバータ

一般的な 3 相パワー・インバータの構造を図 2-6 に示します。 V_a 、 V_b 、および V_c は、モータの各相に印加される電圧です。6 つのパワー・トランジスタは、 $DTPH_x$ と $DTPH_{x-}$ ($x=a, b, \text{および } c$) によって制御されます。上位のトランジスタをオンにすると ($DTPH_x=1$)、下位のトランジスタはオフになります ($DTPH_{x-}=0$)。したがって、上位トランジスタ (Q_1, Q_3, Q_5) のオン状態とオフ状態、すなわち $DTPH_x$ ($x=a, b, \text{および } c$) の状態を見れば、印加されたモータ電圧 U_{out} を評価するのに十分です。

図 2-6 3-相パワー・インバータ概略図



パワー・インバータ・スイッチング・パターンと基本空間ベクトル

アームの上位トランジスタがオンの場合、そのアームに対応するモータ巻き線に印加される電圧 V_x ($x=a, b, \text{または } c$) は、電圧供給 U_{dc} に等しくなります。アームの上位トランジスタがオフの場合は、印加される電圧はゼロです。上位トランジスタのオンおよびオフ・スイッチング ($DTPH_x$, $x=a, b, \text{または } c$) には、8 つの可能な組み合わせがあります。DC 供給電圧 U_{dc} に関して、8 つの組み合わせと生成されたモータのライン間および相電圧を 2-12 ページの表 2-2 に示します。a、b、および c は、それぞれ $DTPH_a$ 、 $DTPH_b$ 、および $DTPH_c$ の値を表します。

表 2-2 3 相パワー・インバータのスイッチング・パターン

a	b	c	V_{a0} (U_{dc})	V_{b0} (U_{dc})	V_{c0} (U_{dc})	V_{ab} (U_{dc})	V_{bc} (U_{dc})	V_{ca} (U_{dc})
0	0	0	0	0	0	0	0	0
0	0	1	-1/3	-1/3	2/3	0	-1	1
0	1	0	-1/3	2/3	-1/3	-1	1	0
0	1	1	-2/3	1/3	1/3	-1	0	1
1	0	0	2/3	-1/3	-1/3	1	0	-1
1	0	1	1/3	-2/3	1/3	1	-1	0
1	1	0	1/3	1/3	-2/3	0	1	-1
1	1	1	0	0	0	0	0	0

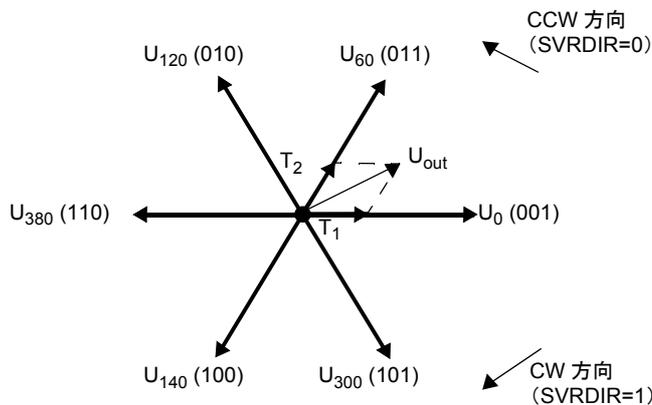
注: 0=オフ、1=オン

d-q 変換の実行によって、8 つの組み合わせに対応する相電圧を d-q 平面にマップすると（これは、ベクトル(1,1,1)に対して垂直な 2 次元平面 (d-q 平面) への 3 ベクトル (a b c) の正射影に相当します）、6 つの非ゼロ・ベクトルと 2 つのゼロ・ベクトルが生成されます。非ゼロ・ベクトルは、六角形の軸を形成します。隣接する 2 つのベクトル間の角度は 60 度です。2 つのゼロ・ベクトルは原点に位置します。これらの 8 つのベクトルは、基本空間ベクトルと呼ばれ、 U_0 、 U_{60} 、 U_{120} 、 U_{180} 、 U_{240} 、 U_{300} 、 O_{000} 、および O_{111} によって示されます。同じ変換は、モータに適用される必要な電圧ベクトル U_{out} にも適用できます。図 2-7 は、投射されたベクトルと投射された必須のモータ電圧ベクトル U_{out} を示しています。

ここでは、d-q 平面の d 軸と q 軸は、AC マシンのステータの水平および垂直軸に相当します。

空間ベクトル PWM 方式の目的は、6 つのパワー・トランジスタの上記 8 つのスイッチング・パターンを組み合わせることによってモータ電圧ベクトル U_{out} の近似を求めることです。

図 2-7 基本空間ベクトルとスイッチング・パターン



隣接する2つの基本ベクトルのバイナリ表現は、1ビットだけが異なります。つまり、 U_x から U_{x+60} 、または U_{x+60} から U_x にスイッチング・パターンが切り替わると、上位トランジスタの1つだけが切り替わります。また、ゼロ・ベクトルの O_{000} と O_{111} はモータに電圧を印加しません。

2.3.2 基本空間ベクトルを使用したモータ電圧の近似

投射されたモータ電圧ベクトル U_{out} は、任意の時点において、6つのセクタのいずれかに分類されます。したがって、どのPWM周期についても、隣接する2つの基本ベクトルにある2つのベクトル成分のベクトル合計によって近似を求めることができます。

$$U_{out} = T_1 U_x + T_2 U_{x+60} + T_0 (O_{000} \text{ または } O_{111})$$

ここで、 T_0 は $T_p - T_1 - T_2$ によって与えられ、 T_p はPWMキャリア周期です。等式の右側にある第3項は、ベクトル合計 U_{out} には影響しません。 U_{out} の生成は、このマニュアルの範囲を超えています。空間ベクトルPWMおよびモータ制御理論の詳細については、Andrzej M. Trzynadlowski による『*The Field Orientation Principle in Control of Induction Motors*』(The Kluwer International Series in Engineering and Computer Science, Vol. 258:Power) を参照してください。

上記の近似は、電圧 U_{out} をモータに印加するためには、上位トランジスタは U_x と U_{x+60} に対応するオンおよびオフ・パターンを、それぞれ T_1 と T_2 の時間にわたって保持している必要があることを意味します。ゼロ基本ベクトルを含めると、トランジスタのターン・オンおよびオフ周期（したがって、トランジスタの電力消費）のバランスをとるのに役立ちます。

2.3.3 イベント・マネージャを使用した空間ベクトルPWM波形生成

EVモジュールには、対称空間ベクトルPWM波形の生成を大幅に簡単化する内蔵のハードウェアがあります。ソフトウェアは、空間ベクトルPWM出力を生成するために使用されます。

2.3.4 ソフトウェア

空間ベクトルPWM出力を生成するには、ユーザー・ソフトウェアは以下の処理を行う必要があります。

- ACTRx を設定して、PWM出力ピンの極性を定義する
- COMCONx を設定してコンペア動作および空間ベクトルPWMモードをイネーブルにし、アンダーフローになる CMPrx のリロード条件を設定する
- GP タイマ1(またはGPタイマ3)を連続アップ/ダウン・カウント・モードにして、動作を開始する

また、ユーザー・ソフトウェアは、2次元d-q平面でモータの各相に印加される電圧 U_{out} を決定し、 U_{out} を分解して、PWM周期ごとに以下の処理を実行する必要があります。

- 2つの隣接ベクトル U_x と U_{x+60} を決定する
- パラメータ T_1 、 T_2 、および T_0 を決定する

- ACTRx[14-12]内の U_x およびACTRx[15]内の1に対応するスイッチング・パターン、またはACTRx[14-12]内の U_{x+60} およびACTRx[15]内の0のスイッチング・パターンをライトする
- $(1/2 T1)$ をCMPR1に、 $(1/2 T1 + 1/2 T2)$ をCMPR2に入れる

2.3.5 空間ベクトルPWMハードウェア

EVモジュールの空間ベクトルPWMハードウェアは、以下の処理を行って空間ベクトルPWM周期を完了します。

- 各周期の開始時に、PWM出力を、ACTRx[14-12]によって定義された（新しい）パターン U_y に設定する
- $(1/2 T1)$ でのCMPR1とGPタイマ1の間におけるアップ・カウント中の最初のコンペア・マッチ時には、ACTRx[15]が1の場合はPWM出力を U_{y+60} のパターンに切り替え、ACTRx[15]が0の場合は U_y のパターンに切り替える ($U_{0-60}=U_{300}$ 、 $U_{360+60}=U_{60}$)
- $(1/2 T1 + 1/2 T2)$ でのCMPR2とGPタイマ1の間におけるアップ・カウント中の2番目のコンペア・マッチ時には、PWM出力を、パターン(000)と(111)のいずれか2番目のパターンと1座標だけ異なる方に切り替える
- $(1/2 T1 + 1/2 T2)$ でのCMPR2とGPタイマ1の間におけるダウン・カウント中の最初のコンペア・マッチ時には、PWM出力を2番目の出力パターンに戻す
- $(1/2 T1)$ でのCMPR1とGPタイマ1の間におけるダウン・カウント中の2番目のコンペア・マッチ時には、PWM出力を最初のパターンに戻す

2.3.6 空間ベクトルPWM波形

生成された空間ベクトルPWM波形は、各PWM周期の中間に対して対称です。そのため、これは対称空間ベクトルPWM生成方式と呼ばれます。2-15ページの図2-8は、対称空間ベクトルPWM波形の例を示しています。

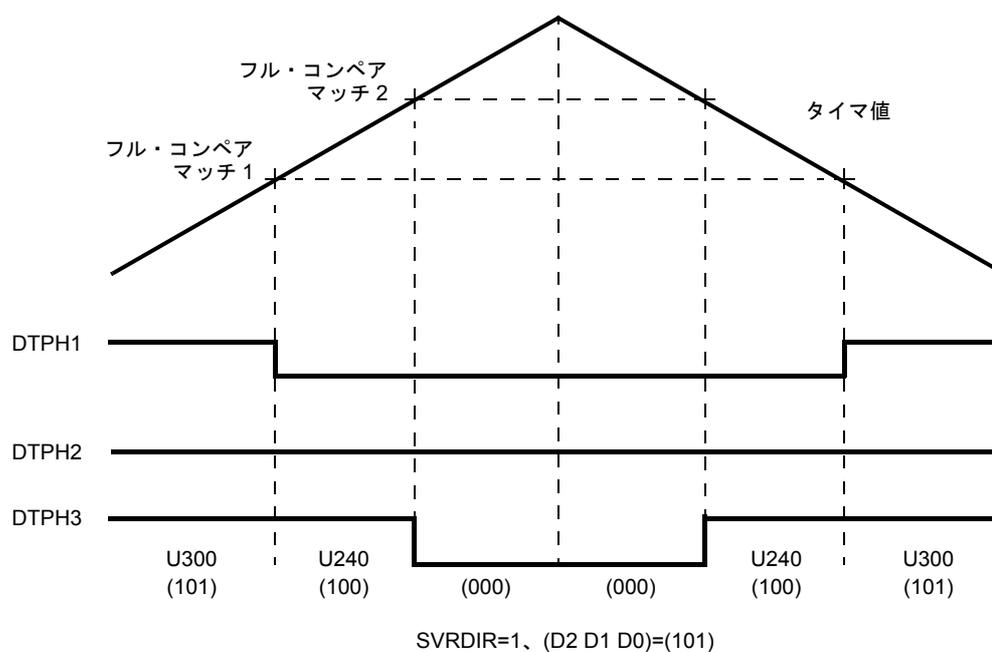
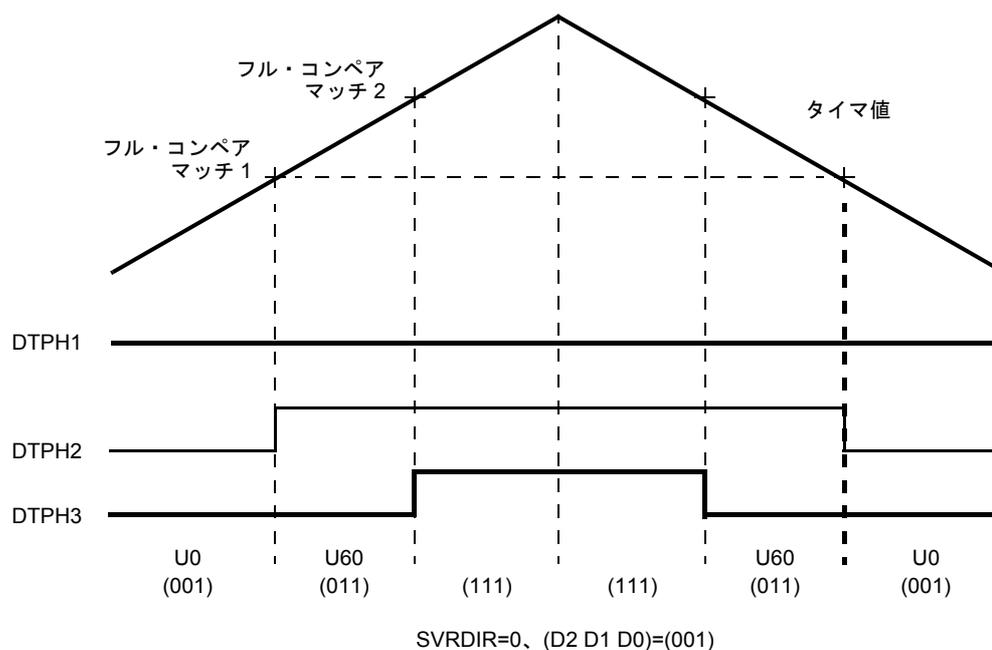
2.3.7 未使用のコンペア・レジスタ

空間ベクトルPWM出力生成では、2つのコンペア・レジスタだけが使用されます。ただし、3番目のコンペア・レジスタも引き続きGPタイマ1と常に比較されます。コンペア・マッチが発生すると、対応するコンペア割り込みフラグはセットされたままになり、そのフラグがマスク解除されている場合はペリフェラル割り込みリクエストが生成されます。したがって、空間ベクトルPWM出力生成で使用されないコンペア・レジスタは、特定のアプリケーションで発生するイベントのために引き続き使用できません。また、ステート・マシンによって余分な遅延が導入されているため、空間ベクトルPWMモードではコンペア出力トランジションが1クロック・サイクルだけ遅延します。

2.3.8 空間ベクトルPWM 境界条件

空間ベクトルPWMモードで両方のコンペア・レジスタ（CMPR1とCMPR2）にゼロ値がロードされると、3つのコンペア出力がすべてインアクティブになります。空間ベクトルPWMモードにおいて $(CMPR1) \leq (CMPR2) \leq (T1PR)$ であることを保証するのは、ユーザーの責任です。そうしないと、予測できない動作が発生することがあります。

図 2-8 対称空間ベクトルPWM 波形



以下余白

キャプチャ・ユニット

キャプチャ・ユニットは、キャプチャピンに入力される信号のエッジによるロギングを可能にします。キャプチャ・ユニットは6つ（各EVモジュールに3つ）あります。キャプチャ・ユニット1、2、および3はEVAにあり、キャプチャ・ユニット4、5、および6はEVBにあります。各キャプチャ・ユニットは、各キャプチャ入力ピンに対応しています。

項目	ページ
3.1 キャプチャ・ユニットの概要	3-2
3.2 キャプチャ・ユニットの動作	3-5
3.3 キャプチャ・ユニットのFIFOスタック	3-6
3.4 キャプチャ割り込み	3-7
3.5 直交エンコーダ・パルス (QEP) 回路	3-7

3.1 キャプチャ・ユニットの概要

各 EVA キャプチャ・ユニットは、GP タイマ 2 または 1 を基準時間として選択できます。ただし、CAP1 および CAP2 で別々のタイマを基準時間として選択することはできません。各 EVB キャプチャ・ユニットは、GP タイマ 4 または 3 を基準時間として選択できます。ただし、CAP4 および CAP5 で別々のタイマを基準時間として選択することはできません。

指定した入力信号のエッジがキャプチャ入力ピン (CAPx) で検出されると、GP タイマの値がキャプチャされて、対応する 2 段 FIFO スタックに格納されます。3-3 ページの図 3-1 は EVA キャプチャ・ユニットのブロック図を示し、3-4 ページの図 3-2 は EVB キャプチャ・ユニットのブロック図を示しています。

3.1.1 キャプチャ・ユニットの機能

キャプチャ・ユニットには、以下の機能があります。

- 1 つの 16 ビット・キャプチャ制御レジスタ (EVA の場合は CAPCONA、EVB の場合は CAPCONB)、(RW)
- 1 つの 16 ビット・キャプチャ FIFO ステータス・レジスタ (EVA の場合は CAPFIFOA、EVB の場合は CAPFIOB)
- 基準時間として GP タイマ 1 または 2 (EVA の場合) と、GP タイマ 3 または 4 (EVB の場合) の選択
- 3 つの 16 ビット 2 段 FIFO スタック (キャプチャ・ユニットごとに 1 つ)
- 6 つのシュミット・トリガ型キャプチャ入力ピン、CAP1 ~ CAP6 (キャプチャ・ユニットごとに 1 つの入力ピン) (すべての入力は、デバイス /CPU クロックと同期化されます。エッジをキャプチャするためには、デバイス・クロックの 2 クロック分の立ち上がりエッジに適合するように、キャプチャする入力信号のレベルを保持する必要があります。入力フィルタ・モジュール (Qualifier) 回路を使用した場合は、フィルタ回路によって必要とされるパルス幅要件も満たす必要があります。また、入力ピン CAP1 および CAP2 (EVB の場合は CAP4 および CAP5) は、QEP 回路への QEP 入力として使用することもできます。)
- ユーザー指定のエッジ検出 (立ち上がりエッジ、立ち下がりエッジ、または両方のエッジ)
- 6 つのマスカブル割り込みフラグ (キャプチャ・ユニットごとに 1 つ)

図 3-1 キャプチャ・ユニットのブロック図 (EVA)

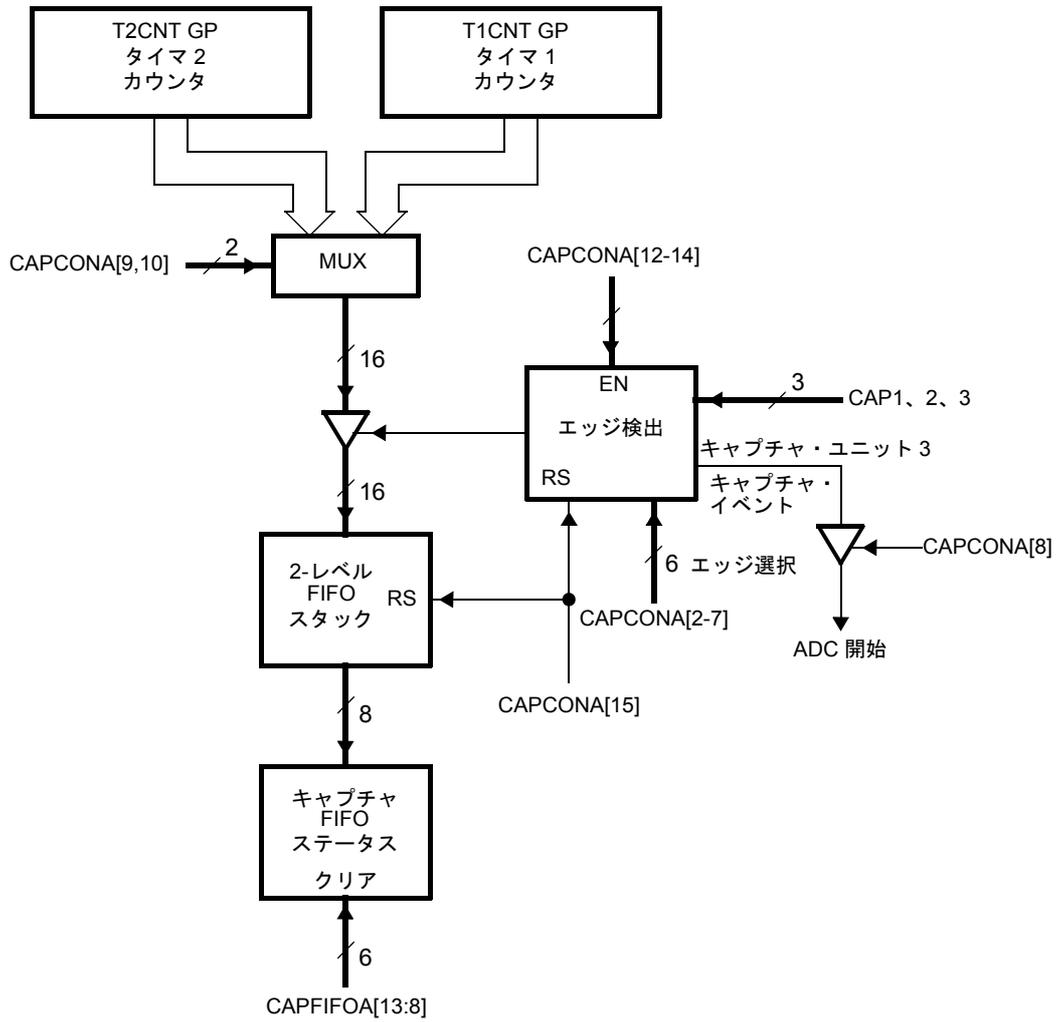
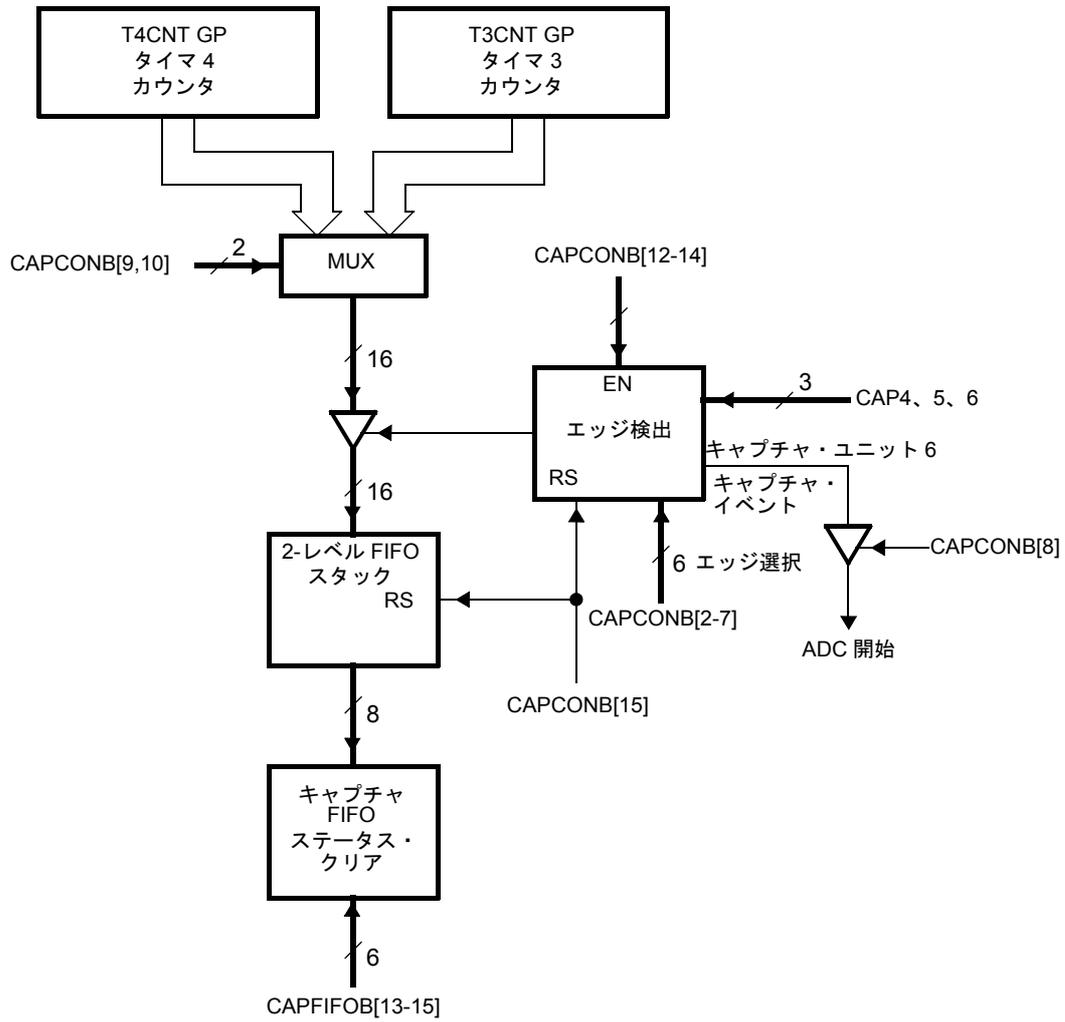


図3-2 キャプチャ・ユニットのブロック図 (EVB)



3.2 キャプチャ・ユニットの動作

キャプチャ・ユニットをイネーブルにすると、キャプチャ・ピンに入力された信号のエッジによって、選択した GP タイマのカウンタ値が、対応する FIFO スタックにロードされます。それと同時に、FIFO スタックに格納された有効なキャプチャ値がすでに 1 つ以上存在する（CAPxFIFO ビットがゼロではない）場合は、対応する割り込みフラグがセットされます。そのフラグがマスク解除されている場合、ペリフェラル割り込みが発生します。新しいカウンタ値が FIFO スタックにキャプチャされるたびに、FIFO スタックの新しいステータスを反映するように CAPFIFOx 内の対応するステータス・ビットが変更されます。エッジがキャプチャされた時点から、選択した GP タイマのカウンタ値がロックされる時点までの遅れは、2 クロック・サイクルです。これには入力フィルタ・モジュール (Qualifier) 回路による、追加の遅れは含まれません。

キャプチャ・ユニット・レジスタは、RESET 条件によってすべてゼロにクリアされます。

3.2.1 キャプチャ・ユニットの基準時間の選択

EVA の場合、キャプチャ・ユニット 3 には、キャプチャ・ユニット 1 および 2 とは別の基準時間選択ビットがあります。これにより、2 つの GP タイマを同時に使用できます（1 つはキャプチャ・ユニット 1 および 2 用、もう 1 つはキャプチャ・ユニット 3 用）。EVB の場合、キャプチャ・ユニット 6 には独立した基準時間選択ビットがあります。

キャプチャ動作は、GP タイマの動作や GP タイマに対応したコンペア /PWM 動作には影響しません。

3.2.2 キャプチャ・ユニットのセットアップ

キャプチャ・ユニットが正しく機能するためには、以下のレジスタ・セットアップを実行する必要があります。

- 1) CAPFIFOx を初期化して、適切なステータス・ビットをクリアします。
- 2) 選択した GP タイマをいずれかの動作モードで設定します。
- 3) 必要であれば、関連する GP タイマ・コンペア・レジスタまたは GP タイマ周期レジスタを設定します。
- 4) CAPCONA または CAPCONB を適切にセットアップします。

3.3 キャプチャ・ユニットのFIFO スタック

各キャプチャ・ユニットには、専用の2段FIFOスタックがあります。上位スタックは、CAP1FIFO、CAP2FIFO、およびCAP3FIFO（EVAの場合）、またはCAP4FIFO、CAP5FIFO、およびCAP6FIFO（EVBの場合）で構成されます。下位スタックは、CAP1FBOT、CAP2FBOT、およびCAP3FBOT（EVAの場合）、またはCAP4FBOT、CAP5FBOT、およびCAP6FBOT（EVBの場合）で構成されます。FIFOスタックの上位レベル・レジスタは、対応するキャプチャ・ユニットによってキャプチャされた最も古いカウンタ値が常にあるリード専用レジスタです。したがって、キャプチャ・ユニットのこのFIFOスタックへのリード・アクセスは、そのスタックに格納されている最も古いカウンタ値を常に返します。FIFOスタックの上位レジスタにある最も古いカウンタ値をリードすると、より新しいカウンタ値がFIFOスタックの下位レジスタにあれば、その値が上位レジスタにプッシュされます。

必要であれば、FIFOスタックの下位レジスタをリードできます。リードする前のFIFOステータス・ビットが10または11だった場合は、FIFOスタックの下位レジスタをリードするとFIFOステータス・ビットが01（1つのエントリがある）に変わります。リードする前のFIFOステータス・ビットが01だった場合は、下位FIFOレジスタをリードすると、FIFOステータス・ビットが00（空）に変わります。

3.3.1 最初のキャプチャ

FIFOスタックが空の場合、選択したGPタイマのカウンタ値（指定したエッジが入力ピンで発生するとキャプチャ・ユニットによってキャプチャされる）は、FIFOスタックの上位レジスタにライトされます。それと同時に、対応するステータス・ビットは01にセットされます。次のキャプチャが行われる前にFIFOスタックへのリード・アクセスが行われた場合は、ステータス・ビットが00にリセットされます。

3.3.2 2番目のキャプチャ

以前にキャプチャされたカウンタ値がリードされる前に次のキャプチャが発生した場合は、新しくキャプチャされたカウンタ値は下位レジスタに入ります。それと同時に、対応するステータス・ビットは10にセットされます。次のキャプチャが発生する前にFIFOスタックをリードすると、上位レジスタ内のより古いカウンタ値がリードされ、下位レジスタ内のより新しいカウンタ値が上位レジスタにプッシュされて、対応するステータス・ビットが01にセットされます。

該当するキャプチャ割り込みフラグは、2番目のキャプチャによってセットされます。その割り込みがマスクされていない場合は、ペリフェラル割り込みリクエストが生成されます。

3.3.3 3番目のキャプチャ

すでにキャプチャされた2つのカウンタ値がFIFOスタックに存在するときにキャプチャが発生した場合は、スタックの上位レジスタ内の最も古いカウンタ値は外にプッシュされて失われ、スタックの下位レジスタ内のカウンタ値は上位レジスタにプッシュされ、新しくキャプチャされたカウンタ値は下位レジスタにライトされ、より古い1つ以上のキャプチャ済みカウンタ値が失われていることを示すためにステータス・ビットが11にセットされます。

該当するキャプチャ割り込みフラグも、3番目のキャプチャによってセットされます。その割り込みがマスクされていない場合は、ペリフェラル割り込みリクエストが生成されます。

3.4 キャプチャ割り込み

キャプチャがキャプチャ・ユニットによって行われた時、少なくとも1つの有効値がFIFOにすでに存在していると（これは、ゼロではないCAPxFIFOビットで示されず）、対応する割り込みフラグがセットされ、マスク解除されている場合はペリフェラル割り込み要求が生成されます。したがって、割り込みを使用する場合は、割り込みサービス・ルーチンによって、キャプチャされた2つのカウンタ値をリードできます。割り込みを使わない場合は、割り込みフラグまたはステータス・ビットをポーリングして2つのキャプチャが発生したかどうかを判断し、キャプチャされたカウンタ値をリードすることができます。

3.5 直交エンコーダ・パルス (QEP) 回路

各イベント・マネージャ・モジュールには、直交エンコーダ・パルス (QEP) 回路があります。QEP 回路をイネーブルにした場合、CAP1/QEP1 および CAP2/QEP2 ピン (EVA の場合)、または CAP4/QEP3 および CAP5/QEP4 ピン (EVB の場合) で直交エンコード入力パルスのデコードとカウントを行います。QEP 回路を使用すると、光学エンコーダとのインターフェイスをとり、位置および速度情報をエンコーダから取得できます。QEP 回路をイネーブルにすると、CAP1/CAP2 および CAP4/CAP5 ピンのキャプチャ機能はディスエーブルになります。

3.5.1 QEP ピン

キャプチャ・ユニット 1、2、および 3 (EVB の場合は 4、5、および 6) と QEP 回路は、QEP の 3 つの入力ピンで共有されます。

3.5.2 QEP 回路の基準時間

QEP 回路の基準時間は、GP タイマ 2 (EVB の場合は GP タイマ 4) によって提供されます。GP タイマは、QEP 回路をクロック・ソースとした方向アップ / ダウン・カウント・モードにする必要があります。図 3-3 は EVA に対する QEP 回路のブロック図、3-8 ページの図 3-4 は EVB に対する QEP 回路のブロック図を示しています。

図 3-3 EVA に対する直交エンコーダ・パルス (QEP) 回路のブロック図

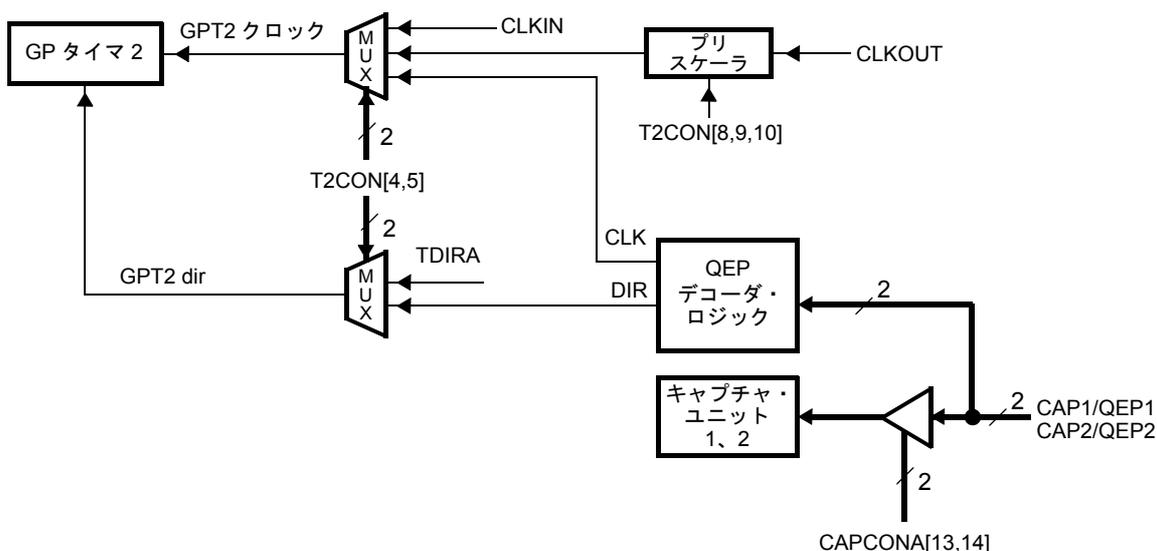
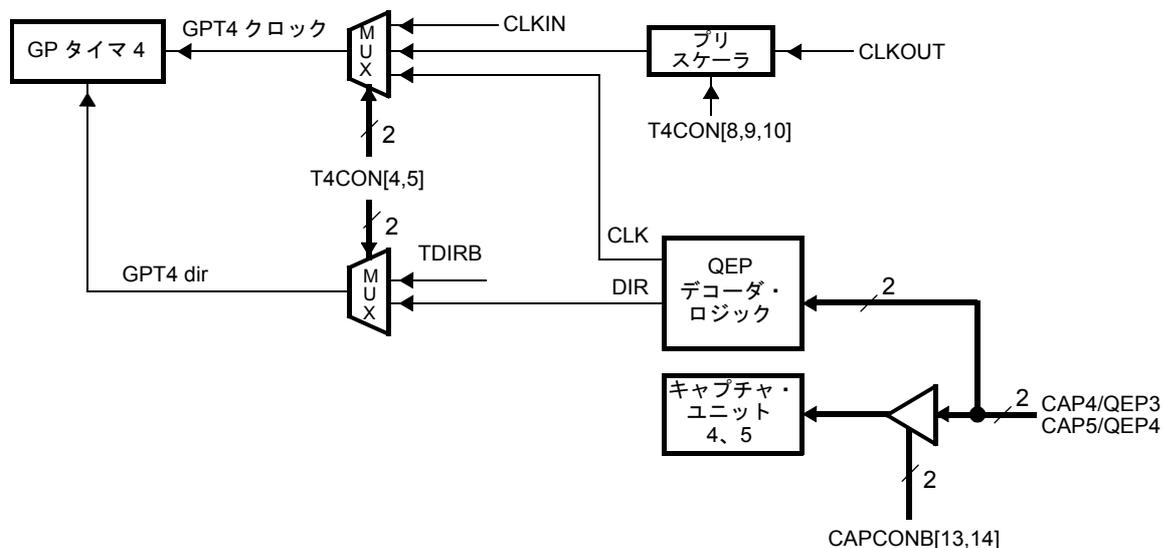


図3-4 EVB に対する直交エンコーダ・パルス (QEP) 回路のブロック図



3.5.3 デコーディング

直交エンコード・パルスは、モータの回転速度により周波数がかかる 4 分の 1 周期 (90 度) ずれた 2 つのパルス信号です。モータ・シャフト上の光学エンコーダによって生成された場合、モータの回転方向は、2 つのパルス信号のどちらが先行なのかを検出することによって判断できます。角度位置および速度は、パルスのカウントとパルス周波数によって判断できます。

QEP 回路

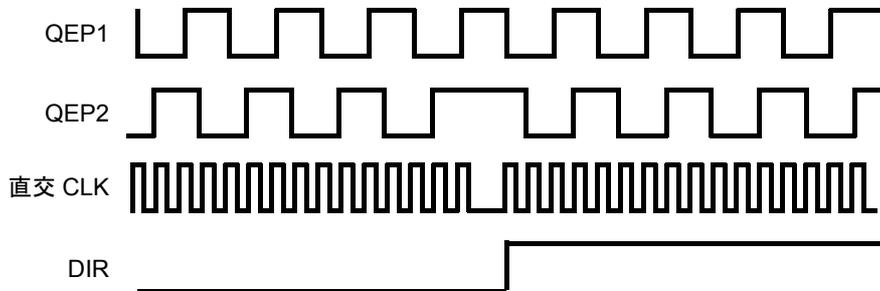
EV モジュール内の QEP 回路にある方向検出ロジックは、どちらのパルス信号が先行なのかを判断します。その後で、方向検出ロジックは、GP タイマ 2 (または 4) への方向信号を生成します。タイマは、CAP1/QEP1 (EVB の場合は CAP4/QEP3) 入力が先行パルスの場合はカウント・アップし、CAP2/QEP2 (EVB の場合は CAP5/QEP4) が先行パルスの場合はカウント・ダウンします。

2 つの直交エンコード入力のパルスの両エッジは、QEP 回路によってカウントされます。したがって、GP タイマ 2 (または 4) に対して QEP ロジックによって生成されたクロックの周波数は、各入力パルスの周波数の 4 倍になります。この直交クロックは、GP タイマ 2 (または 4) のクロック入力に接続されます。

直交エンコード・パルスのデコーディング例

図 3-5 は、直交エンコード・パルスと派生クロックおよびカウント方向の例を示しています。

図 3-5 直交エンコード・パルスとデコード・タイマ・クロックおよび方向



3.5.4 QEP カウント

GP タイマ 2 (または 4) は、常に現在の値からカウントを開始します。QEP モードをイネーブルにする前に必要な値を GP タイマのカウンタにロードできます。QEP 回路がクロック・ソースとして選択されると、タイマは TDIRA/B および TCLKINA/B 入力ピンを無視します。

QEP 動作における GP タイマ割り込みとそれに関連したコンペア出力

QEP 回路クロックを使用した GP タイマの周期、アンダーフロー、オーバーフロー、およびコンペア割り込みフラグは、それぞれのマッチ時に生成されます。割り込みがマスク解除されている場合は、割り込みフラグによってペリフェラル割り込みリクエストを生成できます。

3.5.5 QEP 回路のレジスタ・セットアップ

EVA で QEP 回路の動作を開始する場合 :

- 1) 必要であれば、望ましい値を GP タイマ 2 のカウンタ、周期、およびコンペア・レジスタにロードします。
- 2) T2CON を設定して、QEP 回路をクロック・ソースとした方向アップ/ダウン・モードで GP タイマ 2 をセットし、タイマをイネーブルにします。

EVB で QEP 回路の動作を開始する場合 :

- 1) 必要であれば、望ましい値を GP タイマ 4 のカウンタ、周期、およびコンペア・レジスタにロードします。
- 2) T4CON を設定して、QEP 回路をクロック・ソースとした方向アップ/ダウン・モードで GP タイマ 4 をセットし、タイマをイネーブルにします。

以下余白

EV 割り込み

この章では、割り込みの構成と発生について説明します。

項目	ページ
4.1 イベント・マネージャ (EV) 割り込みの概要	4-2
4.2 EV 割り込み発生およびサービス.....	4-3

4.1 イベント・マネージャ (EV) 割り込みの概要

EV 割り込みイベントは、A、B、C という 3 つのグループに分けて構成されます。各グループは、異なる割り込みフラグと割り込みイネーブル・レジスタに分かれています。各 EV 割り込みグループには、複数のイベント・マネージャ・ペリフェラル割り込み要求があります。4-3 ページの表 4-2 は、すべての EVA 割り込み、それらの割り込みの優先順位、およびグルーピングを示しています。4-4 ページの表 4-3 は、すべての EVB 割り込み、それらの割り込みの優先順位、およびグルーピングを示しています。表 4-1 に示すように、EV 割り込みグループごとに、割り込みフラグ・レジスタと、それに対応する割り込みマスク・レジスタがあります。EVAIMRx 内の対応するビットがゼロの場合、EVAIFRx (x=A、B、または C) 内のフラグはマスクされます (ペリフェラル割り込みリクエストを生成しません)。

表 4-1 割り込みフラグ・レジスタと対応する割り込みマスク・レジスタ

フラグ・レジスタ	マスク・レジスタ	EV モジュール
EVAIFRA	EVAIMRA	EVA
EVAIFRB	EVAIMRB	
EVAIFRC	EVAIMRC	
EVBIFRA	EVBIMRA	EVB
EVBIFRB	EVBIMRB	
EVBIFRC	EVBIMRC	

4.2 EV 割り込み発生およびサービス

ペリフェラル割り込みリクエストが確認されると、PIE コントローラによって、割り込みがあったペリフェラル割り込みベクトルが、ペリフェラル割り込みベクタ・レジスタ (PIVR) にロードされます。PIVR にロードされるベクタは、優先順位が最も高い保留中のイベントに対するベクトルです。ベクタ・レジスタは、割り込みサービス・ルーチン (ISR) によってリードできます。

表 4-2 イベント・マネージャ A (EVA) 割り込み

グループ	割り込み	グループ内の優先順位	ベクトル (ID) †	説明 / ソース	INT
A	PDPINTA	1 (最上位)	0020h	パワー・ドライブ保護割り込み A	1
A	CMP1INT	2	0021h	コンペア・ユニット 1 コンペア割り込み	
	CMP2INT	3	0022h	コンペア・ユニット 2 コンペア割り込み	
	CMP3INT	4	0023h	コンペア・ユニット 3 コンペア割り込み	
	T1PINT	5	0027h	GP タイマ 1 周期割り込み	2
	T1CINT	6	0028h	GP タイマ 1 コンペア割り込み	
	T1UFINT	7	0029h	GP タイマ 1 アンダーフロー割り込み	
	T1OFINT	8	002Ah	GP タイマ 1 オーバーフロー割り込み	
B	T2PINT	1	002Bh	GP タイマ 2 周期割り込み	
	T2CINT	2	002Ch	GP タイマ 2 コンペア割り込み	3
	T2UFINT	3	002Dh	GP タイマ 2 アンダーフロー割り込み	
	T2OFINT	4	002Eh	GP タイマ 2 オーバーフロー割り込み	
C	CAP1INT	1	0033h	キャプチャ・ユニット 1 割り込み	
	CAP2INT	2	0034h	キャプチャ・ユニット 2 割り込み	3
	CAP3INT	3 (最下位)	0035h	キャプチャ・ユニット 3 割り込み	

† ベクトル ID は、DSP/BIOS によって使用されます。

表 4-3 イベント・マネージャ B (EVB) 割り込み

グループ	割り込み	グループ内の優先順位	ベクトル (ID) †	説明 / ソース	INT
A	PDPINTB	1 (最上位)	0019h	パワー・ドライブ保護割り込み B	1
A	CMP4INT	2	0024h	コンペア・ユニット 4 コンペア割り込み	
	CMP5INT	3	0025h	コンペア・ユニット 5 コンペア割り込み	
	CMP6INT	4	0026h	コンペア・ユニット 6 コンペア割り込み	
	T3PINT	5	002Fh	GP タイマ 3 周期割り込み	4
	T3CINT	6	0030h	GP タイマ 3 コンペア割り込み	
	T3UFINT	7	0031h	GP タイマ 3 アンダーフロー割り込み	
	T3OFINT	8	0032h	GP タイマ 3 オーバーフロー割り込み	
B	T4PINT	1	0039h	GP タイマ 4 周期割り込み	
	T4CINT	2	003Ah	GP タイマ 4 コンペア割り込み	5
	T4UFINT	3	003Bh	GP タイマ 4 アンダーフロー割り込み	
	T4OFINT	4	003Ch	GP タイマ 4 オーバーフロー割り込み	
C	CAP4INT	1	0036h	キャプチャ・ユニット 4 割り込み	
	CAP5INT	2	0037h	キャプチャ・ユニット 5 割り込み	5
	CAP6INT	3 (最下位)	0038h	キャプチャ・ユニット 6 割り込み	

†ベクトル ID は、DSP/BIOS によって使用されます。

表 4-4 割り込み生成の条件

割り込み	生成の条件
アンダーフロー	カウンタが 0000h に達した場合
オーバーフロー	カウンタが FFFFh に達した場合
コンペア	カウンタ・レジスタの内容がコンペア・レジスタの内容と一致した場合
周期	カウンタ・レジスタの内容が周期レジスタの内容と一致した場合

4.2.1 割り込み生成

割り込みイベントが EV モジュールで発生すると、対応する EV 割り込みフラグ・レジスタ内の対応する割り込みフラグが 1 にセットされます。そのフラグがローカルでマスク解除されている (EVAIMRx 内の対応するビットが 1 に設定されている) 場合は、ペリフェラル割り込みリクエストがペリフェラル割り込み拡張 (PIE) コントローラに対して生成されます。

4.2.2 割り込みベクトル

割り込みリクエストが確認されると、セットされている割り込みフラグの中で最も高い優先順位を持つフラグに対応するペリフェラル割り込みベクトルが PIVR にロードされます (これは、イベント・マネージャ・ペリフェラルの外部にあるペリフェラル割り込みコントローラですべて実行されます)。

注：割り込みフラグ・ビットのクリアの失敗

ペリフェラル・レジスタの割り込みフラグ・ビットは、ソフトウェアによって 1 を ISR のビットにライトし、クリアされる必要があります。このビットをクリアしなければ、後続の割り込みリクエストが妨げられます。

EV レジスタ

この章には、ファンクションで分類されたイベント・マネージャ (EV) のレジスタがすべて含まれています。

項目	ページ
5.1 レジスタの概要	5-2
5.2 タイマ・レジスタ	5-2
5.3 コンペア制御レジスタ	5-9
5.4 コンペア・アクション制御レジスタ	5-13
5.5 キャプチャ・ユニット・レジスタ	5-16
5.6 EV 割り込みフラグ・レジスタ	5-23
5.7 EV 制御レジスタ	5-33
5.8 レジスタ・ビット定義の相違点	5-35

5.1 レジスタの概要

EV-A レジスタは 1-11 ページの表 1-2 に、EV-B レジスタは 1-12 ページの表 1-3 にすべて記載されています。

5.2 タイマ・レジスタ

タイマ・レジスタには、以下のものが含まれます。

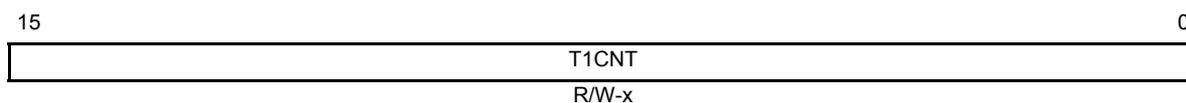
- タイマ 1 カウンタ・レジスタ (T1CNT) - アドレス 7401h
- タイマ 1 コンペア・レジスタ (T1CMPR) - アドレス 7402h
- タイマ 1 周期レジスタ (T1PR) - アドレス 7403h
- タイマ 2 カウンタ・レジスタ (T2CNT) - アドレス 7405h
- タイマ 2 コンペア・レジスタ (T2CMPR) - アドレス 7406h
- タイマ 2 周期レジスタ (T2PR) - アドレス 7407h
- タイマ 3 カウンタ・レジスタ (T3CNT) - アドレス 7501h
- タイマ 3 コンペア・レジスタ (T3CMPR) - アドレス 7502h
- タイマ 3 周期レジスタ (T3PR) - アドレス 7503h
- タイマ 4 カウンタ・レジスタ (T4CNT) - アドレス 7505h
- タイマ 4 コンペア・レジスタ (T4CMPR) - アドレス 7506h
- タイマ 4 周期レジスタ (T4PR) - アドレス 7507h
- タイマ 1 制御レジスタ (T1CON) - アドレス 7404h
- タイマ 2 制御レジスタ (T2CON) - アドレス 7408h
- タイマ 3 制御レジスタ (T3CON) - アドレス 7504h
- タイマ 4 制御レジスタ (T4CON) - アドレス 7508h

注：

これらのレジスタはすべて独立しているため、個別に設定可能です。

これらの各レジスタの一般的な形式を図 5-1 ~ 図 5-6 に示します。

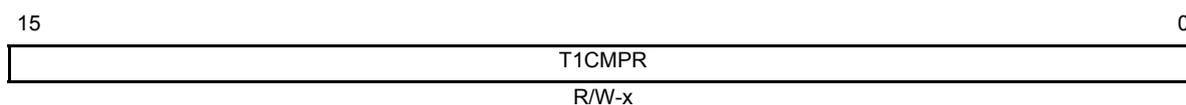
図 5-1 タイマ x カウンタ・レジスタ (TxCNT, x=1, 2, 3, または 4)



凡例： R = リード・アクセス、W = ライト・アクセス、-0 = リセット後の値

ビット	名前	説明
15:0	T1CNT	タイマ 1 カウンタの値を保持します。

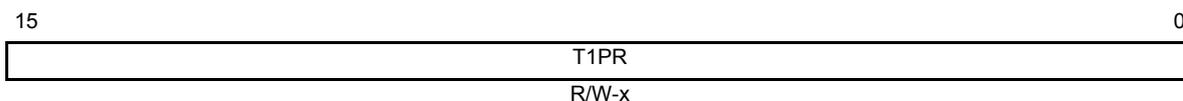
図 5-2 タイマ x コンペア・レジスタ (TxCMPR, x=1, 2, 3, または 4)



凡例： R = リード・アクセス、W = ライト・アクセス、-0 = リセット後の値

ビット	名前	説明
15:0	T1CMPR	タイマ 1 カウンタのコンペア値を保持します。

図 5-3 タイマx 周期レジスタ (TxPR, x=1, 2, 3, または 4)



凡例： R = リード・アクセス、W = ライト・アクセス、-0 = リセット後の値

ビット 名前	説明
15:0 T1PR	タイマ 1 カウンタの周期値を保持します。

各 GP タイマ制御レジスタ (TxCON) のビット内容を図 5-4 に示します。GP タイマ全体の制御レジスタ GPTCONA および GPTCONB のビット内容は、それぞれ図 5-4 と 5-5 ページの図 5-5 に示します。

注：
各タイマ制御レジスタ (TxCON) は、個別に設定可能です。

図 5-4 タイマx 制御レジスタ (TxCON, x=1, 2, 3, または 4)

15	14	13	12	11	10	9	8
Free	Soft	予約	TMODE1	TMODE0	TPS2	TPS1	TPS0
RW-0	RW-0	RW-0	RW-0	RW-0	RW-0	RW-0	RW-0
7	6	5	4	3	2	1	0
T2SWT1/ T4SWT3 †	TENABLE	TCLKS1	TCLKS0	TCLD1	TCLD0	TECMPR	SELT1PR/ SELT3PR †
RW-0	RW-0	RW-0	RW-0	RW-0	RW-0	RW-0	RW-0

凡例： R = リード・アクセス、W = ライト・アクセス、-0 = リセット後の値
† T1CON および T3CON では予約

ビット 名前	説明
15:14 FREE、SOFT	エミュレーション制御ビット 00 エミュレーションの一時停止後、すぐに停止する 01 エミュレーションの一時停止後、現在のタイマ周期が完了した後に停止する 10 タイマ動作はエミュレーションの一時停止の影響を受けない 11 タイマ動作はエミュレーションの一時停止の影響を受けない
13 予約	リードはゼロを返します。ライトは何の影響も及ぼしません。
12:11 TMODE1- TMODE0	カウント・モードの選択 00 停止 / ホールド 01 連続アップ / ダウン・カウント・モード 10 連続アップ・カウント・モード 11 方向アップ / ダウン・カウント・モード

図 5-4 タイマ x 制御レジスタ (TxCON、x=1、2、3、または4) (続き)

ビット	名前	説明
10-8	TPS2-TPS0	<p>入カクロック・プリスケアラ</p> <p>000 x/1</p> <p>001 x/2</p> <p>010 x/4</p> <p>011 x/8</p> <p>100 x/16</p> <p>101 x/32</p> <p>110 x/64</p> <p>111 x/128 (x=HSPCLK)</p>
7	T2SWT1 T4SWT3	<p>T2SWT1。EVA の場合、このビットは T2SWT1 です。(GP タイマ 2 は GP タイマ 1 と同時にスタートします。) GP タイマ 1 のタイマ・イネーブル・ビットを使用して GP タイマ 2 もスタートします。T1CON では、このビットは予約されています。</p> <p>T4SWT3。EVB の場合、このビットは T4SWT3 です。(GP タイマ 4 は GP タイマ 3 と同時にスタートします。) GP タイマ 3 のタイマ・イネーブル・ビットを使用して GP タイマ 4 もスタートします。T3CON では、このビットは予約されています。</p> <p>0 それぞれの TENABLE ビットを使用する</p> <p>1 T1CON (EVA の場合) または T3CON (EVB の場合) の TENABLE ビットを使用して動作をイネーブルおよびディスエーブルにし、T2CON または T4CON の TENABLE ビットを無視する</p>
6	TENABLE	<p>タイマ・イネーブル</p> <p>0 タイマ動作をディスエーブルにする (タイマは一時停止され、プリスケアラ・カウンタはリセットされる)</p> <p>1 タイマ動作をイネーブルにする</p>
5-4	TCLKS(1,0)	<p>クロック・ソース</p> <p>00 内部 (つまり、HSPCLK) のクロックを使用する</p> <p>01 外部 (つまり、TCLKINx) 入力を使用する</p> <p>10 予約</p> <p>11 QEP 回路</p>
3-2	TCLD(1,0)	<p>タイマ・コンペア・レジスタのリロード条件</p> <p>00 カウンタが 0 の場合</p> <p>01 カウンタ値が 0、または周期レジスタの値に等しい場合</p> <p>10 即時</p> <p>11 予約</p>
1	TECMPR	<p>タイマ・コンペア・イネーブル</p> <p>0 タイマ・コンペア動作をディスエーブルにする</p> <p>1 タイマ・コンペア動作をイネーブルにする</p>
0	SELT1PR, SELT3PR	<p>SELT1PR。EVA の場合、このビットは SELT1PR (周期レジスタ選択) です。T2CON で 1 に設定した場合、タイマ 1 の周期レジスタがタイマ 2 に対しても適用され、タイマ 2 の周期レジスタは無視されます。T1CON では、このビットは予約ビットです。</p> <p>SELT3PR。EVB の場合、このビットは SELT3PR (周期レジスタ選択) です。T4CON で 1 に設定した場合、タイマ 3 の周期レジスタがタイマ 4 に対しても適用され、タイマ 4 の周期レジスタは無視されます。T3CON では、このビットは予約ビットです。</p> <p>0 それぞれの周期レジスタを使用する</p> <p>1 T1PR (EVA の場合) または T3PR (EVB の場合) を周期レジスタとして使用し、T2PR または T4PR の周期レジスタを無視する</p>

図 5-5 GP タイマ制御レジスタ A (GPTCONA) - アドレス 7400h

15	14	13	12	11	10	9	8
予約	T2STAT	T1STAT	T2CTRIPE	T1CTRIPE	T2TOADC		T1TOADC
R-0	R-1	R-1	R/W-1	R/W-1	R/W-0		R/W-0
7	6	5	4	3	2	1	0
T1TOADC	TCMPOE	T2CMPOE	T1CMPOE	T2PIN		T1PIN	
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0		R/W-0	

注： R = リード・アクセス、W = ライト・アクセス、-n = リセット後の値

ビット	名前	説明
15	予約	リードはゼロを返します。ライトは何の影響も及ぼしません。
14	T2STAT	GP タイマ 2 のステータス。リード専用 0 ダウン・カウント 1 アップ・カウント
13	T1STAT	GP タイマ 1 のステータス。リード専用 0 ダウン・カウント 1 アップ・カウント
12	T2CTRIPE	T2CTRIPE イネーブル。このビットは、アクティブな場合、タイマ 2 コンペア・トリップ (T2CTRIPE) をイネーブルまたはディスエーブルにします。このビットは、EXTCON(0)=1 の場合にのみアクティブです。EXTCON(0)=0 の場合、このビットは予約されます。 0 T2CTRIPE はディスエーブルになります。T2CTRIPE はタイマ 2 コンペア出力、GPTCON(5)、または PDPINT フラグ (EVIFRA(0)) には影響しません。 1 T2CTRIPE はイネーブルになります。T2CTRIPE が Low の場合、タイマ 2 コンペア出力はハイ・インピーダンス (Hi-Z) 状態になり、GPTCON(5) はゼロにリセットされ、PDPINT フラグ [EVIFRA(0)] は 1 にセットされます。
11	T1CTRIPE	T1CTRIPE イネーブル。このビットは、アクティブな場合、タイマ 1 コンペア・トリップ (T1CTRIPE) 入力をイネーブルまたはディスエーブルにします。このビットは、EXTCON(0)=1 の場合にのみアクティブです。EXTCON(0)=0 の場合、このビットは予約されます。 0 T1CTRIPE はディスエーブルになります。T1CTRIPE はタイマ 1 コンペア出力、GPTCON(4)、または PDPINT フラグ (EVIFRA(0)) には影響しません。 1 T1CTRIPE はイネーブルになります。T1CTRIPE が Low の場合、タイマ 1 コンペア出力は Hi-Z 状態になり、GPTCON(4) はゼロにリセットされ、PDPINT フラグ (EVIFRA(0)) は 1 にセットされます。
10-9	T2TOADC	タイマ 2 イベントを使用して ADC を開始する 00 どのイベントも ADC を開始しない 01 アンダーフロー割り込みフラグがセットされると ADC を開始する 10 周期割り込みフラグがセットされると ADC を開始する 11 コンペア割り込みフラグがセットされると ADC を開始する

- 注：
- EXTCON[0] を最初に 1 にセットすると、GPTCON[12] と GPTCON[11] の両方がデフォルトで 1 にセットされます。
 - MUX は、GPTCON[6] と (EVIMRA(0) | PDPINT) に取って代わり、T1PWM_T1CMP および T2PWM_T2CMP 出力のイネーブルとディスエーブルを別々にドライブします。どちらの MUX も EXTCON(0) によって制御されます。
- EXTCON(0)=0 の場合は、両方の MUX が GPTCON(6) と (EVIMRA(0) | PDPINT) を選択します。
- EXTCON(1)=1 の場合、T1PWM_T1CMP の MUX は GPTCON(4) を選択し、T2PWM_T2CMP の MUX は GPTCON(5) を選択します。
 - (EVIMRA(0) | PDPINT) は、240x™ 設計に存在するコンペア出力バッファへの PDPINT ピンの非同期パスを表します。

図 5-5 GP タイマ制御レジスタ A (GPTCONA) - アドレス 7400h (続き)

ビット	名前	説明
8-7	T1TOADC	タイマ 1 イベントを使用して ADC を開始する 00 どのイベントも ADC は開始しない 01 アンダーフロー割り込みフラグがセットされると ADC を開始する 10 周期割り込みフラグがセットされると ADC を開始する 11 コンペア割り込みフラグがセットされると ADC を開始する
6	TCMPOE	タイマ・コンペア出力イネーブル。このビットは、アクティブな場合、タイマ・コンペア出力をイネーブルまたはディスエーブルにします。このビットは、EXTCON(0)=0 の場合にのみアクティブです。EXTCON(0)=1 の場合、このビットは予約されます。このビットは、アクティブな場合、PDPINT/T1CTRIP がどちらも Low で、EVIMRA(0)=1 であるときにゼロにリセットされます。 0 タイマ・コンペア出力 T1/2PWM_T1/2CMP は、ハイ・インピーダンス状態にあります。 1 タイマ・コンペア出力 T1/2PWM_T1/2CMP は、個々のタイマ比較ロジックによってドライブされます。
5	T2CMPOE	タイマ 2 コンペア出力イネーブル。このビットは、アクティブな場合、EV タイマ 2 コンペア出力 (T2PWM_T1CMP) をイネーブルまたはディスエーブルにします。このビットは、EXTCON(0)=1 の場合にのみアクティブです。EXTCON(0)=0 の場合、このビットは予約されます。このビットは、アクティブな場合、T2CTRIP が Low でイネーブルになっているときにゼロにリセットされます。 0 タイマ 2 コンペア出力 (T2PWM_T2CMP) は、ハイ・インピーダンス状態にあります。 1 タイマ 2 コンペア出力 T2PWM_T2CMP は、タイマ 2 比較ロジックによってドライブされます。
4	T1CMPOE	タイマ 1 コンペア出力イネーブル。このビットは、アクティブな場合、EV タイマ 1 コンペア出力 T1PWM_T1CMP をイネーブルまたはディスエーブルにします。このビットは、EXTCON(0)=1 の場合にのみアクティブです。EXTCON(0)=0 の場合、このビットは予約されます。このビットは、アクティブな場合、T1CTRIP が Low でイネーブルになっているときにゼロにリセットされます。 0 タイマ 1 コンペア出力 (T1PWM_T1CMP) は、Hi-Z 状態にあります。 1 タイマ 1 コンペア出力 (T1PWM_T1CMP) は、タイマ 1 比較ロジックによってドライブされます。
3-2	T2PIN	GP タイマ 2 コンペア出力の極性 00 強制ロー 01 ロー・アクティブ 10 ハイ・アクティブ 11 強制ハイ
1-0	T1PIN	GP タイマ 1 コンペア出力の極性 00 強制ロー 01 ロー・アクティブ 10 ハイ・アクティブ 11 強制ハイ

- 注:
- EXTCON[0] を最初に 1 に設定すると、GPTCON[12] と GPTCON[11] の両方がデフォルトで 1 にセットされます。
 - MUX は、GPTCON[6] と (EVIMRA(0) | PDPINT) に取って代わり、T1PWM_T1CMP および T2PWM_T2CMP 出力のイネーブルとディスエーブルを別々にドライブします。どちらの MUX も EXTCON(0) によって制御されます。
 - EXTCON(0)=0 の場合は、両方の MUX が GPTCON(6) と (!EVIMRA(0) | PDPINT) を選択します。
 - EXTCON(1)=1 の場合、T1PWM_T1CMP の MUX は GPTCON(4) を選択し、T2PWM_T2CMP の MUX は GPTCON(5) を選択します。
 - (!EVIMRA(0) | PDPINT) は、240x™ 設計に存在するコンペア出力バッファへの PDPINT ピンの非同期パスを表します。

図 5-6 GP タイマ制御レジスタ B (GPTCONB) - アドレス 7500h

15	14	13	12	11	10	9	8
予約	T4STAT	T3STAT	T4CTRIPE	T3CTRIPE	T4TOADC		T3TOADC
R/W-0	R-1	R-1	R/W-1	R/W-1	R/W-0		R/W-0
7	6	5	4	3	2	1	0
T3TOADC	TCMPOE	T4CMPOE	T3CMPOE	T4PIN		T3PIN	
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0		R/W-0	

注： R = リード・アクセス、W = ライト・アクセス、-n = リセット後の値

ビット	名前	説明
15	予約	リードはゼロを返します。ライトは何の影響も及ぼしません。
14	T4STAT	GP タイマ 4 のステータス。リード専用 0 ダウン・カウント 1 アップ・カウント
13	T3STAT	GP タイマ 3 のステータス。リード専用 0 ダウン・カウント 1 アップ・カウント
12	T4CTRIPE	T4CTRIPE イネーブル。このビットは、アクティブな場合、タイマ 4 コンペア・トリップ (T4CTRIPE) をイネーブルまたはディスエーブルにします。このビットは、EXTCON(0)=1 の場合にのみアクティブです。EXTCON(0)=0 の場合、このビットは予約されます。 0 T4CTRIPE はディスエーブルになります。T4CTRIPE はタイマ 4 コンペア出力、GPTCON(5)、または PDPINT フラグ (EVIFRA(0)) には影響しません。 1 T4CTRIPE はイネーブルになります。T4CTRIPE が Low の場合、タイマ 4 コンペア出力は Hi-Z 状態になり、GPTCON(5) はゼロにリセットされ、PDPINT フラグ [EVIFRA(0)] は 1 にセットされます。
11	T3CTRIPE	T3CTRIPE イネーブル。このビットは、アクティブな場合、タイマ 3 コンペア・トリップ (T3CTRIPE) 入力をイネーブルまたはディスエーブルにします。このビットは、EXTCON(0)=1 の場合にのみアクティブです。EXTCON(0)=0 の場合、このビットは予約されます。 0 T3CTRIPE はディスエーブルになります。T3CTRIPE はタイマ 3 コンペア出力、GPTCON(4)、または PDPINT フラグ (EVIFRA(0)) には影響しません。 1 T3CTRIPE はイネーブルになります。T3CTRIPE が Low の場合、タイマ 3 コンペア出力は Hi-Z 状態になり、GPTCON(4) はゼロにリセットされ、PDPINT フラグ (EVIFRA(0)) は 1 にセットされます。
10-9	T4TOADC	タイマ 4 イベントを使用して ADC を開始する 00 どのイベントも ADC は開始しない 01 アンダーフロー割り込みフラグがセットされると ADC を開始する 10 周期割り込みフラグがセットされると ADC を開始する 11 コンペア割り込みフラグがセットされると ADC を開始する
8-7	T3TOADC	タイマ 3 イベントを使用して ADC を開始する 00 どのイベントも ADC を開始しない 01 アンダーフロー割り込みフラグがセットされると ADC を開始する 10 周期割り込みフラグがセットされると ADC を開始する 11 コンペア割り込みフラグがセットされると ADC を開始する
6	TCMPOE	コンペア出カイネーブル。 <u>PDPINTx</u> がアクティブな場合、このビットはゼロに設定されます。 0 すべての GP タイマ・コンペア出力をディスエーブルにする (すべてのコンペア出力がハイ・インピーダンス状態になる) 1 すべての GP タイマ・コンペア出力をイネーブルにする

図 5-6 GP タイマ制御レジスタ B (GPTCONB) - アドレス 7500h (続き)

ビット	名前	説明
5	T4CMPOE	<p>タイマ 4 コンペア出力イネーブル。このビットは、アクティブな場合、EV タイマ 4 コンペア出力 (T4PWM_T4CMP) をイネーブルまたはディスエーブルにします。このビットは、EXTCON(0)=0 の場合にのみアクティブです。EXTCON(0)=1 の場合、このビットは予約されます。このビットがアクティブな場合、T4CTRIP が Low でイネーブルになっているときにゼロにリセットされます。</p> <p>0 タイマ 4 コンペア出力 (T4PWM_T4CMP) は、ハイ・インピーダンス状態にあります。</p> <p>1 タイマ 4 コンペア出力 T4PWM_T4CMP は、タイマ 4 比較ロジックによってドライブされます。</p>
4	T3CMPOE	<p>タイマ 3 コンペア出力イネーブル。このビットは、アクティブな場合、EV タイマ 3 コンペア出力 T3PWM_T3CMP をイネーブルまたはディスエーブルにします。このビットは、EXTCON(0)=1 の場合にのみアクティブです。EXTCON(0)=0 の場合、このビットは予約されます。このビットがアクティブな場合、T3CTRIP が Low でイネーブルになっているときにゼロにリセットされます。</p> <p>0 タイマ 3 コンペア出力 (T3PWM_T3CMP) は、Hi-Z 状態にあります。</p> <p>1 タイマ 3 コンペア出力 (T3PWM_T3CMP) は、タイマ 3 比較ロジックによってドライブされます。</p>
3-2	T4PIN	<p>GP タイマ 4 コンペア出力の極性</p> <p>00 強制ロー</p> <p>01 ロー・アクティブ</p> <p>10 ハイ・アクティブ</p> <p>11 強制ハイ</p>
1-0	T3PIN	<p>GP タイマ 3 コンペア出力の極性</p> <p>00 強制ロー</p> <p>01 ロー・アクティブ</p> <p>10 ハイ・アクティブ</p> <p>11 強制ハイ</p>

5.3 コンペア制御レジスタ

図 5-7 コンペア制御 A (COMCONA) レジスタ - アドレス 7411h

15	14	13	12	11	10	9	8
CENABLE	CLD1	CLD0	SVENABLE	ACTRLD1	ACTRLD0	FCMPOE	PDPINTA ステータス
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R-0
7	6	5	4	3	2	1	0
FCMP3OE	FCMP2OE	FCMP1OE	予約		C3TRIPE	C2TRIPE	C1TRIPE
R/W-0	R/W-0	R/W-0	R-0		R/W-1	R/W-1	R/W-1

凡例： R=リード、W=ライト、-n=リセット値

注： 濃く塗られた領域は、EXTCONA のビット 0=1 の場合にのみビットがアクティブであることを示します。

ビット	名前	説明
15	CENABLE	コンペア・イネーブル 0 コンペア動作をディスエーブルにする。シャドウ化されたレジスタ (CMPRx、ACTRB) は、すべて透過的になる 1 コンペア動作をイネーブルにする
14-13	CLD1、CLD0	コンペア・レジスタ CMPRx のリロード条件 00 T3CNT=0 (つまり、アンダーフロー) の場合 01 T3CNT=0 または T3CNT=T3PR (つまり、アンダーフローまたは周期マッチ時) の場合 10 即時 11 予約。結果は予測不能
12	SVENABLE	空間ベクトル PWM モード・イネーブル 0 空間ベクトル PWM モードをディスエーブルにする 1 空間ベクトル PWM モードをイネーブルにする
11-10	ACTRLD1、ACTRLD0	アクション制御レジスタのリロード条件 00 T3CNT=0 (つまり、アンダーフロー) の場合 01 T3CNT=0 または T3CNT=T3PR (つまり、アンダーフローまたは周期マッチ時) の場合 10 即時 11 予約。結果は予測不能
9	FCMPOE	フル・コンペア出力イネーブル：このビットは、アクティブな場合、すべてのフル・コンペア出力を同時にイネーブルまたはディスエーブルにします。このビットは、EXTCONA(0)=0 の場合にのみアクティブです。EXTCONA(0)=1 の場合、このビットは予約されます。このビットが、アクティブな場合、PDPINTA/T1CTRIP がどちらも Low で、EVAIFRA(0)=1 であるときにゼロにリセットされます。 0 フル・コンペア出力 (PWM1/2/3/4/5/6) は、Hi-Z 状態にあります。 1 フル・コンペア出力 (PWM1/2/3/4/5/6) は、対応する比較ロジックによってドライブされます。
8	PDPINTA ステータス	このビットは、PDPINTA ピンの現在のステータスを反映します。

図 5-7 コンペア制御 A (COMCONA) レジスタ - アドレス 7411h (続き)

ビット	名前	説明
7	FCMP3OE	<p>フル・コンペア 3 出カインーブル：このビットは、アクティブな場合、フル・コンペア 3 出力 (PWM5/6) をインーブルまたはディスエーブルにします。このビットは、EXTCONA(0)=1 の場合にのみアクティブです。EXTCONA(0)=0 の場合、このビットは予約されます。このビットがアクティブな場合、C3TRIP が Low でインーブルになっているときにゼロにリセットされます。</p> <p>0 フル・コンペア 3 出力 (PWM5/6) は、ハイ・インピーダンス状態にあります。</p> <p>1 フル・コンペア 3 出力 (PWM5/6) は、フル・コンペア 3 ロジックによってドライブされます。</p>
6	FCMP2OE	<p>フル・コンペア 2 出カインーブル：このビットは、アクティブな場合、フル・コンペア 2 出力 (PWM3/4) をインーブルまたはディスエーブルにします。このビットは、EXTCONA(0)=1 の場合にのみアクティブです。EXTCONA(0)=0 の場合、このビットは予約されます。このビットがアクティブな場合、C2TRIP が Low でインーブルになっているときにゼロにリセットされます。</p> <p>0 フル・コンペア 2 出力 (PWM3/4) は、ハイ・インピーダンス状態にあります。</p> <p>1 フル・コンペア 2 出力 (PWM3/4) は、フル・コンペア 2 ロジックによってドライブされます。</p>
5	FCMP1OE	<p>フル・コンペア 1 出カインーブル：このビットは、アクティブな場合、フル・コンペア 1 出力 (PWM1/2) をインーブルまたはディスエーブルにします。このビットは、EXTCONA(0)=1 の場合にのみアクティブです。EXTCONA(0)=0 の場合、このビットは予約されます。このビットがアクティブな場合、C1TRIP が Low でインーブルになっているときにゼロにリセットされます。</p> <p>0 フル・コンペア 1 出力 (PWM1/2) は、ハイ・インピーダンス状態にあります。</p> <p>1 フル・コンペア 1 出力 (PWM1/2) は、フル・コンペア 1 ロジックによってドライブされます。</p>
4-3	予約	
2	C3TRIPE	<p>C3TRIP イネーブル：このビットは、アクティブな場合、フル・コンペア 3 トリップ (C3TRIP) をインーブルまたはディスエーブルにします。このビットは、EXTCONA(0)=1 の場合にのみアクティブです。EXTCONA(0)=0 の場合、このビットは予約されます。</p> <p>0 C3TRIP はディスエーブルになります。C3TRIP はフル・コンペア 3 出力、COMCONA(8)、または PDPINT フラグ (EVAIFRA(0)) には影響しません。</p> <p>1 C3TRIP はインーブルになります。C3TRIP が Low の場合、両方のフル・コンペア 3 出力がハイ・インピーダンス状態になり、COMCONA(8) はゼロにリセットされ、PDPINTA フラグ (EVAIFRA(0)) は 1 にセットされます。</p>
1	C2TRIPE	<p>C2TRIP イネーブル：このビットは、アクティブな場合、フル・コンペア 2 トリップ (C2TRIP) をインーブルまたはディスエーブルにします。このビットは、EXTCONA(0)=1 の場合にのみアクティブです。EXTCONA(0)=0 の場合、このビットは予約されます。</p> <p>0 C2TRIP はディスエーブルになります。C2TRIP はフル・コンペア 2 出力、COMCONA(7)、または PDPINTA フラグ (EVAIFRA(0)) には影響しません。</p> <p>1 C2TRIP はインーブルになります。C2TRIP が Low の場合、両方のフル・コンペア 2 出力がハイ・インピーダンス状態になり、COMCONA(7) はゼロにリセットされ、PDPINTA フラグ (EVAIFRA(0)) は 1 にセットされます。</p>
0	C1TRIPE	<p>C1TRIP イネーブル：このビットは、アクティブな場合、フル・コンペア 1 トリップ (C1TRIP) をインーブルまたはディスエーブルにします。このビットは、EXTCONA(0)=1 の場合にのみアクティブです。EXTCONA(0)=0 の場合、このビットは予約されます。</p> <p>0 C1TRIP はディスエーブルになります。C1TRIP はフル・コンペア 1 出力、COMCONA(6)、または PDPINTA フラグ (EVAIFRA(0)) には影響しません。</p> <p>1 C1TRIP はインーブルになります。C1TRIP が Low の場合、両方のフル・コンペア 1 出力がハイ・インピーダンス状態になり、COMCONA(6) はゼロにリセットされ、PDPINTA フラグ (EVAIFRA(0)) は 1 にセットされます。</p>

図 5-8 コンペア制御B (COMCONB) レジスタ - アドレス 7511h

15	14	13	12	11	10	9	8
CENABLE	CLD1	CLD0	SVENABLE	ACTRLD1	ACTRLD0	FCMPOE	PDPINTB ステータス
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R-0
7	6	5	4	3	2	1	0
FCMP6OE	FCMP5OE	FCMP4OE	予約		C6TRIBE	C5TRIBE	C4TRIBE
R/W-0	R/W-0	R/W-0	R-0		R/W-1	R/W-1	R/W-1

凡例： R = リード、W = ライト、-n = リセット値

注： 濃く塗られた領域は、EXTCONA のビット 0=1 の場合にのみビットがアクティブであることを示します。

ビット	名前	説明
15	CENABLE	コンペア・イネーブル 0 コンペア動作をディスエーブルにする。シャドウ化されたレジスタ (CMPRx、ACTRB) は、すべて透過的になる 1 コンペア動作をイネーブルにする
14-13	CLD1、CLD0	コンペア・レジスタ CMPRx のリロード条件 00 T3CNT=0 (つまり、アンダーフロー) の場合 01 T3CNT=0 または T3CNT=T3PR (つまり、アンダーフローまたは周期マッチ時) の場合 10 即時 11 予約。結果は予測不能
12	SVENABLE	空間ベクトル PWM モード・イネーブル 0 空間ベクトル PWM モードをディスエーブルにする 1 空間ベクトル PWM モードをイネーブルにする
11-10	ACTRLD1、ACTRLD0	アクション制御レジスタのリロード条件 00 T3CNT=0 (つまり、アンダーフロー) の場合 01 T3CNT=0 または T3CNT=T3PR (つまり、アンダーフローまたは周期マッチ時) の場合 10 即時 11 予約。結果は予測不能
9	FCMPOE	フル・コンペア出力イネーブル：このビットは、アクティブな場合、すべてのフル・コンペア出力を同時にイネーブルまたはディスエーブルにします。このビットは、EXTCONB(0)=0 の場合にのみアクティブです。EXTCONB(0)=1 の場合、このビットは予約されます。このビットがアクティブな場合、PDPINTB/T3CTRIP がどちらも Low で、EVBFRA(0)=1 であるときにゼロにリセットされます。 0 フル・コンペア出力 (PWM7/8/9/10/11/12) は、ハイ・インピーダンス状態にあります。 1 フル・コンペア出力 (PWM7/8/9/10/11/12) は、対応する比較ロジックによってドライブされます。
8	PDPINTB ステータス	このビットは、PDPINTB ピンの現在のステータスを反映します。
7	FCMP6OE	フル・コンペア 6 出力イネーブル：このビットは、アクティブな場合、フル・コンペア 6 出力 (PWM11/12) をイネーブルまたはディスエーブルにします。このビットは、EXTCONB(0)=1 の場合にのみアクティブです。EXTCONB(0)=0 の場合、このビットは予約されます。このビットがアクティブな場合、C6TRIP が Low でイネーブルになっているときにゼロにリセットされます。 0 フル・コンペア 6 出力 (PWM11/12) は、ハイ・インピーダンス状態にあります。

- 1 フル・コンペア 6 出力 (PWM11/12) は、フル・コンペア 6 ロジックによってドライブされます。

図 5-8 コンペア制御 B (COMCONB) レジスタ - アドレス 7511h (続き)

ビット	名前	説明
6	FCMP5OE	<p>フル・コンペア 5 出力イネーブル：このビットは、アクティブな場合、フル・コンペア 5 出力 (PWM9/10) をイネーブルまたはディスエーブルにします。このビットは、EXTCONB(0)=1 の場合にのみアクティブです。EXTCONB(0)=0 の場合、このビットは予約されます。このビットがアクティブな場合、C5TRIP が Low でイネーブルになっているときにゼロにリセットされます。</p> <p>0 フル・コンペア 5 出力 (PWM9/10) は、ハイ・インピーダンス状態にあります。</p> <p>1 フル・コンペア 5 出力 (PWM9/10) は、フル・コンペア 2 ロジックによってドライブされます。</p>
5	FCMP4OE	<p>フル・コンペア 4 出力イネーブル：このビットは、アクティブな場合、フル・コンペア 4 出力 (PWM7/8) をイネーブルまたはディスエーブルにします。このビットは、EXTCONB(0)=1 の場合にのみアクティブです。EXTCONB(0)=0 の場合、このビットは予約されます。このビットがアクティブな場合、C4TRIP が Low でイネーブルになっているときにゼロにリセットされます。</p> <p>0 フル・コンペア 4 出力 (PWM7/8) は、ハイ・インピーダンス状態にあります。</p> <p>1 フル・コンペア 4 出力 (PWM7/8) は、フル・コンペア 4 ロジックによってドライブされます。</p>
4-3	予約	
2	C6TRIPE	<p>C6TRIP イネーブル：このビットは、アクティブな場合、フル・コンペア 6 トリップ (C6TRIP) をイネーブルまたはディスエーブルにします。このビットは、EXTCONB(0)=1 の場合にのみアクティブです。EXTCONB(0)=0 の場合、このビットは予約されます。</p> <p>0 C6TRIP はディスエーブルになります。C6TRIP はフル・コンペア 6 出力、COMCON(8)、または PDPINTB フラグ (EVBIFRA(0)) には影響しません。</p> <p>1 C6TRIP はイネーブルになります。C6TRIP が Low の場合、両方のフル・コンペア 6 出力がハイ・インピーダンス状態になり、COMCONB(8) はゼロにリセットされ、PDPINTB フラグ (EVBIFRA(0)) は 1 にセットされます。</p>
1	C5TRIPE	<p>C5TRIP イネーブル：このビットは、アクティブな場合、フル・コンペア 5 トリップ (C5TRIP) をイネーブルまたはディスエーブルにします。このビットは、EXTCONB(0)=1 の場合にのみアクティブです。EXTCONB(0)=0 の場合、このビットは予約されます。</p> <p>0 C5TRIP はディスエーブルになります。C5TRIP はフル・コンペア 5 出力、COMCON(7)、または PDPINT フラグ (EVBIFRA(0)) には影響しません。</p> <p>1 C5TRIP はイネーブルになります。C5TRIP が Low の場合、両方のフル・コンペア 5 出力がハイ・インピーダンス状態になり、COMCONB(7) は 0 にリセットされ、PDPINTB フラグ (EVBIFRA(0)) は 1 にセットされます。</p>
0	C4TRIPE	<p>C4TRIP イネーブル：このビットは、アクティブな場合、フル・コンペア 4 トリップ (C4TRIP) をイネーブルまたはディスエーブルにします。このビットは、EXTCONB(0)=1 の場合にのみアクティブです。EXTCONB(0)=0 の場合、このビットは予約されます。</p> <p>0 C4TRIP はディスエーブルになります。C4TRIP はフル・コンペア 4 出力、COMCONB(6)、または PDPINTB フラグ (EVBIFRA(0)) には影響しません。</p> <p>1 C4TRIP はイネーブルになります。C4TRIP が Low の場合、両方のフル・コンペア 4 出力がハイ・インピーダンス状態になり、COMCONB(6) はゼロにリセットされ、PDPINTB フラグ (EVBIFRA(0)) は 1 にセットされます。</p>

注：

CxTRIPE ビットを GPIO ビットとして使用した場合は、COMCONx レジスタでコンペア・トリップ機能をディスエーブルにする必要があります。そうしないと、CxTRIPE/GPIO ビットが Low にドライブされた場合、対応する PWM ピンが間違っ
てハイ・インピーダンスにドライブされることがあります。

5.4 コンペア・アクション制御レジスタ

コンペア動作が COMCONx[15] によってイネーブルにされている場合、コンペア・アクション制御レジスタ (ACTRA と ACTRB) は、コンペア・イベント時に 6 つの各コンペア出力ピン (PWMx、ACTRA の場合は x=1 ~ 6、ACTRB の場合は x=7 ~ 12) で行われるアクションを制御します。ACTRA と ACTRB は、ダブルバッファリングされます。ACTRA と ACTRB がリロードされる条件は、COMCONx 内のビットによって決定します。また、ACTRA と ACTRB には、空間ベクトル PWM 動作のために必要な SVRDIR、D2、D1、および D0 ビットも含まれます。ACTRA のビット・フィールドを図 5-9 に、ACTRB のビット・フィールドを 5-14 ページの図 5-10 に示します。

図 5-9 コンペア・アクション制御レジスタ A (ACTRA) - アドレス 7413h

15	14	13	12	11	10	9	8
SVRDIR	D2	D1	D0	CMP6ACT1	CMP6ACT0	CMP5ACT1	CMP5ACT0
RW-0							
7	6	5	4	3	2	1	0
CMP4ACT1	CMP4ACT0	CMP3ACT1	CMP3ACT0	CMP2ACT1	CMP2ACT0	CMP1ACT1	CMP1ACT0
RW-0							

注: R = リード・アクセス、W = ライト・アクセス、-0 = リセット後の値

ビット	名前	説明
15	SVRDIR	空間ベクトル PWM ローテーション方向。空間ベクトル PWM 出力生成でのみ使用されます。 0 正 (CCW) 1 負 (CW)
14-12	D2-D0	基本空間ベクトル・ビット。空間ベクトル PWM 出力生成でのみ使用されます。
11-10	CMP6ACT1-0	コンペア出力ピン 6 (CMP6) でのアクション 00 強制ロー 01 ロー・アクティブ 10 ハイ・アクティブ 11 強制ハイ
9-8	CMP5ACT1-0	コンペア出力ピン 5 (CMP5) でのアクション 00 強制ロー 01 ロー・アクティブ 10 ハイ・アクティブ 11 強制ハイ
7-6	CMP4ACT1-0	コンペア出力ピン 4 (CMP4) でのアクション 00 強制ロー 01 ロー・アクティブ 10 ハイ・アクティブ 11 強制ハイ
5-4	CMP3ACT1-0	コンペア出力ピン 3 (CMP3) でのアクション 00 強制ロー 01 ロー・アクティブ 10 ハイ・アクティブ 11 強制ハイ

図 5-9 コンペア・アクション制御レジスタ A (ACTRA) - アドレス 7413h (続き)

ビット	名前	説明
3-2	CMP2ACT1-0	コンペア出力ピン 2 (CMP2) でのアクション 00 強制ロー 01 ロー・アクティブ 10 ハイ・アクティブ 11 強制ハイ
1-0	CMP1ACT1-0	コンペア出力ピン 1 (CMP1) でのアクション 00 強制ロー 01 ロー・アクティブ 10 ハイ・アクティブ 11 強制ハイ

図 5-10 コンペア・アクション制御レジスタ B (ACTRB) - アドレス 7513h

15	14	13	12	11	10	9	8
SVRDIR	D2	D1	D0	CMP12ACT1	CMP12ACT0	CMP11ACT1	CMP11ACT0
RW-0	RW-0	RW-0	RW-0	RW-0	RW-0	RW-0	RW-0
7	6	5	4	3	2	1	0
CMP10ACT1	CMP10ACT0	CMP9ACT1	CMP9ACT0	CMP8ACT1	CMP8ACT0	CMP7ACT1	CMP7ACT0
RW-0	RW-0	RW-0	RW-0	RW-0	RW-0	RW-0	RW-0

注: R = リード・アクセス、W = ライト・アクセス、-0 = リセット後の値

ビット	名前	説明
15	SVRDIR	空間ベクトル PWM ローテーション方向。空間ベクトル PWM 出力生成でのみ使用されます。 0 正 (CCW) 1 負 (CW)
14-12	D2-D0	基本空間ベクトル・ビット。空間ベクトル PWM 出力生成でのみ使用されます。
11-10	CMP12ACT1-0	コンペア出力ピン 12 (CMP12) でのアクション 00 強制ロー 01 ロー・アクティブ 10 ハイ・アクティブ 11 強制ハイ
9-8	CMP11ACT1-0	コンペア出力ピン 11 (CMP11) でのアクション 00 強制ロー 01 ロー・アクティブ 10 ハイ・アクティブ 11 強制ハイ
7-6	CMP10ACT1-0	コンペア出力ピン 10 (CMP10) でのアクション 00 強制ロー 01 ロー・アクティブ 10 ハイ・アクティブ 11 強制ハイ

図 5-10 コンペア・アクション制御レジスタ B (ACTRB) - アドレス 7513h (続き)

ビット	名前	説明
5-4	CMP9ACT1-0	コンペア出力ピン 9 (CMP9) でのアクション 00 強制ロー 01 ロー・アクティブ 10 ハイ・アクティブ 11 強制ハイ
3-2	CMP8ACT1-0	コンペア出力ピン 8 (CMP8) でのアクション 00 強制ロー 01 ロー・アクティブ 10 ハイ・アクティブ 11 強制ハイ
1-0	CMP7ACT1-0	コンペア出力ピン 7 (CMP7) でのアクション 00 強制ロー 01 ロー・アクティブ 10 ハイ・アクティブ 11 強制ハイ

5.5 キャプチャ・ユニット・レジスタ

キャプチャ・ユニットの動作は、4 つの 16 ビット制御レジスタ (CAPCONA/B と CAPFIFOA/B) によって制御されます。また、キャプチャ回路の基準時間は GP タイマのいずれかによって提供するため、TxCON (x=1、2、3、または 4) レジスタを使用してキャプチャ・ユニットの動作を制御することもできます。

図 5-11 キャプチャ制御レジスタ A (CAPCONA) - アドレス 7420h

15	14	13	12	11	10	9	8
CAPRES	CAP12EN		CAP3EN	予約	CAP3TSEL	CAP12TSEL	CAP3TOADC
RW-0	RW-0		RW-0	RW-0	RW-0	RW-0	RW-0
7	6	5	4	3	2	1	0
CAP1EDGE		CAP2EDGE		CAP3EDGE		予約	
RW-0		RW-0		RW-0		RW-0	

注: R = リード・アクセス、W = ライト・アクセス、-0 = リセット後の値

ビット	名前	説明
15	CAPRES	キャプチャ・リセット。常にゼロをリードします。 0 キャプチャ・ユニットのすべてのレジスタを 0 にクリアする 1 アクションなし
14-13	CAP12EN	キャプチャ 1 および 2 イネーブル: 00 キャプチャ 1 および 2 をディスエーブルにする。FIFO スタックは内容を維持する 01 キャプチャ 1 および 2 をイネーブルにする 10 予約 11 予約
12	CAP3EN	キャプチャ 3 イネーブル: 0 キャプチャ・ユニット 3 をディスエーブルにする。キャプチャ・ユニット 3 の FIFO スタックは内容を維持する 1 キャプチャ 3 をイネーブルにする
11	予約	リードはゼロを返します。ライトは何の影響も及ぼしません。
10	CAP3TSEL	キャプチャ・ユニット 3 の GP タイマ選択 0 GP タイマ 2 を選択する 1 GP タイマ 1 を選択する
9	CAP12TSEL	キャプチャ・ユニット 1 および 2 の GP タイマ選択 0 GP タイマ 2 を選択する 1 GP タイマ 1 を選択する
8	CAP3TOADC	キャプチャ・ユニット 3 イベントで ADC を開始します。 0 アクションなし 1 CAP3INT フラグがセットされている場合、ADC を開始する
7-6	CAP1EDGE	キャプチャ・ユニット 1 のエッジ検出制御 00 検出しない 01 立ち上がりエッジを検出する 10 立ち下がりエッジを検出する 11 両方のエッジを検出する

図 5-11 キャプチャ制御レジスタ A (CAPCONA) - アドレス 7420h (続き)

ビット	名前	説明
5-4	CAP2EDGE	キャプチャ・ユニット 2 のエッジ検出制御 00 検出ししない 01 立ち上がりエッジを検出する 10 立ち下がりエッジを検出する 11 両方のエッジを検出する
3-2	CAP3EDGE	キャプチャ・ユニット 3 のエッジ検出制御 00 検出ししない 01 立ち上がりエッジを検出する 10 立ち下がりエッジを検出する 11 両方のエッジを検出する
1-0	予約	リードはゼロを返します。ライトは何の影響も及ぼしません。

図 5-12 キャプチャ制御レジスタ B (CAPCONB) - アドレス 7520h

15	14	13	12	11	10	9	8
CAPRES	CAP45EN		CAP6EN	予約	CAP6TSEL	CAP45TSEL	CAP6TOADC
R/W-0	R/W-0		R/W-0	R-0	R/W-0	R/W-0	R/W-0
7	6	5	4	3	2	1	0
CAP4EDGE		CAP5EDGE		CAP6EDGE		予約	
R/W-0		R/W-0		R/W-0		R/W-0	

注: R = リード・アクセス、W = ライト・アクセス、-0 = リセット後の値

ビット	名前	説明
15	CAPRES	このビットは、レジスタ・ビットとして実装されません。0 をライトすると、キャプチャ・レジスタが単にクリアされます。 0 キャプチャ・ユニットおよび QEP 回路のすべてのレジスタを 0 にクリアする 1 アクションなし
14-13	CAP45EN	キャプチャ・ユニット 4 および 5 と QEP 回路の制御 00 キャプチャ・ユニット 4 および 5 をディスエーブルにする。FIFO スタックは内容を維持する 01 キャプチャ・ユニット 4 および 5 をイネーブルにする 10 予約 11 予約
12	CAP6EN	キャプチャ・ユニット 6 の制御 0 キャプチャ・ユニット 6 をディスエーブルにする。キャプチャ・ユニット 6 の FIFO スタックは内容を維持する 1 キャプチャ・ユニット 6 をイネーブルにする
11	予約	リードはゼロを返します。ライトは何の影響も及ぼしません。
10	CAP6TSEL	キャプチャ・ユニット 6 の GP タイマ選択 0 GP タイマ 4 を選択する 1 GP タイマ 3 を選択する

図 5-12 キャプチャ制御レジスタ B (CAPCONB) - アドレス 7520h (続き)

ビット	名前	説明
9	CAP45TSEL	キャプチャ・ユニット 4 および 5 の GP タイマ選択 0 GP タイマ 4 を選択する 1 GP タイマ 3 を選択する
8	CAP6TOADC	キャプチャ・ユニット 6 イベントで ADC を開始します。 0 アクションなし 1 CAP6INT フラグがセットされている場合、ADC を開始する
7-6	CAP4EDGE	キャプチャ・ユニット 4 のエッジ検出制御 00 検出しない 01 立ち上がりエッジを検出する 10 立ち下がりエッジを検出する 11 両方のエッジを検出する
5-4	CAP5EDGE	キャプチャ・ユニット 5 のエッジ検出制御 00 検出しない 01 立ち上がりエッジを検出する 10 立ち下がりエッジを検出する 11 両方のエッジを検出する
3-2	CAP6EDGE	キャプチャ・ユニット 6 のエッジ検出制御 00 検出しない 01 立ち上がりエッジを検出する 10 立ち下がりエッジを検出する 11 両方のエッジを検出する
1-0	予約	

5.5.1 キャプチャ FIFO ステータス・レジスタ A (CAPFIFOA)

CAPFIFOA には、3 つあるキャプチャ・ユニットの各 FIFO スタックに対するステータス・ビットがあります。CAPFIFOA のビット説明を図 5-13 に示します。キャプチャ・イベントが原因で CAPnFIFOA ステータス・ビットの更新中にそれらのビットに対するライトが発生した場合は、ライト・データが優先されます。

CAPFIFOx レジスタに対するライト動作は、次のようにも使用できます。たとえば、01 を CAPnFIFO ビットにライトした場合、EV モジュールは、すでにデータが FIFO 内に存在しているように見えます。その後は、FIFO が新しい値を得るたびに、キャプチャ割り込みが生成されます。

図 5-13 キャプチャ FIFO ステータス・レジスタ A (CAPFIFOA) - アドレス 7422h

15	14	13	12	11	10	9	8	7	0
予約		CAP3FIFO	CAP2FIFO	CAP1FIFO	予約				
R-0		R/W-0	R/W-0	R/W-0	R-0				

注： R = リード・アクセス、W = ライト・アクセス、-0 = リセット後の値

ビット	名前	説明
15-14	予約	リードはゼロを返します。ライトは何の影響も及ぼしません。
13-12	CAP3FIFO	CAP3FIFO ステータス 00 空 01 1 つのキャプチャしたデータがある 10 2 つのキャプチャしたデータがある 11 すでに 2 つのキャプチャしたデータがあり、さらにもう 1 つのデータをキャプチャした。最初のデータは失われている
11-10	CAP2FIFO	CAP2FIFO ステータス 00 空 01 1 つのキャプチャしたデータがある 10 2 つのキャプチャしたデータがある 11 すでに 2 つのキャプチャしたデータがあり、さらにもう 1 つのデータをキャプチャした。最初のデータは失われている
9-8	CAP1FIFO	CAP1FIFO ステータス 00 空 01 1 つのキャプチャしたデータがある 10 2 つのキャプチャしたデータがある 11 すでに 2 つのキャプチャしたデータがあり、さらにもう 1 つのデータをキャプチャした。最初のデータは失われている
7-0	予約	リードはゼロを返します。ライトは何の影響も及ぼしません。

5.5.2 キャプチャ FIFO ステータス・レジスタ B (CAPFIFOB)

CAPFIFOB には、3つのキャプチャ・ユニットの各 FIFO スタックに対するステータス・ビットが含まれます。CAPFIFOBのビット説明を図5-14に示します。キャプチャ・イベントが原因でCAPnFIFOBステータス・ビットの更新中にそれらのビットに対してライトが発生した場合は、ライト・データが優先されます。

CAPFIFOBx レジスタに対するライト動作は、次のようにも使用できます。たとえば、01をCAPnFIFOビットにライトした場合、EVモジュールは、すでにデータがFIFO内に存在しているように見えます。その後は、FIFOが新しい値を得るたびに、キャプチャ割り込みが生成されます。

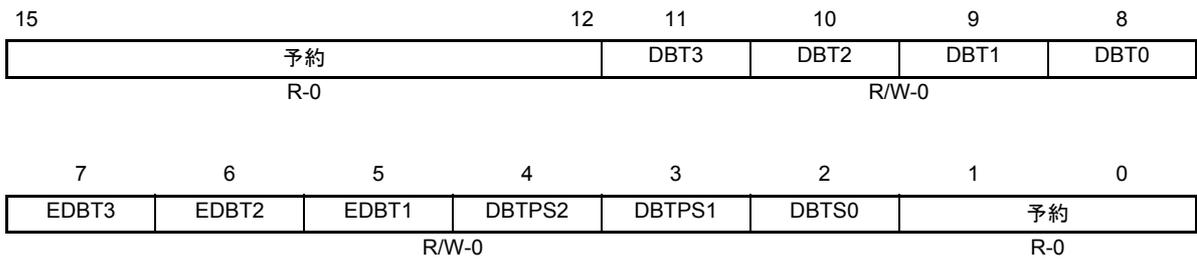
図5-14 キャプチャ FIFO ステータス・レジスタ B (CAPFIFOB) - アドレス 7522h

15	14	13	12	11	10	9	8	7	0
予約	CAP6FIFO		CAP5FIFO		CAP4FIFO		予約		
R-0	R/W-0		R/W-0		R/W-0		R-0		

注: R = リード・アクセス、W = ライト・アクセス、-0 = リセット後の値

ビット	名前	説明
15-14	予約	リードはゼロを返します。ライトは何の影響も及ぼしません。
13-12	CAP6FIFO	CAP6FIFOステータス 00 空 01 1つのキャプチャしたデータがある 10 2つのキャプチャしたデータがある 11 すでに2つのキャプチャしたデータがあり、さらにもう1つのデータをキャプチャした。最初のデータは失われている
11-10	CAP5FIFO	CAP5FIFOステータス 00 空 01 1つのキャプチャしたデータがある 10 2つのキャプチャしたデータがある 11 すでに2つのキャプチャしたデータがあり、さらにもう1つのデータをキャプチャした。最初のデータは失われている
9-8	CAP4FIFO	CAP4FIFOステータス 00 空 01 1つのキャプチャしたデータがある 10 2つのキャプチャしたデータがある 11 すでに2つのキャプチャしたデータがあり、さらにもう1つのデータをキャプチャした。最初のデータは失われている
7-0	予約	リードはゼロを返します。ライトは何の影響も及ぼしません。

図 5-15 デッドバンド・タイマ制御レジスタ A (DBTCONA) - アドレス xx15h



注： R = リード・アクセス、W = ライト・アクセス、-0 = リセット後の値

ビット	名前	説明
15-12	予約	
11-8	DBT3 (MSB) - DBT0 (LSB)	デッドバンド・タイマ周期。これらのビットで、4 ビット分のデッドバンド・タイマの周期値をセットします。
7	EDBT3	デッドバンド・タイマ 3 イネーブル (コンペア・ユニット 3 の PWM5 および PWM6 ピンの場合) 0 ディスエーブル 1 イネーブル
6	EDBT2	デッドバンド・タイマ 2 イネーブル (コンペア・ユニット 2 の PWM3 および PWM4 ピンの場合) 0 ディスエーブル 1 イネーブル
5	EDBT1	デッドバンド・タイマ 1 イネーブル (コンペア・ユニット 1 の PWM1 および PWM2 ピンの場合) 0 ディスエーブル 1 イネーブル
4-2	DBTPS2 - DBTPS0	デッドバンド・タイマ・プリスケアラ 000 x/1 001 x/2 010 x/4 011 x/8 100 x/16 101 x/32 110 x/32 111 x/32
1-0	予約	111 x= デバイス (CPU) クロック周波数

図5-16 デッドバンド・タイマ制御レジスタB (DBTCONB) - アドレス xx15h

15					12	11	10	9	8
予約					DBT3	DBT2	DBT1	DBT0	
R-0					R/W-0				
7		6	5	4	3	2	1	0	
EDBT3		EDBT2	EDBT1	DBTPS2	DBTPS1	DBTS0	予約		
R/W-0							R-0		

注: R = リード・アクセス、W = ライト・アクセス、-0 = リセット後の値

ビット	名前	説明
15-12	予約	
11-8	DBT3 (MSB) - DBT0 (LSB)	デッドバンド・タイマ周期。これらのビットで、4ビット分のデッドバンド・タイマの周期値をセットします。
7	EDBT3	デッドバンド・タイマ3イネーブル (コンペア・ユニット3のPWM11およびPWM12ピンの場合) 0 ディスエーブル 1 イネーブル
6	EDBT2	デッドバンド・タイマ2イネーブル (コンペア・ユニット2のPWM9およびPWM10ピンの場合) 0 ディスエーブル 1 イネーブル
5	EDBT1	デッドバンド・タイマ1イネーブル (コンペア・ユニット1のPWM7およびPWM8ピンの場合) 0 ディスエーブル 1 イネーブル
4-2	DBTPS2 - DBTPS0	デッドバンド・タイマ・プリスケアラ 000 x/1 001 x/2 010 x/4 011 x/8 100 x/16 101 x/32 110 x/32 111 x/32 111 x= デバイス (CPU) クロック周波数
1-0	予約	

5.6 EV 割り込みフラグ・レジスタ

レジスタは、すべて 16 ビットのメモリ・マップド・レジスタとして扱われます。未使用ビットは、ソフトウェア上でリードされるとゼロを返します。未使用ビットにライトしても影響はありません。EVxIFRx はリード可能なレジスタなので、割り込みがマスクされている場合は、EVxIFRx の該当ビットをポーリングするソフトウェアによって割り込みイベントの発生を監視できます。

図 5-17 EVA 割り込みフラグ・レジスタ A (EVAIFRA) - アドレス 742Fh

15				10		9	8	
予約				TIOFINT FLAG	T1UFINT FLAG	T1CINT FLAG		
R-0				R/W-0	R/W-0	R/W-0		
7		6	5	4	3	2	1	0
T1PINT FLAG	予約			CMP3INT FLAG	CMP2INT FLAG	CMP1INT FLAG	PDPINTA FLAG	
R/W-0	R-0			R/W-0	R/W-0	R/W-0	R/W-0	

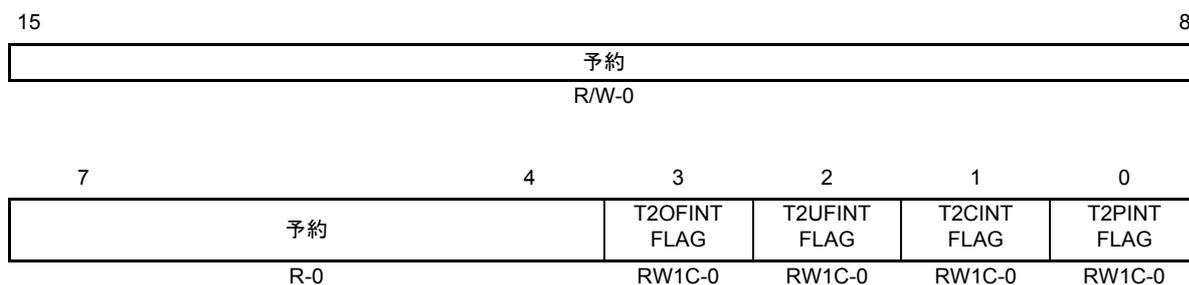
注： R = リード・アクセス、W = ライト・アクセス、-n = リセット後の値

ビット	名前	説明
15-11	予約	予約。リードは 0 を返します。ライトは何の影響も及ぼしません。
10	TIOFINT FLAG	GP タイマ 1 オーバーフロー割り込み リード： 0 フラグがリセットされている 1 フラグがセットされている ライト： 0 影響なし 1 フラグをリセットする
9	T1UFINT FLAG	GP タイマ 1 アンダーフロー割り込み リード： 0 フラグがリセットされている 1 フラグがセットされている ライト： 0 影響なし 1 フラグをリセットする
8	T1CINT FLAG	GP タイマ 1 コンペア割り込み リード： 0 フラグがリセットされている 1 フラグがセットされている ライト： 0 影響なし 1 フラグをリセットする
7	T1PINT FLAG	GP タイマ 1 周期割り込み リード： 0 フラグがリセットされている 1 フラグがセットされている ライト： 0 影響なし 1 フラグをリセットする
6-4	予約	リードはゼロを返します。ライトは何の影響も及ぼしません。
3	CMP3INT FLAG	コンペア 3 割り込み リード： 0 フラグがリセットされている 1 フラグがセットされている ライト： 0 影響なし 1 フラグをリセットする

図5-17 EVA 割り込みフラグ・レジスタ A (EVAIFRA) - アドレス 742Fh (続き)

ビット	名前	説明
2	CMP2INT FLAG	コンペア 2 割り込み リード: 0 フラグがリセットされている 1 フラグがセットされている ライト: 0 影響なし 1 フラグをリセットする
1	CMP1INT FLAG	コンペア 1 割り込み リード: 0 フラグがリセットされている 1 フラグがセットされている ライト: 0 影響なし 1 フラグをリセットする
0	PDPINTA FLAG	パワー・ドライブ保護割り込みフラグ: このビットは、EXTCONA(0)に依存します。EXTCONA(0)=0の場合、240xと同じままになります。EXTCONA(0)=1の場合は、いずれかのコンペア・トリップがLowでイネーブルになっていると、このビットがセットされます。 リード: 0 フラグがリセットされている 1 フラグがセットされている ライト: 0 影響なし 1 フラグをリセットする

図5-18 EVA 割り込みフラグ・レジスタ B (EVAIFRB) - アドレス 7430h



注: R=リード・アクセス、W1C=1をライトしてクリア、-0=リセット後の値

ビット	名前	説明
15-14	予約	リードは0を返します。ライトは何の影響も及ぼしません。
3	T2OFINT FLAG	GP タイマ 2 オーバーフロー割り込み リード: 0 フラグがリセットされている 1 フラグがセットされている ライト: 0 影響なし 1 フラグをリセットする
2	T2UFINT FLAG	GP タイマ 2 アンダーフロー割り込み リード: 0 フラグがリセットされている 1 フラグがセットされている ライト: 0 影響なし 1 フラグをリセットする

図 5-18 EVA 割り込みフラグ・レジスタ B (EVAIFRB) - アドレス 7430h (続き)

ビット	名前	説明
1	T2CINT FLAG	GP タイマ 2 コンペア割り込み リード: 0 フラグがリセットされている 1 フラグがセットされている ライト: 0 影響なし 1 フラグをリセットする
0	T2PINT FLAG	GP タイマ 2 周期割り込み リード: 0 フラグがリセットされている 1 フラグがセットされている ライト: 0 影響なし 1 フラグをリセットする

図 5-19 EVA 割り込みフラグ・レジスタ C (EVAIFRC) - アドレス 7431h

15	予約				8
R-0					
7	3	2	1	0	
予約		CAP3FINT FLAG	CAP2FINT FLAG	CAP1FINT FLAG	
R-0		RW1C-0	RW1C-0	RW1C-0	

注: R = リード・アクセス、W1C = 1 をライトしてクリア、-0 = リセット後の値

ビット	名前	説明
15-3	予約	リードは 0 を返します。ライトは何の影響も及ぼしません。
2	CAP3FINT FLAG	キャプチャ 3 割り込み リード: 0 フラグがリセットされている 1 フラグがセットされている ライト: 0 影響なし 1 フラグをリセットする
1	CAP2FINT FLAG	キャプチャ 2 割り込み リード: 0 フラグがリセットされている 1 フラグがセットされている ライト: 0 影響なし 1 フラグをリセットする
0	CAP1FINT FLAG	キャプチャ 1 割り込み リード: 0 フラグがリセットされている 1 フラグがセットされている ライト: 0 影響なし 1 フラグをリセットする

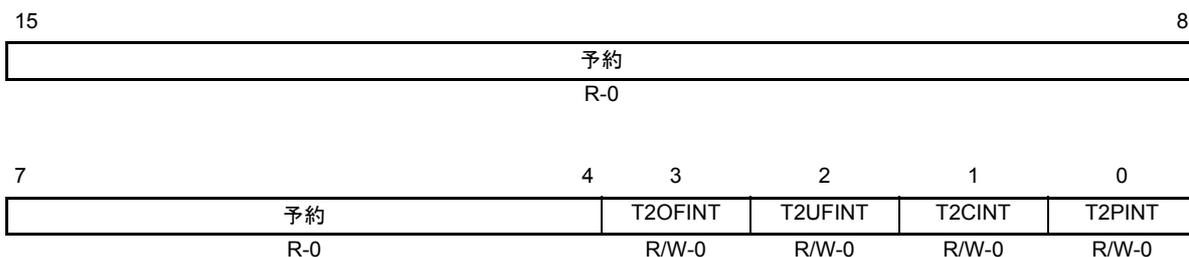
図 5-20 EVA 割り込みマスク・レジスタ A (EVAIMRA) - アドレス 742Ch

15	予約			11	10	9	8
	R-0			T1OFINT	T1UFINT	T1CINT	
				R/W-0	R/W-0	R/W-0	
7	6	4	3	2	1	0	
T1PINT	予約		CMP3INT	CMP2INT	CMP1INT	PDPINTA	
R/W-0	R-0		R/W-0	R/W-0	R/W-0	R/W-1	

注: R = リード・アクセス、W = ライト・アクセス、-n = リセット後の値

ビット	名前	説明
15-11	予約	
10	T1OFINT	T1OFINT イネーブル 0 ディスエーブル 1 イネーブル
9	T1UFINT	T1UFINT イネーブル 0 ディスエーブル 1 イネーブル
8	T1CINT	T1CINT イネーブル 0 ディスエーブル 1 イネーブル
7	T1PINT	T1PINT イネーブル 0 ディスエーブル 1 イネーブル
6-4	予約	
3	CMP3INT	CMP3INT イネーブル 0 ディスエーブル 1 イネーブル
2	CMP2INT	CMP2INT イネーブル 0 ディスエーブル 1 イネーブル
1	CMP1INT	CMP1INT イネーブル 0 ディスエーブル 1 イネーブル
0	PDPINTA	PDPINTA ENABLE。このビットは、EXTCONA(0)に依存します。EXTCONA(0)=0の場合、240x と同じままになります。つまり、このビットは、PDP 割り込みと、コンペア出力バッファへの PDPINT ピンの直接パスの両方をイネーブルもしくはディスエーブルにします。EXTCONA(0)=1の場合、このビットは単に PDP 割り込みイネーブルもしくはディスエーブル・ビットになります。 0 ディスエーブル 1 イネーブル

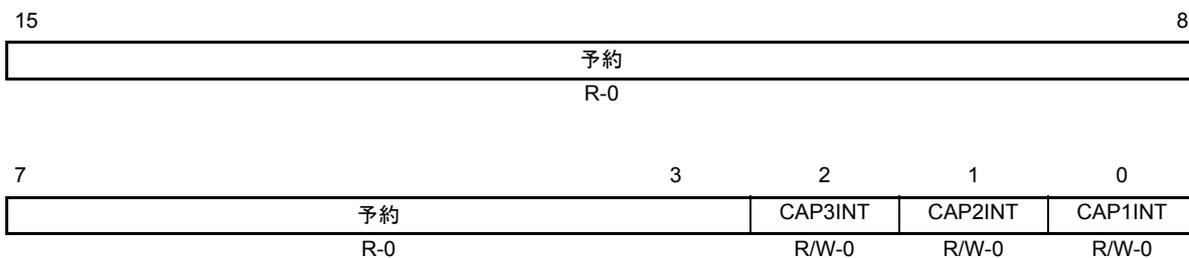
図 5-21 EVA 割り込みマスク・レジスタ B (EVAIMRB) - アドレス 742Dh



注： R = リード・アクセス、W = ライト・アクセス、-0 = リセット後の値

ビット	名前	説明
15-4	予約	
3	T2OFINT	T2OFINT イネーブル 0 ディスエーブル 1 イネーブル
2	T2UFINT	T2UFINT イネーブル 0 ディスエーブル 1 イネーブル
1	T2CINT	T2CINT イネーブル 0 ディスエーブル 1 イネーブル
0	T2PINT	T2PINT イネーブル 0 ディスエーブル 1 イネーブル

図 5-22 EVA 割り込みマスク・レジスタ C (EVAIMRC) - アドレス 742Eh



注： R = リード・アクセス、W = ライト・アクセス、-0 = リセット後の値

ビット	名前	説明
15-3	予約	
2	CAP3INT ENABLE	CAP3INT イネーブル 0 ディスエーブル 1 イネーブル
1	CAP2INT ENABLE	CAP2INT イネーブル 0 ディスエーブル 1 イネーブル
0	CAP1INT ENABLE	CAP1INT イネーブル 0 ディスエーブル 1 イネーブル

図 5-23 EVB 割り込みフラグ・レジスタ A (EVBIFRA) - アドレス 752Fh

15				11		10	9	8
予約				T3OFINT FLAG		T3UFINT FLAG	T3CINT FLAG	
R-0				RW1C-0		RW1C-0	RW1C-0	
7		6	4		3	2	1	0
T3PINT FLAG	予約		CMP6INT		CMP5INT	CMP4INT	PDPINTB	
RW1C-0	R-0		RW1C-0		RW1C-0	RW1C-0	RW1C-0	

注: R = リード・アクセス、W1C = 1 をライトしてクリア、-0 = リセット後の値

ビット	名前	説明
15-11	予約	リードは 0 を返します。ライトは何の影響も及ぼしません。
10	T3OFINT	T3OFINT FLAG。GP タイマ 3 オーバーフロー割り込み リード: 0 フラグがリセットされている 1 フラグがセットされている ライト: 0 影響なし 1 フラグをリセットする
9	T3UFINT	T3UFINT FLAG。GP タイマ 3 アンダーフロー割り込み リード: 0 フラグがリセットされている 1 フラグがセットされている ライト: 0 影響なし 1 フラグをリセットする
8	T3CINT	T3CINT FLAG。GP タイマ 3 コンペア割り込み リード: 0 フラグがリセットされている 1 フラグがセットされている ライト: 0 影響なし 1 フラグをリセットする
7	T3PINT	T3PINT FLAG。GP タイマ 3 周期割り込み リード: 0 フラグがリセットされている 1 フラグがセットされている ライト: 0 影響なし 1 フラグをリセットする
6-4	予約	
3	CMP6INT	CMP6INT FLAG。コンペア 6 割り込み リード: 0 フラグがリセットされている 1 フラグがセットされている ライト: 0 影響なし 1 フラグをリセットする
2	CMP5INT	CMP5INT FLAG。コンペア 5 割り込み リード: 0 フラグがリセットされている 1 フラグがセットされている ライト: 0 影響なし 1 フラグをリセットする

図 5-23 EVB 割り込みフラグ・レジスタ A (EVBIFRA) - アドレス 752Fh (続き)

ビット	名前	説明
1	CMP4INT	CMP6INT FLAG。コンペア 4 割り込み リード： 0 フラグがリセットされている 1 フラグがセットされている ライト： 0 影響なし 1 フラグをリセットする
0	PDPINTB	PDPINTB FLAG。パワー・ドライブ保護割り込み リード： 0 フラグがリセットされている 1 フラグがセットされている ライト： 0 影響なし 1 フラグをリセットする

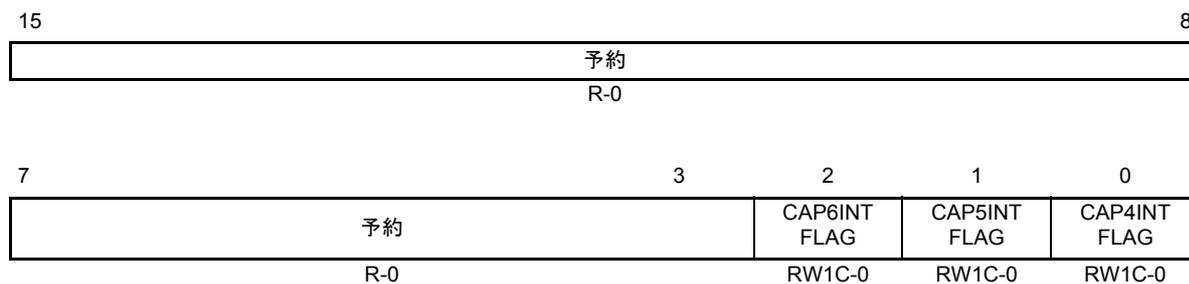
図 5-24 EVB 割り込みフラグ・レジスタ B (EVBIFRB) - アドレス 7530h

15	予約					8
R-0						
7	4	3	2	1	0	
予約		T4OFINT FLAG	T4UFINT FLAG	T4CINT FLAG	T4PINT FLAG	
R-0		RW1C-0	RW1C-0	RW1C-0	RW1C-0	

注： R = リード・アクセス、W1C = 1 をライトしてクリア、-0 = リセット後の値

ビット	名前	説明
15-4	予約	
3	T4OFINT FLAG	GP タイマ 4 オーバーフロー割り込み リード： 0 フラグがリセットされている 1 フラグがセットされている ライト： 0 影響なし 1 フラグをリセットする
2	T4UFINT FLAG	GP タイマ 4 アンダーフロー割り込み リード： 0 フラグがリセットされている 1 フラグがセットされている ライト： 0 影響なし 1 フラグをリセットする
1	T4CINT FLAG	GP タイマ 4 コンペア割り込み リード： 0 フラグがリセットされている 1 フラグがセットされている ライト： 0 影響なし 1 フラグをリセットする
0	T4PINT FLAG	GP タイマ 4 周期割り込み リード： 0 フラグがリセットされている 1 フラグがセットされている ライト： 0 影響なし 1 フラグをリセットする

図 5-25 EVB 割り込みフラグ・レジスタ C (EVBIFRC) - アドレス 7531h



注: R = リード・アクセス、W1C = 1 をライトしてクリア、-0 = リセット後の値

ビット	名前	説明
15-3	予約	
2	CAP6INT FLAG	GP タイマ 4 オーバーフロー割り込み リード: 0 フラグがリセットされている 1 フラグがセットされている ライト: 0 影響なし 1 フラグをリセットする
1	CAP5INT FLAG	GP タイマ 4 オーバーフロー割り込み リード: 0 フラグがリセットされている 1 フラグがセットされている ライト: 0 影響なし 1 フラグをリセットする
0	CAP4INT FLAG	GP タイマ 4 オーバーフロー割り込み リード: 0 フラグがリセットされている 1 フラグがセットされている ライト: 0 影響なし 1 フラグをリセットする

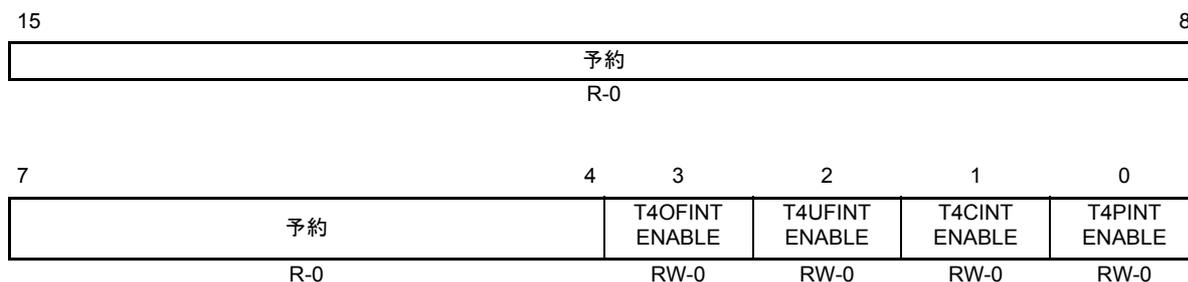
図 5-26 EVB 割り込みマスク・レジスタ A (EVBIMRA) - アドレス 752Ch

15				11		10		9		8			
予約				T3OFINT ENABLE		T3UFINT ENABLE		T3CINT ENABLE					
R/W-0				R/W-0		R/W-0		R/W-0		R/W-0			
7		6		4		3		2		1		0	
T3PINT ENABLE		予約		CMP6INT ENABLE		CMP5INT ENABLE		CMP4INT ENABLE		PDPINTB ENABLE			
R/W-0		R-0		R/W-0		R/W-0		R/W-0		R/W-1			

注： R = リード・アクセス、W = ライト・アクセス、-n = リセット後の値

ビット	名前	説明
15-11	予約	
10	T3OFINT ENABLE	T3OFINT イネーブル 0 ディスエーブル 1 イネーブル
9	T3UFINT ENABLE	T3UFINT イネーブル 0 ディスエーブル 1 イネーブル
8	T3CINT ENABLE	T3CINT イネーブル 0 ディスエーブル 1 イネーブル
7	T3PINT ENABLE	T3PINT イネーブル 0 ディスエーブル 1 イネーブル
6-4	予約	
3	CMP6INT ENABLE	CMP6INT イネーブル 0 ディスエーブル 1 イネーブル
2	CMP5INT ENABLE	CMP5INT イネーブル 0 ディスエーブル 1 イネーブル
1	CMP4INT ENABLE	CMP4INT イネーブル 0 ディスエーブル 1 イネーブル
0	PDPINTB ENABLE	PDPINTB イネーブル。これは、リセット後にイネーブルになります（1にセットされます）。 0 ディスエーブル 1 イネーブル

図 5-27 EVB 割り込みマスク・レジスタ B (EVBIMRB) - アドレス 752Dh



注: R = リード・アクセス、W = ライト・アクセス、-0 = リセット後の値

ビット	名前	説明
15-4	予約	
3	T4OFINT ENABLE	0 ディスエーブル 1 イネーブル
2	T4UFINT ENABLE	0 ディスエーブル 1 イネーブル
1	T4CINT ENABLE	0 ディスエーブル 1 イネーブル
0	T4PINT ENABLE	0 ディスエーブル 1 イネーブル

図 5-28 EVB 割り込みマスク・レジスタ C (EVBIMRC) - アドレス 752Eh



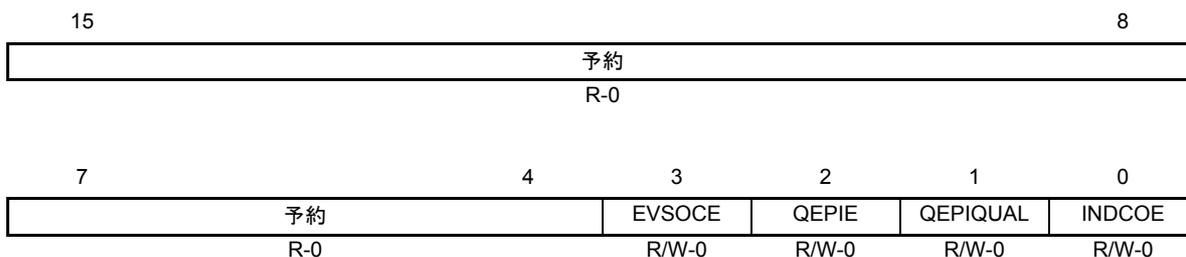
注: R = リード・アクセス、W = ライト・アクセス、-n = リセット後の値

ビット	名前	説明
15-3	予約	
2	CAP6INT ENABLE	0 ディスエーブル 1 イネーブル
1	CAP5INT ENABLE	0 ディスエーブル 1 イネーブル
0	CAP4INT ENABLE	0 ディスエーブル 1 イネーブル

5.7 EV 制御レジスタ

EXTCONA と EXTCONB は、追加 / 変更された機能をイネーブルまたはディスエーブルにするための追加された制御レジスタです。EXTCONx レジスタは、240x EV との互換性をとるためにあります。EXTCONx は、機能における追加と変更をイネーブルもしくはディスエーブルにします。すべての追加と変更は、240x EV との互換性を維持するためにデフォルトではディスエーブルです。この説明は EXTCONA に適用されます。EXTCONB は、EVB レジスタ・セットを制御するという点以外は、このレジスタと同一です。

図 5-29 EV 拡張制御レジスタ A (EXTCONA) - アドレス 7409h



ビット	名前	説明
15:4	予約	
3	EVSOCE	<p>EV 変換開始出力イネーブル。このビットは、EV の ADC 変換開始出力 (EVA の場合は EVASOCn、EVB の場合は EVBSOCn) をイネーブルまたはディスエーブルにします。イネーブルにすると、選択した EV ADC 変換開始イベントで 32 x HSPCLK の負 (ロー・アクティブ) パルスが出力されます。このビットは、オプションの SOC トリガとして ADC モジュールにルーティングされる EVTOADC 信号には影響しません。</p> <p>0 EVSOC 出力をディスエーブルにします。EVSOC はハイ・インピーダンス状態にあります。</p> <p>1 EVSOC 出力をイネーブルにします。</p>
2	QEPIE	<p>QEP インデックス・イネーブル。このビットは、CAP3_QEPI1 をインデックス入力としてイネーブルまたはディスエーブルにします。CAP3_QEPI1 をインデックス入力としてイネーブルにすると、QEP カウンタとして設定したタイマがリセットできます。</p> <p>0 CAP3_QEPI1 をインデックス入力としてディスエーブルにします。CAP3_QEPI1 上のトランジションは、QEP カウンタとして設定されたタイマには影響しません。</p> <p>1 CAP3_QEPI1 をインデックス入力としてイネーブルにします。CAP3_QEPI1 だけで 0 から 1 へのトランジションが発生するか (EXTCONA[1]=0 の場合)、または 0 から 1 へのトランジションが発生した上に、CAP1_QEP1 と CAP2_QEP2 がどちらも High であると (EXTCON[1]=1 の場合)、QEP カウンタとして設定したタイマがゼロにリセットされます。</p>
1	QEPIQUAL	<p>CAP3_QEPI1 インデックス・フィルタ・モード。このビットは、QEP インデックス・フィルタ・モジュール (Qualifier) をオンおよびオフにします。</p> <p>0 CAP3_QEPI1 フィルタ・モードはオフです。CAP3_QEPI1 は、フィルタ・モジュール (Qualifier) は、影響を受けません。</p> <p>1 CAP3_QEPI1 限定モードはオンです。0 から 1 へのトランジションは、CAP1_QEP1 と CAP2_QEP2 の両方が High の場合にのみフィルタ・モジュール (Qualifier) に渡すことができます。それ以外の場合は、フィルタ・モジュール (Qualifier) の出力は Low のままになります。</p>

図 5-29 EV 拡張制御レジスタ A (EXTCONA) - アドレス 7409h (続き)

ビット	名前	説明
0	INDCOE	<p>独立したコンペア出カイネーブル・モード。このビットは、1にセットした場合、コンペア出力を別々にイネーブルまたはディスエーブルにすることを可能にします。</p> <p>0 独立したコンペア出カイネーブル・モードはディスエーブルになります。GP タイマ 1 および 2 コンペア出力は、GPTCONA(6)によって同時にイネーブルもしくはディスエーブルになります。フル・コンペア 1、2、および 3 出力は、COMCONA(9)によって同時にイネーブルまたはディスエーブルになります。GPTCONA(12,11,5,4)と COMCONA(7:5, 2:0)は予約されます。EVIFRA(0)は、すべてのコンペア出力を同時にイネーブルまたはディスエーブルにします。EVIMR(0)は、PDP 割り込みと、PDPINT 信号の直接パスを同時にイネーブルまたはディスエーブルにします。</p> <p>1 独立したコンペア出カイネーブル・モードはイネーブルになります。コンペア出力は、それぞれ GPTCON(5,4)と COMCON(7:5)によってイネーブルまたはディスエーブルにされます。コンペア・トリップは、それぞれ GPTCON(12,11)と COMCON(2:0)によってイネーブルまたはディスエーブルになります。GPTCON(6)と COMCON(9)は予約されます。いずれかのトリップ入力が Low でイネーブルになっている場合は、EVIFRA[0]が 1にセットされます。EVIMRA(0)は、割り込みイネーブルまたはディスエーブルとしてのみ機能します。</p>

5.8 レジスタ・ビット定義の相違点

ここで説明する変更点は、1 つの EV を対象としています。これと同じ変更は、EVA と EVB の両方で実装する必要があります。これには、EXTCONx 制御レジスタの追加が含まれます。つまり、EXTCONx レジスタは各 EV (1 つは EVA で、もう 1 つは EVB で) に追加されます。

変更は、表 5-1 に示すようにレジスタに導入されます。変更されたビットだけが示されています。他のすべてのビットは、240x EV の場合と同じです。完全なビット説明については、この章の個々のレジスタを参照してください。

表 5-1 レジスタ・ビットの変更点

ビット	名前	説明
TXCON レジスタ・ビットの変更点		
5,4	TCLKS(1,0)	<p>タイマ 2 クロック・ソース</p> <p>00 内部 (つまり、HSPCLK) のクロックを使用する</p> <p>01 外部 (つまり、TCLKIN) 入力を使用する</p> <p>10 予約</p> <p>11 QEP 回路</p> <p>変更後は、タイマ 1 とタイマ 2 の両方 (同様に、タイマ 3 とタイマ 4 の両方) が QEP 回路をクロック・ソースとして使用できます。</p>
GPTCON レジスタ・ビットの変更点		
12	T2CTRIPE	<p>T2CTRIP イネーブル: このビットは、アクティブな場合、タイマ 2 コンペア・トリップ (T2CTRIP) をイネーブルおよびディスエーブルにします。このビットは、EXTCONA(0)=1 の場合にのみアクティブです。EXTCONA(0)=0 の場合、このビットは予約されます。</p> <p>0 T2CTRIP はディスエーブルになります。T2CTRIP はタイマ 2 コンペア出力、GPTCON(5)、または PDPINT フラグ (EVIFRA(0)) には影響しません。</p> <p>1 T2CTRIP はイネーブルになります。T2CTRIP が Low の場合、タイマ 2 コンペア出力はハイ・インピーダンス状態になり、GPTCON(5) はゼロにリセットされ、PDPINT フラグ (EVIFRA(0)) は 1 に設定されます。</p>
11	T1CTRIPE	<p>T1CTRIP イネーブル: このビットは、アクティブな場合、タイマ 1 コンペア・トリップ (T1CTRIP) 入力をイネーブルまたはディスエーブルにします。このビットは、EXTCONA(0)=1 の場合にのみアクティブです。EXTCONA(0)=0 の場合、このビットは予約されます。</p> <p>0 T1CTRIP はディスエーブルになります。T1CTRIP はタイマ 1 コンペア出力、GPTCON(4)、または PDPINT フラグ (EVIFRA(0)) には影響しません。</p> <p>1 T1CTRIP はイネーブルになります。T1CTRIP が Low の場合、タイマ 1 コンペア出力はハイ・インピーダンス状態になり、GPTCON(4) はゼロにリセットされ、PDPINT フラグ (EVIFRA(0)) は 1 に設定されます。</p>
6	TCMPOE	<p>タイマ・コンペア出力イネーブル: このビットは、アクティブな場合、タイマ・コンペア出力をイネーブルまたはディスエーブルにします。このビットは、EXTCONA(0)=0 の場合にのみアクティブです。EXTCONA(0)=1 の場合、このビットは予約されます。このビットがアクティブな場合、PDPINT/T1CTRIP がどちらも Low で、EVIMRA(0)=1 が真であるときにゼロにリセットされます。</p> <p>0 タイマ・コンペア出力 T1/2PWM_T1/2CMP は、ハイ・インピーダンス状態にあります。</p> <p>1 タイマ・コンペア出力 T1/2PWM_T1/2CMP は、個々のタイマ比較ロジックによってドライブされます。</p>

表 5-1 レジスタ・ビットの変更点 (続き)

ビット	名前	説明
5	T2CMPOE	<p>タイマ 2 コンペア出力イネーブル：このビットは、アクティブな場合、EV タイマ 2 コンペア出力 (T2PWM_T2CMP) をイネーブルまたはディスエーブルにします。このビットは、EXTCONA(0)=1 の場合にのみアクティブです。EXTCONA(0)=0 の場合、このビットは予約されます。このビットがアクティブな場合、T2CTRIP が Low でイネーブルになっているときにゼロにリセットされます。</p> <p>0 タイマ 2 コンペア出力 (T2PWM_T2CMP) は、ハイ・インピーダンス状態にあります。</p> <p>1 タイマ 2 コンペア出力 (T2PWM_T2CMP) は、タイマ 2 コンペア・ロジックによってドライブされます。</p>
4	T1CMPOE	<p>タイマ 1 コンペア出力イネーブル：このビットは、アクティブな場合、EV タイマ 1 コンペア出力 (T1PWM_T1CMP) をイネーブルまたはディスエーブルにします。このビットは、EXTCONA(0)=1 の場合にのみアクティブです。EXTCONA(0)=0 の場合、このビットは予約されます。このビットがアクティブな場合、T1CTRIP が Low でイネーブルになっているときにゼロにリセットされます。</p> <p>0 タイマ 1 コンペア出力 (T1PWM_T1CMP) は、ハイ・インピーダンス状態にあります。</p> <p>1 タイマ 1 コンペア出力 (T1PWM_T1CMP) は、タイマ 1 コンペア・ロジックによってドライブされます。</p>
COMCON レジスタ・ビットの変更点		
9	FCMPOE	<p>フル・コンペア出力イネーブル：このビットは、アクティブな場合、すべてのフル・コンペア出力を同時にイネーブルまたはディスエーブルにします。このビットは、EXTCONA(0)=0 の場合にのみアクティブです。EXTCONA(0)=1 の場合、このビットは予約されます。このビットが、アクティブな場合、PDPINT/T1CTRIP がどちらも Low で、EVIFRA(0)=1 であるときにゼロにリセットされます。</p> <p>0 フル・コンペア出力 (PWM1/2/3/4/5/6) は、ハイ・インピーダンス状態にあります。</p> <p>1 フル・コンペア出力 (PWM1/2/3/4/5/6) は、対応する比較ロジックによってドライブされます。</p>
8	PDPINT	PDPINT ピンのステータス
7	FCMP3OE	<p>フル・コンペア 3 出力イネーブル：このビットは、アクティブな場合、フル・コンペア 3 出力 (PWM5/6) をイネーブルまたはディスエーブルにします。このビットは、EXTCON(0)=1 の場合にのみアクティブです。EXTCON(0)=0 の場合、このビットは予約されます。このビットがアクティブな場合、C3TRIP が Low でイネーブルになっているときにゼロにリセットされます。</p> <p>0 フル・コンペア 3 出力 (PWM5/6) は、ハイ・インピーダンス状態にあります。</p> <p>1 フル・コンペア 3 出力 (PWM5/6) は、フル・コンペア 3 ロジックによってドライブされます。</p>
6	FCMP2OE	<p>フル・コンペア 2 出力イネーブル：このビットは、アクティブな場合、フル・コンペア 2 出力 (PWM4/5) をイネーブルまたはディスエーブルにします。このビットは、EXTCON(0)=1 の場合にのみアクティブです。EXTCON(0)=0 の場合、このビットは予約されます。このビットがアクティブな場合、C2TRIP が Low でイネーブルになっているときにゼロにリセットされます。</p> <p>0 フル・コンペア 2 出力 (PWM4/5) は、ハイ・インピーダンス状態にあります。</p> <p>1 フル・コンペア 2 出力 (PWM4/5) は、フル・コンペア 2 ロジックによってドライブされます。</p>
5	FCMP1OE	<p>フル・コンペア 1 出力イネーブル：このビットは、アクティブな場合、フル・コンペア 1 出力 (PWM1/2) をイネーブルまたはディスエーブルにします。このビットは、EXTCON(0)=1 の場合にのみアクティブです。EXTCON(0)=0 の場合、このビットは予約されます。このビットがアクティブな場合、C1TRIP が Low でイネーブルになっているときにゼロにリセットされます。</p> <p>0 フル・コンペア 1 出力 (PWM1/2) は、ハイ・インピーダンス状態にあります。</p> <p>1 フル・コンペア 1 出力 (PWM1/2) は、フル・コンペア 1 ロジックによってドライブされます。</p>
4:3	予約	

表 5-1 レジスタ・ビットの変更点 (続き)

ビット	名前	説明
2	C3TRIPLE	<p>C3TRIP イネーブル：このビットは、アクティブな場合、フル・コンペア 3 トリップ (C3TRIP) をイネーブルまたはディスエーブルにします。このビットは、EXTCON(0)=1 の場合にのみアクティブです。EXTCON(0)=0 の場合、このビットは予約されます。</p> <p>0 C3TRIP はディスエーブルになります。C3TRIP はフル・コンペア 3 出力、COMCON(8)、または PDPINT フラグ (EVIFRA(0)) には影響しません。</p> <p>1 C3TRIP はイネーブルになります。C3TRIP が Low の場合、両方のフル・コンペア 3 出力がハイ・インピーダンス状態になり、COMCON(8) はゼロにリセットされ、PDPINT フラグ (EVIFRA(0)) は 1 にセットされます。</p>
1	C2TRIPLE	<p>C2TRIP イネーブル：このビットは、アクティブな場合、フル・コンペア 2 トリップ (C2TRIP) をイネーブルまたはディスエーブルにします。このビットは、EXTCON(0)=1 の場合にのみアクティブです。EXTCON(0)=0 の場合、このビットは予約されます。</p> <p>0 C2TRIP はディスエーブルになります。C2TRIP はフル・コンペア 2 出力、COMCON(7)、または PDPINT フラグ (EVIFRA(0)) には影響しません。</p> <p>1 C2TRIP はイネーブルになります。C2TRIP が Low の場合、両方のフル・コンペア 2 出力がハイ・インピーダンス状態になり、COMCON(7) はゼロにリセットされ、PDPINT フラグ (EVIFRA(0)) は 1 にセットされます。</p>
0	C1TRIPLE	<p>C1TRIP イネーブル：このビットは、アクティブな場合、フル・コンペア 1 トリップ (C1TRIP) をイネーブルまたはディスエーブルにします。このビットは、EXTCON(0)=1 の場合にのみアクティブです。EXTCON(0)=0 の場合、このビットは予約されます。</p> <p>0 C1TRIP はディスエーブルになります。C1TRIP はフル・コンペア 1 出力、COMCON(6)、または PDPINT フラグ (EVIFRA(0)) には影響しません。</p> <p>1 C1TRIP はイネーブルになります。C1TRIP が Low の場合、両方のフル・コンペア 1 出力がハイ・インピーダンス状態になり、COMCON(6) はゼロにリセットされ、PDPINT フラグ (EVIFRA(0)) は 1 にセットされます。</p>

CAPCON レジスタ・ビットの変更点

13:14	CAP12EN	<p>キャプチャ 1 および 2 イネーブル：</p> <p>00 キャプチャ 1 および 2 をディスエーブルにする。FIFO スタックは内容を維持する</p> <p>01 キャプチャ 1 および 2 をイネーブルにする</p> <p>10 予約</p> <p>11 予約</p> <p>240x ユーザーズ・ガイドの初期の版では、CAPCON(13:14) は QEP 回路のイネーブルとディスエーブルも制御すると間違っていました。</p>
-------	---------	--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------

EVIFRA レジスタ・ビットの変更点

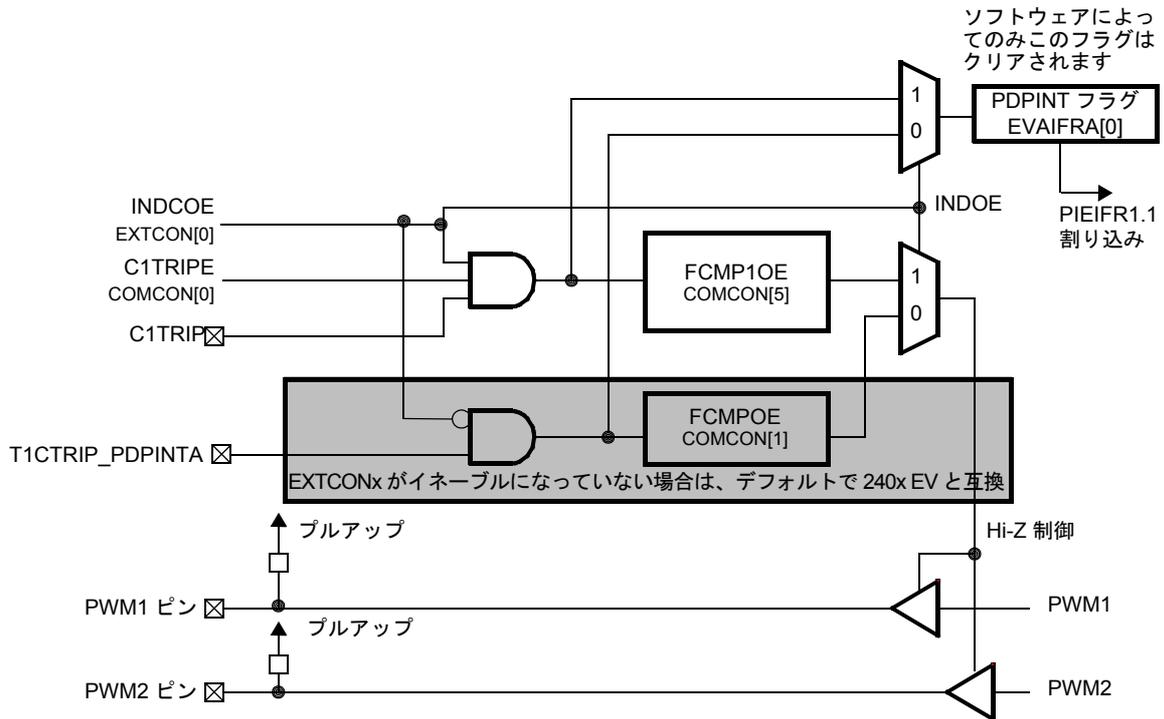
0	PDPINT	<p>パワー・ドライブ保護割り込みフラグ：このビットは、EXTCON(0) に依存します。EXTCON(0)=0 の場合、240x と同じままになります。EXTCON(0)=1 の場合は、いずれかのコンペア・トリップが Low でイネーブルになっていると、このビットがセットされます。</p>
---	--------	----------------------------------------------------------------------------------------------------------------------------------------------------

EVIMRA レジスタ・ビットの変更点

0	PDPINT	<p>PDPINT イネーブル：このビットは、EXTCON(0) に依存します。EXTCON(0)=0 の場合、240x と同じままになります。つまり、このビットは、PDP 割り込みと、コンペア出力バッファへの PDPINT ピンの直接パスの両方をイネーブルまたはディスエーブルにします。EXTCON(0)=1 の場合、このビットは単に PDP 割り込みイネーブルおよびディスエーブル・ビットになります。</p>
---	--------	----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------

EXTCONx は、追加 / 変更された機能をイネーブルおよびディスエーブルにするための追加制御レジスタです。したがって、ビット説明の全セットが新規です。説明については、5-33 ページの図 5-29 にあるレジスタを参照してください。5-38 ページの図 5-30 と 5-39 ページの図 5-31 は、EXTCONx レジスタを使用した Hi-Z 制御を示しています。

図 5-30 PWM Hi-Z 制御のための EXTCONx レジスタ・ビット制御

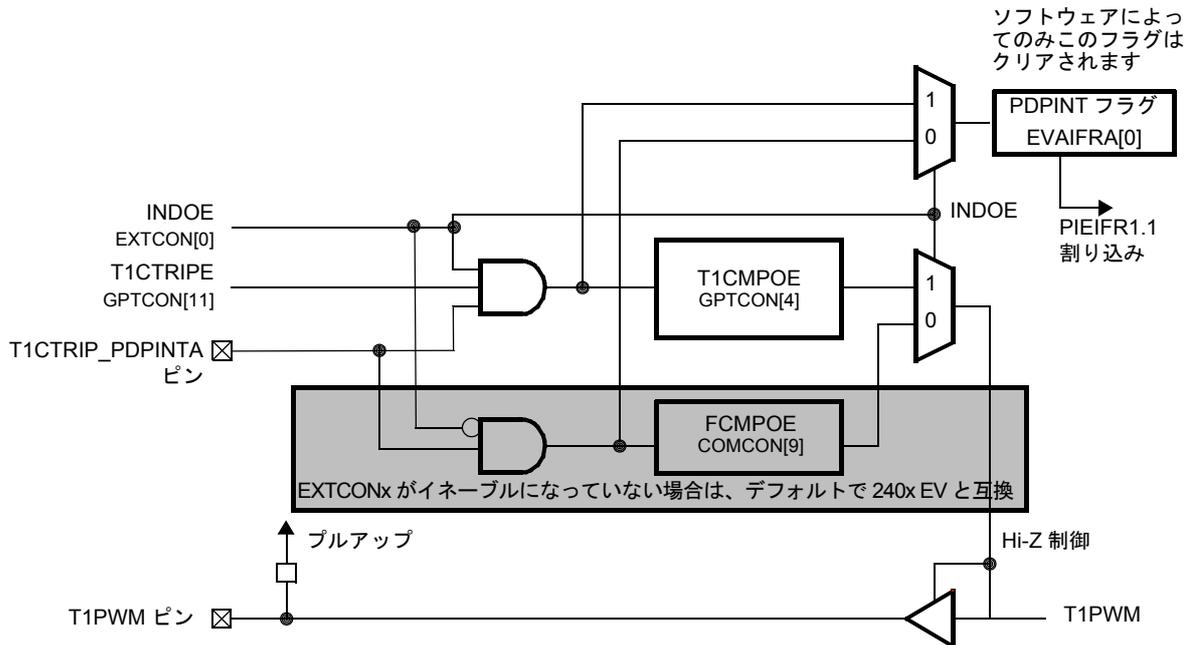


注： この図は Hi-Z 制御の論理表現であり、特定のデバイスにおける実際の回路を反映しているわけではありません。

制御シーケンス	INDOE	C1TRIPE	C1TRIP ピン	FCMP1OE ビット	PDPINT フラグのみ	Hi-Z 制御	PWM
個々の PWM 制御に対してイネーブルにされた EXTCONx ビット	1	1	1	1	0	1	PWM シグナル
C1TRIP ピン上の Low パルス †	1	1	0				
Hi-Z イネーブルのために FCMP1OE がクリアされる	1	1	1	0	1	0	Hi-Z
FCMP1OE=1 を設定して、Hi-Z 制御を取り除く	1	1	1	1	0	1	PWM シグナル

- 注：
- 表内の濃く塗られたセルは、T1CTRIPE ピン上の Low パルスのために影響を受ける変化を示しています。
 - FCMP2OE EXTCON_bit0_INDOE=0 の場合、これは 240x EV 互換モードでアクティブです。これは、すべての PWM ペア (EVA - PWM1/2, PWM 3/4, PWM 5/6, T1/T2 PWM) についてハイ・インピーダンス (Hi-Z) モードを制御する単一ビットです。
 - FCMP1OE EXTCON_bit0_INDOE=1 の場合、これは EV の拡張モードでアクティブです。このビットは、PWM 1/2 ペアに対してのみハイ・インピーダンス・モードを制御します。FCMP2OE、FCMP3OE は、PWM 3/4、PWM 5/6 ペアを制御します。EVB は、同様の独立した PWM ハイ・インピーダンス・モード制御をレジスタ・セットに備えています。
 - T1CTRIPE_PDPINTA トリップ制御は、PWM Hi-Z 制御バッファへの直接制御バスと FCMP2OE ビット制御ロジックを単独で備えています。C1TRIP/C2TRIP/C3TRIP ピンには、Hi-Z バッファへの直接制御バスはありません。これらのピンは、それぞれの FCMPxOE ビットに至ります。
- †パルス幅は、このピン上の入力フィルタ・モジュール (Qualifier) に基づいています。

図 5-31 T1/T2 PWM Hi-Z 制御のための EXTCONx レジスタ・ビット制御



注： この図は Hi-Z 制御の論理表現であり、特定のデバイスにおける実際の回路を反映しているわけではありません。

制御シーケンス	INDOE	T1CTRIPE	T1CTRIP ピン	T1CMPOE ビット	PDPINT フラグのみ	Hi-Z 制御	PWM
個々の PWM 制御に対してイネーブルにされた EXTCONx ビット	1	1	1	1	0	1	T1PWM シグナル
T1CTRIP ピン上の Low パルス †	1	1					
ハイ・インピーダンス (Hi-Z) イネーブルのために T1CMPOE がクリアされる	1	1	1	0	1	0	Hi-Z
T1CMPOE=1 を設定して、Hi-Z 制御を取り除く	1	1	1	1	0	1	T1PWM シグナル

- 注： 1) 表内の濃く塗られたセルは、T1CTRIP ピン上の Low パルスのために影響を受ける変化を示しています。
- 2) FCMPOE EXTCON_bit0_INDOE=0 の場合、これは 240x™ EV 互換モードでアクティブです。これは、すべての PWM ペア (EVA - PWM1/2、PWM 3/4、PWM 5/6、T1/T2 PWM) についてハイ・インピーダンス・モードを制御する単一ビットです。
- 3) T1CMPOE EXTCON_bit0_INDOE=1 の場合、これは EV の拡張モードでアクティブです。このビットは、T1PWM ピンに対してのみハイ・インピーダンス・モードを制御します。T1CMPOE、T2CMPOE は、T1PWM、T2PWM ピンを制御します。EVB は、同様の独立した T3PWM/T4PWM ハイ・インピーダンス・モード制御をレジスタ・セットに備えています。
- † パルス幅は、このピン上の入力フィルタ・モジュール (Qualifier) に基づいています。

240x はテキサス・インスツルメントの商標です。

以下余白

EV レジスタ一覧

図 A-1 タイマ x カウンタ・レジスタ (TxCNT、x=1、2、3、または4)

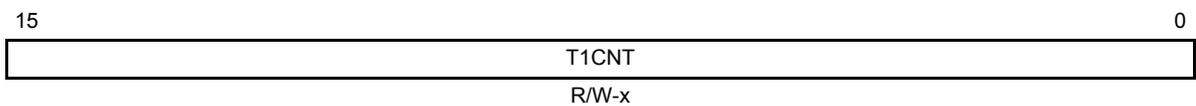


図 A-2 タイマ x コンペア・レジスタ (TxCMPR、x=1、2、3、または4)

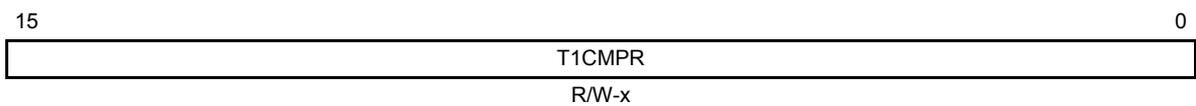
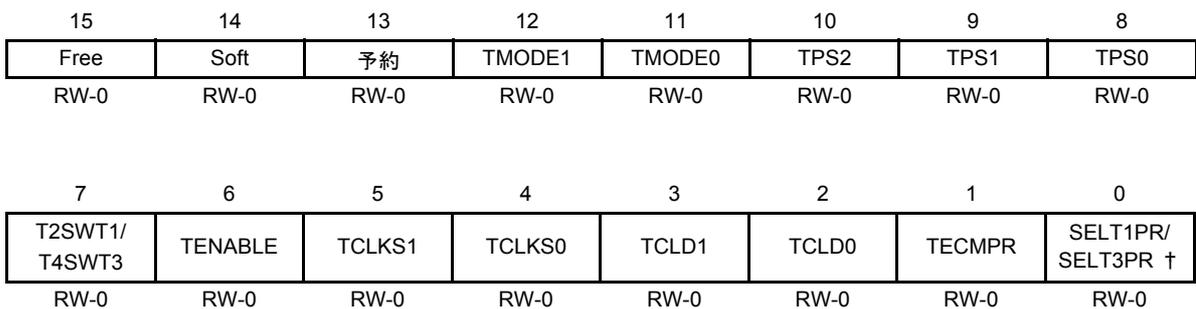


図 A-3 タイマ x 周期レジスタ (TxPR、x=1、2、3、または4)



図 A-4 タイマ x 制御レジスタ (TxCON、x=1、2、3、または4)



凡例： R = リード・アクセス、W = ライト・アクセス、-0 = リセット後の値
 † T1CON および T3CON では予約済み

図 A-5 GP タイマ制御レジスタ A (GPTCONA) - アドレス 7400h

15	14	13	12	11	10	9	8
予約	T2STAT	T1STAT	T2CTRIPE	T1CTRIPE	T2TOADC		T1TOADC
R-0	R-1	R-1	R/W-1	R/W-1	R/W-0		R/W-0
7	6	5	4	3	2	1	0
T1TOADC	TCMPOE	T2CMPOE	T1CMPOE	T2PIN		T1PIN	
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0		R/W-0	

注: R = リード・アクセス、W = ライト・アクセス、-n = リセット後の値

図 A-6 GP タイマ制御レジスタ B (GPTCONB) - アドレス 7500h

15	14	13	12	11	10	9	8
予約	T4STAT	T3STAT	T4CTRIPE	T3CTRIPE	T4TOADC		T3TOADC
R/W-0	R-1	R-1	R/W-1	R/W-1	R/W-0		R/W-0
7	6	5	4	3	2	1	0
T3TOADC	TCMPOE	T4CMPOE	T3CMPOE	T4PIN		T3PIN	
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0		R/W-0	

図 A-7 コンペア制御 A (COMCONA) レジスタ - アドレス 7411h

15	14	13	12	11	10	9	8
CENABLE	CLD1	CLD0	SVENABLE	ACTRLD1	ACTRLD0	FCMPOE	PDPINTA ステータス
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R-0
7	6	5	4	3	2	1	0
FCMP3OE	FCMP2OE	FCMP1OE	予約	予約	C3TRIPE	C2TRIPE	C1TRIPE
R/W-0	R/W-0	R/W-0	R-0	R-0	R/W-1	R/W-1	R/W-1

図 A-8 コンペア制御 B (COMCONB) レジスタ - アドレス 7511h

15	14	13	12	11	10	9	8
CENABLE	CLD1	CLD0	SVENABLE	ACTRLD1	ACTRLD0	FCMPOE	PDPINTB ステータス
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R-0
7	6	5	4	3	2	1	0
FCMP6OE	FCMP5OE	FCMP4OE	予約	予約	C6TRIPE	C5TRIPE	C4TRIPE
R/W-0	R/W-0	R/W-0	R-0	R-0	R/W-1	R/W-1	R/W-1

凡例: R = リード、W = ライト、-n = リセット値

注: 濃く塗られた領域は、EXTCONA のビット 0=1 の場合にのみビットがアクティブであることを示します。

図A-9 コンペア・アクション制御レジスタA (ACTRA) - アドレス 7413h

15	14	13	12	11	10	9	8
SVRDIR	D2	D1	D0	CMP6ACT1	CMP6ACT0	CMP5ACT1	CMP5ACT0
RW-0							
7	6	5	4	3	2	1	0
CMP4ACT1	CMP4ACT0	CMP3ACT1	CMP3ACT0	CMP2ACT1	CMP2ACT0	CMP1ACT1	CMP1ACT0
RW-0							

図A-10 コンペア・アクション制御レジスタB (ACTRB) - アドレス 7513h

15	14	13	12	11	10	9	8
SVRDIR	D2	D1	D0	CMP12ACT1	CMP12ACT0	CMP11ACT1	CMP11ACT0
RW-0	RW-0	RW-0	RW-0	RW-0	RW-0	RW-0	RW-0
7	6	5	4	3	2	1	0
CMP10ACT1	CMP10ACT0	CMP9ACT1	CMP9ACT0	CMP8ACT1	CMP8ACT0	CMP7ACT1	CMP7ACT0
RW-0	RW-0	RW-0	RW-0	RW-0	RW-0	RW-0	RW-0

注： R = リード・アクセス、W = ライト・アクセス、-0 = リセット後の値

図A-11 キャプチャ制御レジスタA (CAPCONA) - アドレス 7420h

15	14	13	12	11	10	9	8
CAPRES	CAP12EN		CAP3EN	予約	CAP3TSEL	CAP12TSEL	CAP3TOADC
RW-0	RW-0		RW-0	RW-0	RW-0	RW-0	RW-0
7	6	5	4	3	2	1	0
CAP1EDGE		CAP2EDGE		CAP3EDGE		予約	
RW-0		RW-0		RW-0		RW-0	

注： R = リード・アクセス、W = ライト・アクセス、-0 = リセット後の値

図A-12 キャプチャ制御レジスタB (CAPCONB) - アドレス 7520h

15	14	13	12	11	10	9	8
CAPRES	CAP45EN		CAP6EN	予約	CAP6TSEL	CAP45TSEL	CAP6TOADC
R/W-0	R/W-0		R/W-0	R-0	R/W-0	R/W-0	R/W-0
7	6	5	4	3	2	1	0
CAP4EDGE		CAP5EDGE		CAP6EDGE		予約	
R/W-0		R/W-0		R/W-0		R/W-0	

注： R = リード・アクセス、W = ライト・アクセス、-0 = リセット後の値

図A-13 キャプチャFIFOステータス・レジスタA (CAPFIFOA) - アドレス 7422h

15	14	13	12	11	10	9	8	7	0
予約		CAP3FIFO		CAP2FIFO		CAP1FIFO		予約	
R-0		R/W-0		R/W-0		R/W-0		R-0	

注: R = リード・アクセス、W = ライト・アクセス、-0 = リセット後の値

図A-14 キャプチャFIFOステータス・レジスタB (CAPFIFOB) - アドレス 7522h

15	14	13	12	11	10	9	8	7	0
予約		CAP6FIFO		CAP5FIFO		CAP4FIFO		予約	
R-0		R/W-0		R/W-0		R/W-0		R-0	

注: R = リード・アクセス、W = ライト・アクセス、-0 = リセット後の値

図A-15 デッドバンド・タイマ制御レジスタA (DBTCONA) - アドレス xx15h

15					12	11	10	9	8
予約					DBT3	DBT2	DBT1	DBT0	
R-0					R/W-0				
		7	6	5	4	3	2	1	0
EDBT3		EDBT2		EDBT1		DBTPS2	DBTPS1	DBTS0	予約
R/W-0					R-0				

注: R = リード・アクセス、W = ライト・アクセス、-0 = リセット後の値

図A-16 デッドバンド・タイマ制御レジスタB (DBTCONB) - アドレス xx15h

15					12	11	10	9	8
予約					DBT3	DBT2	DBT1	DBT0	
R-0					R/W-0				
		7	6	5	4	3	2	1	0
EDBT3		EDBT2		EDBT1		DBTPS2	DBTPS1	DBTS0	予約
R/W-0					R-0				

注: R = リード・アクセス、W = ライト・アクセス、-0 = リセット後の値

図 A-17 EVA 割り込みフラグ・レジスタ A (EVAIFRA) - アドレス 742Fh

15				10		9	8	
予約				TIOFINT FLAG	T1UFINT FLAG	T1CINT FLAG		
R-0				R/W-0	R/W-0	R/W-0		
7		6	5	4	3	2	1	0
T1PINT FLAG	予約			CMP3INT FLAG	CMP2INT FLAG	CMP1INT FLAG	PDPINTA FLAG	
R/W-0	R-0			R/W-0	R/W-0	R/W-0	R/W-0	

注： R = リード・アクセス、W = ライト・アクセス、-n = リセット後の値

図 A-18 EVA 割り込みフラグ・レジスタ B (EVAIFRB) - アドレス 7430h

15					8				
予約									
R/W-0									
7				4	3	2	1	0	
予約				T2OFINT FLAG	T2UFINT FLAG	T2CINT FLAG	T2PINT FLAG		
R-0				RW1C-0	RW1C-0	RW1C-0	RW1C-0		

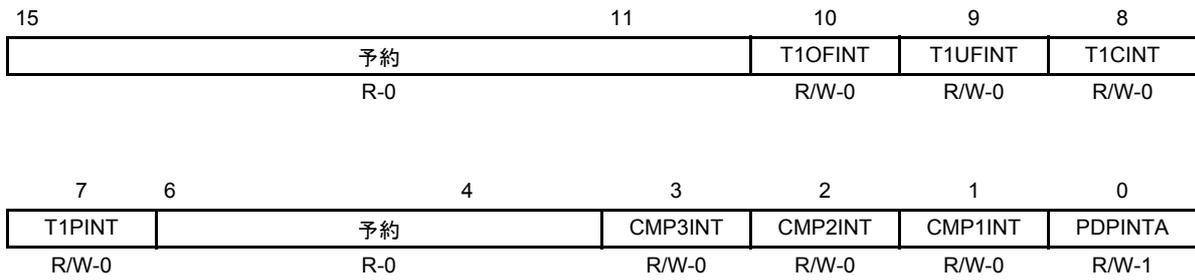
注： R = リード・アクセス、W1C = 1 をライトしてクリア、-0 = リセット後の値

図 A-19 EVA 割り込みフラグ・レジスタ C (EVAIFRC) - アドレス 7431h

15					8				
予約									
R-0									
7			3		2	1	0		
予約			CAP3FINT FLAG		CAP2FINT FLAG	CAP1FINT FLAG			
R-0			RW1C-0		RW1C-0	RW1C-0			

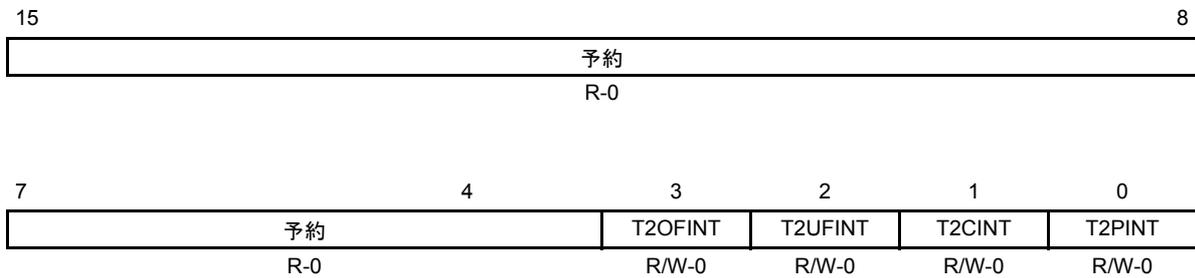
注： R = リード・アクセス、W1C = 1 をライトしてクリア、-0 = リセット後の値

図 A-20 EVA 割り込みマスク・レジスタ A (EVAIMRA) - アドレス 742Ch



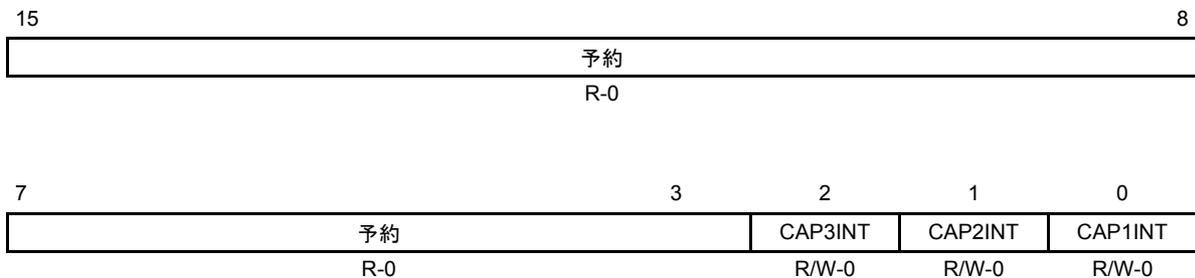
注: R = リード・アクセス、W = ライト・アクセス、-n = リセット後の値

図 A-21 EVA 割り込みマスク・レジスタ B (EVAIMRB) - アドレス 742Dh



注: R = リード・アクセス、W = ライト・アクセス、-0 = リセット後の値

図 A-22 EVA 割り込みマスク・レジスタ C (EVAIMRC) - アドレス 742Eh



注: R = リード・アクセス、W = ライト・アクセス、-0 = リセット後の値

図 A-23 EVB 割り込みフラグ・レジスタ A (EVBIFRA) - アドレス 752Fh

15					11	10	9	8		
予約					T3OFINT FLAG	T3UFINT FLAG	T3CINT FLAG			
R-0					RW1C-0	RW1C-0	RW1C-0			
		7	6			4	3	2	1	0
T3PINT FLAG	予約				CMP6INT	CMP5INT	CMP4INT	PDPINTB		
RW1C-0	R-0				RW1C-0	RW1C-0	RW1C-0	RW1C-0	RW1C-0	

注： R = リード・アクセス、W1C = 1 をライトしてクリア、-0 = リセット後の値

図 A-24 EVB 割り込みフラグ・レジスタ B (EVBIFRB) - アドレス 7530h

15									8	
予約										
R-0										
			7			4	3	2	1	0
予約					T4OFINT FLAG	T4UFINT FLAG	T4CINT FLAG	T4PINT FLAG		
R-0					RW1C-0	RW1C-0	RW1C-0	RW1C-0	RW1C-0	

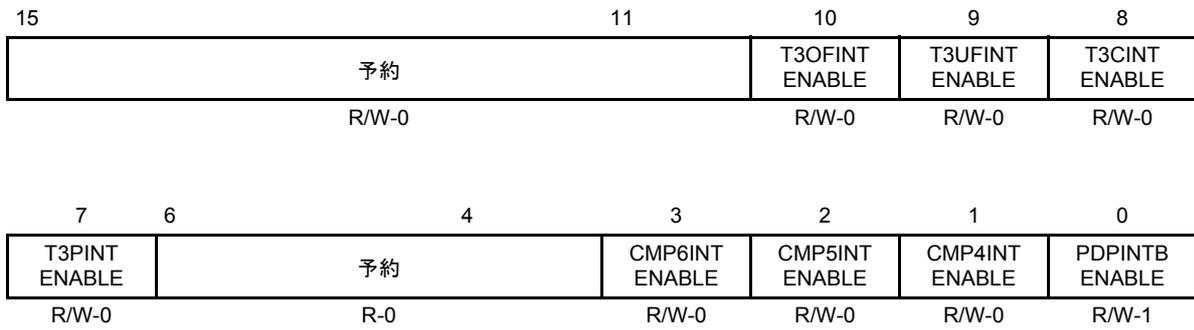
注： R = リード・アクセス、W1C = 1 をライトしてクリア、-0 = リセット後の値

図 A-25 EVB 割り込みフラグ・レジスタ C (EVBIFRC) - アドレス 7531h

15									8
予約									
R-0									
			7			3	2	1	0
予約					CAP6INT FLAG	CAP5INT FLAG	CAP4INT FLAG		
R-0					RW1C-0	RW1C-0	RW1C-0	RW1C-0	

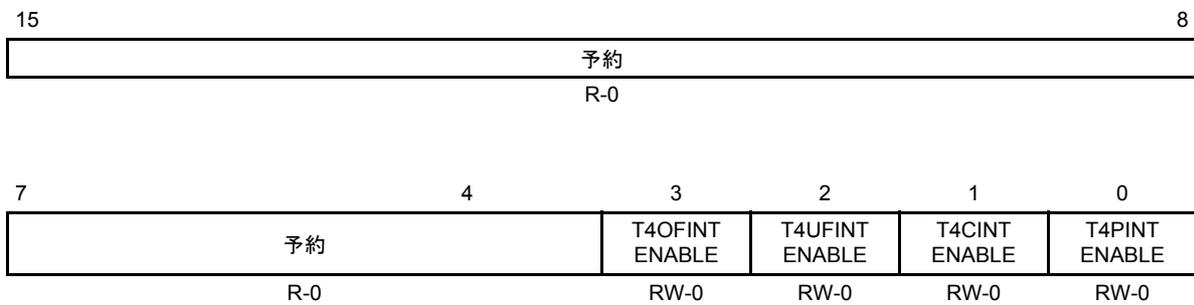
注： R = リード・アクセス、W1C = 1 をライトしてクリア、-0 = リセット後の値

図A-26 EVB 割り込みマスク・レジスタ A (EVBIMRA) - アドレス 752Ch



注: R = リード・アクセス、W = ライト・アクセス、-n = リセット後の値

図A-27 EVB 割り込みマスク・レジスタ B (EVBIMRB) - アドレス 752Dh



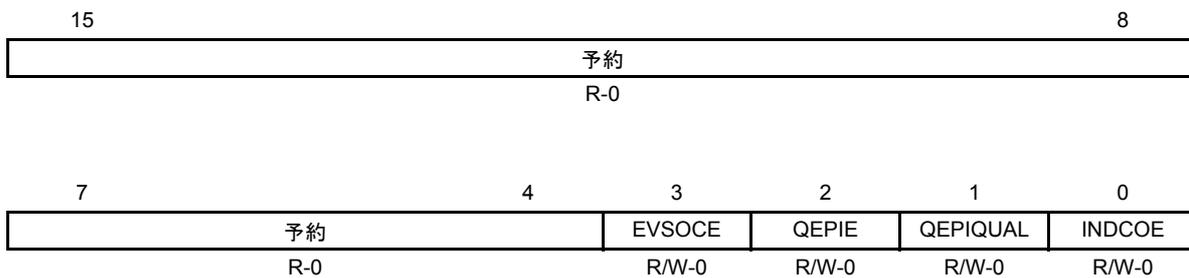
注: R = リード・アクセス、W = ライト・アクセス、-0 = リセット後の値

図A-28 EVB 割り込みマスク・レジスタ C (EVBIMRC) - アドレス 752Eh



注: R = リード・アクセス、W = ライト・アクセス、-n = リセット後の値

図 A-29 EV 拡張制御レジスタ A (EXTCONA) - アドレス 7409h



以下余白