

同期整流制御内蔵、グリーン・モード、位相シフト・フルブリッジ・コントローラ

特長

- 強化された広帯域の共振ZVS(ゼロ電圧スイッチング)機能
- 同期整流器(SR)の直接制御
- 軽負荷時の効率管理：
 - バースト・モード動作
 - 非連続導通モード(DCM)、動的SRオン/オフ制御(スレッシュホールドをプログラミング可能)
 - プログラミング可能な適応型遅延
- プログラミング可能なスロープ補償による平均/ピーク電流モード制御、および電圧モード制御
- 閉ループ・ソフト・スタートおよびイネーブル機能
- プログラミング可能なスイッチング周波数：最大1MHz、双方向同期
- サイクル毎の電流制限保護(±3%)、ヒカップ・モードをサポート
- スタートアップ電流：150μA
- V_{DD}低電圧ロックアウト
- 広い温度範囲：-40°C~125°C

アプリケーション

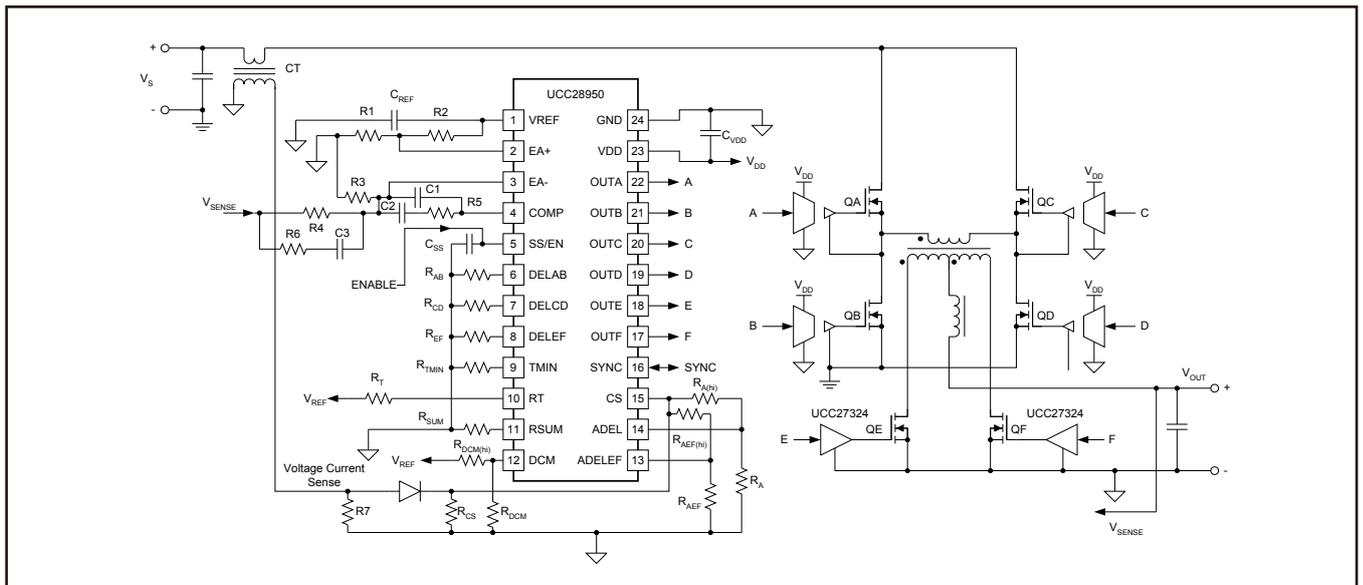
- 位相シフト・フルブリッジ・コンバータ
- サーバ、通信機器用電源
- 産業機器用電源システム
- 高密度電源アーキテクチャ
- 太陽光発電用インバータ、電気自動車

概要

UCC28950強化型位相シフト・コントローラは、業界標準となっているTexas InstrumentsのUCCx895位相シフト・コントローラ・ファミリーを基に、今日の高性能電源システムで最高クラスの効率を提供できるよう強化がなされています。UCC28950は、フルブリッジの高度な制御に加えて、同期整流出力段のアクティブな制御も行います。

1次側の信号では遅延時間がプログラミング可能で、広い負荷電流および入力電圧範囲にわたってZVS動作が保証されるとともに、負荷電流によって2次側同期整流器のスイッチング遅延が自然に調整されることで、システム全体の効率が最大限に向上します。また、UCC28950には、バースト・モードおよび動的SRオン/オフ制御を含む複数の軽負荷管理機能があり、ZVS動

UCC28950の標準的なアプリケーション



この資料は、Texas Instruments Incorporated(TI)が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ(日本TI)が英文から和文へ翻訳して作成したものです。資料によっては正規英語版資料の更新に対応していないものがあります。日本TIによる和文資料は、あくまでもTI正規英語版をご理解頂くための補助的参考資料としてご使用下さい。製品のご検討およびご採用にあたりましては必ず正規英語版の最新資料をご確認下さい。TIおよび日本TIは、正規英語版にて更新の情報を提供しているにもかかわらず、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。

作がずっと軽い負荷にまで拡張されます。動的SRオン/オフ制御は、非連続電流モード (DCM) 動作と他のモードとの間の遷移時に適用されます。

さらに、UCC28950では、ピーク電流および電圧モード制御、プログラミング可能なスイッチング周波数 (最大1MHz)、およびサイクル毎の電流制限、UVLO、過熱シャットダウンなど多様な保護機能がサポートされています。2つのコンバータ間で、90°位相シフトのインタリーブ同期動作を簡単に実現できます。

UCC28950は、TSSOP-24パッケージで供給されます。



静電気放電対策

これらのデバイスは、限定的なESD静電破壊保護機能を内蔵しています。保存時または取り扱い時に、MOSゲートに対する静電破壊を防止するために、リード線どうしを短絡しておくか、デバイスを導電性のフォームに入れる必要があります。

ご発注の手引き

温度範囲、 $T_A = T_J$	パッケージ	テープ/リール数量	部品番号
-40°C ~ 125°C	プラスチック24ピンTSSOP (PW)	250	UCC28950PW
		2000	UCC28950PWR

絶対最大定格

動作温度範囲内 (特に記述のない限り) ⁽¹⁾ ⁽²⁾

PARAMETER	VALUE	UNIT
Input supply voltage range, V_{DD} ⁽³⁾	-0.4 ~ 20.0	V
OUTA, OUTB, OUTC, OUTD, OUTE, OUTF	-0.4 ~ $V_{DD} + 0.4$	
Inputs voltages on DELAB, DELCD, DELEF, SS/EN, DCM, TMIN, RT, SYNC, RSUM, EA+, EA-, COMP, CS, ADEL, ADELEF	-0.4 ~ $V_{REF} + 0.4$	
Output voltage on V_{REF}	-0.4 ~ 5.6	
ESD rating, HBM	2 k	
ESD rating, CDM	500	
Continuous total power dissipation	定格消費電力を参照	
Operating virtual junction temperature range, T_J	-40 ~ 150	°C
Operating ambient temperature range, T_A	-40 ~ 125	
Storage temperature, T_{stg}	-65 ~ 150	
Lead temperature (soldering, 10 sec.)	300	

- 絶対最大定格以上のストレスは、致命的なダメージを製品に与えることがあります。これはストレスの定格のみについて示しており、このデータシートの「推奨動作条件」に示された値を越える状態での本製品の機能動作は含まれていません。絶対最大定格の状態に長時間置くと、本製品の信頼性に影響を与えることがあります。
- 特に指定のない限り、すべての電圧値はGNDを基準にしています。電流は、指定されたピンに流れ込む方向が正、ピンから流れ出る方向が負です。熱に関するパッケージの制限および考慮事項については、データブックの「パッケージ」セクションを参照してください。
- バッテリー・バック電圧が16Vを超えることが想定される場合には、バッテリー・バックとVFBの間に直列抵抗が必要です。通常は、分圧抵抗回路の上側の抵抗がその役割を果限および考慮事項については、データブックの「パッケージ」セクションを参照してください。

定格消費電力 ⁽¹⁾

PACKAGE	$R_{\theta JC}$ (°C/W)	$R_{\theta JA}$ (°C/W)	DERATING FACTOR	POWER RATING		
			ABOVE $T_A = 25^\circ\text{C}$	$T_A < 25^\circ\text{C}$	$T_A = 70^\circ\text{C}$	$T_A = 85^\circ\text{C}$
PW	18.5	89.3	11.2 mW/°C	1.12 W	0.615 W	0.448 W

- これらの熱データは、標準的なJEDEC試験条件で測定されたものであり、異なるパッケージ間の熱特性の比較に利用できます。実際の設計での冷却条件および熱インピーダンス $R_{\theta JA}$ は、それぞれに固有です。

推奨動作条件

動作温度範囲内(特に記述のない限り)

	MIN	TYP	MAX	単位
Supply voltage range, V_{DD}	8	12	17	V
Operating junction temperature range	-40		125	°C
Converter switching frequency setting range, $F_{SW(nom)}$	50		1000	kHz
Programmable delay range between OUTA, OUTB and OUTC, OUTD set by resistors DELAB and DELCD and parameter $K_A^{(1)}$	30		1000	ns
Programmable delay range between OUTA, OUTF and OUTB, OUTE set by resistor DELEF, and parameter $K_{EF}^{(1)}$	30		1400	
Programmable DCM range as percentage of voltage at CS ⁽¹⁾	5%		30%	
Programmable T_{MIN} range	100		800	ns

(1) 特性による確認のみです。

電気的特性⁽¹⁾

$V_{DD} = 12V$, $T_A = T_J = -40^{\circ}C \sim 125^{\circ}C$, $C_{VDD} = 1\mu F$, $C_{REF} = 1\mu F$, $R_{AB} = 22.6k\Omega$, $R_{CD} = 22.6k\Omega$, $R_{EF} = 13.3k\Omega$, $R_{SUM} = 124k\Omega$, $R_{MIN} = 88.7k\Omega$, RTピンと5V電源の間に $R_T = 59k\Omega$ を接続して $F_{SW} = 100kHz$ ($F_{OSC} = 200kHz$) に設定(特に記述のない限り)。部品表記はすべて標準アプリケーション図に従っています。

PARAMETER		TEST CONDITION	MIN	TYP	MAX	単位
Under Voltage Lockout (UVLO)						
UVLO_RTH	Start threshold		6.75	7.3	7.9	V
UVLO_FTH	Minimum operating voltage after start		6.15	6.7	7.2	
UVLO_HYST	Hysteresis		0.53	0.6	0.75	
Supply Currents						
$I_{DD(off)}$	Startup current	V_{DD} is 5.2 V		150	270	μA
I_{DD}	Operating supply current			5	10	mA
VREF Output Voltage						
V_{REF}	VREF total output range	$0 \leq I_R \leq 20$ mA; $V_{DD} =$ from 8 V to 17 V	4.925	5	5.075	V
ISCC	Short circuit current	$V_{REF} = 0$ V	-53		-23	mA
Switching Frequency (\square of internal oscillator frequency F_{OSC})						
$F_{SW(nom)}$	Total range		92	100	108	kHz
D_{MAX}	Maximum duty cycle			95%	97%	
Synchronization						
PH_{SYNC}	Total range	$R_T = 59$ k Ω between RT and GND; Input pulses 200 kHz, D = 0.5 at SYNC	85	90	95	°PH
F_{SYNC}	Total range	$R_T = 59$ k Ω between RT and 5 V; $-40^{\circ}C \leq T_J \leq 125^{\circ}C$	180	200	220	kHz
T_{PW}	Pulse width		2.2	2.5	2.8	μs

(1) $T_A = 25^{\circ}C$ での標準値

電気的特性⁽¹⁾

$V_{DD} = 12V$ 、 $T_A = T_J = -40^{\circ}C \sim 125^{\circ}C$ 、 $C_{VDD} = 1\mu F$ 、 $C_{REF} = 1\mu F$ 、 $R_{AB} = 22.6k\Omega$ 、 $R_{CD} = 22.6k\Omega$ 、 $R_{EF} = 13.3k\Omega$ 、 $R_{SUM} = 124k\Omega$ 、 $R_{MIN} = 88.7k\Omega$ 、RTピンと5V電源の間に $R_T = 59k\Omega$ を接続して $F_{SW} = 100kHz$ ($F_{OSC} = 200kHz$)に設定 (特に記述のない限り)。部品表記はすべて標準アプリケーション図に従っています。

PARAMETER		TEST CONDITION	MIN	TYP	MAX	単位
Error Amplifier						
V_{ICM}	Common mode input voltage range	V_{ICM} range ensures parameters, the functionality ensured for $3.6 V < V_{ICM} < V_{REF} + 0.4 V$, and $-0.4 V < V_{ICM} < 0.5V$	0.5		3.6	V
V_{IO}	Offset voltage		-7		7	mV
I_{BIAS}	Input bias current		-1		1	μA
EA_{HIGH}	High-level output voltage	$(EA+) - (EA-) = 500 mV$, $I_{EAOUT} = -0.5 mA$	3.9	4.25		V
EA_{LOW}	Low-level output voltage	$(EA+) - (EA-) = -500 mV$, $I_{EAOUT} = 0.5 mA$		0.25	0.35	
I_{SOURCE}	Error amplifier source current		-8	-3.75	-0.5	mA
I_{SINK}	Error amplifier sink current		2.7	4.6	5.75	
I_{VOL}	Open-loop dc gain			100		dB
GBW	Unity gain bandwidth ⁽²⁾			3		MHz
Cycle-by-Cycle Current Limit						
V_{CS_LIM}	CS pin cycle-by-cycle threshold		1.94	2	2.06	V
T_{CS}	Propagation delay from CS to OUTC and OUTD outputs	Input pulse between CS and GND from zero to 2.5V		100		ns
Internal Hiccup Mode Settings						
I_{DS}	Discharge current to set cycle-by-cycle current limit duration	$CS = 2.5 V$, $V_{SS} = 4 V$	15	20	25	μA
V_{HCC}	Hiccup OFF Time threshold		3.2	3.6	4.2	V
I_{HCC}	Discharge current to set Hiccup Mode OFF Time		1.90	2.55	3.2	μA
Soft Start/Enable						
I_{SS}	Charge current	$V_{SS} = 0 V$	20	25	30	μA
V_{SS_STD}	Shutdown/restart/reset threshold		0.25	0.50	0.70	V
V_{SS_PU}	Pull up threshold		3.3	3.7	4.3	
V_{SS_CL}	Clamp voltage		4.20	4.65	4.95	

(2) 特性による確認のみです。

電気的特性⁽¹⁾

$V_{DD} = 12V$ 、 $T_A = T_J = -40^{\circ}C \sim 125^{\circ}C$ 、 $C_{VDD} = 1\mu F$ 、 $C_{REF} = 1\mu F$ 、 $R_{AB} = 22.6k\Omega$ 、 $R_{CD} = 22.6k\Omega$ 、 $R_{EF} = 13.3k\Omega$ 、 $R_{SUM} = 124k\Omega$ 、 $R_{MIN} = 88.7k\Omega$ 、RTピンと5V電源の間に $R_T = 59k\Omega$ を接続して $F_{SW} = 100kHz$ ($F_{OSC} = 200kHz$)に設定 (特に記述のない限り)。部品表記はすべて標準アプリケーション図に従っています。

PARAMETER		TEST CONDITION	MIN	TYP	MAX	単位
Programmable Delay Time Set Accuracy and Range⁽³⁾⁽⁴⁾⁽⁵⁾⁽⁶⁾⁽⁷⁾						
T_{ABSET1}	Short delay time set accuracy between OUTA and OUTB	CS = ADEL = ADELEF = 1.8 V	32	45	56	ns
T_{ABSET2}	Long delay time set accuracy between OUTA and OUTB	CS = ADEL = ADELEF = 0.2 V	216	270	325	
T_{CDSET1}	Short delay time set accuracy between OUTC and OUTD	CS = ADEL = ADELEF = 1.8 V	32	45	56	
T_{CDSET2}	Long delay time set accuracy between OUTC and OUTD	CS = ADEL = ADELEF = 0.2 V	216	270	325	
T_{AFSET1}	Short delay time set accuracy between falling OUTA, OUTF	CS = ADEL = ADELEF = 0.2 V	22	35	48	
T_{AFSET2}	Long delay time set accuracy between falling OUTA, OUTF	CS = ADEL = ADELEF = 1.8 V	190	240	290	
T_{BESET1}	Short delay time set accuracy between falling OUTB, OUTE	CS = ADEL = ADELEF = 0.2 V	22	35	48	
T_{BESET2}	Long delay time set accuracy between falling OUTB, OUTE	CS = ADEL = ADELEF = 1.8 V	190	240	290	
ΔT_{ADBC}	Pulse matching between OUTA rise, OUTD fall and OUTB rise, OUTC fall	CS = ADEL = ADELEF = 1.8 V, COMP = 2 V	-50	0	50	
ΔT_{ABBA}	Half cycle matching between OUTA rise, OUTB rise and OUTB rise, OUTA rise	CS = ADEL = ADELEF = 1.8 V, COMP = 2 V	-50	0	50	
ΔT_{EEFF}	Pulse matching between OUTE fall, OUTE rise and OUTF fall, OUTF rise	CS = ADEL = ADELEF = 0.2 V, COMP = 2 V	-60	0	60	
ΔT_{EFFE}	Pulse matching between OUTE fall, OUTF rise and OUTF fall, OUTE rise	CS = ADEL = ADELEF = 0.2 V, COMP = 2 V	-60	0	60	

- (3) タイミング図、および T_{ABSET1} 、 T_{ABSET2} 、 T_{CDSET1} 、 T_{CDSET2} の定義については、図3を参照してください。
(4) タイミング図、および T_{AFSET1} 、 T_{AFSET2} 、 T_{BESET1} 、 T_{BESET2} の定義については、図6を参照してください。
(5) 出力OUTC、OUTEおよびOUTD、OUTFのペアは、常に同時に"High"になります。
(6) 出力OUTEおよびOUTFが両方とも"High"の場合、出力AおよびBは"High"になることができません。
(7) すべての遅延設定は、パルス振幅の50%で相対測定されています。

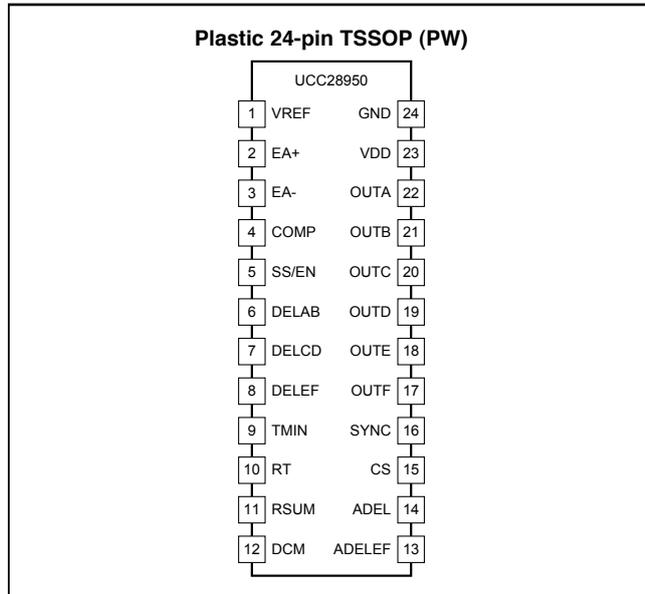
電気的特性⁽¹⁾

$V_{DD} = 12V$ 、 $T_A = T_J = -40^{\circ}C \sim 125^{\circ}C$ 、 $C_{VDD} = 1\mu F$ 、 $C_{REF} = 1\mu F$ 、 $R_{AB} = 22.6k\Omega$ 、 $R_{CD} = 22.6k\Omega$ 、 $R_{EF} = 13.3k\Omega$ 、 $R_{SUM} = 124k\Omega$ 、 $R_{MIN} = 88.7k\Omega$ 、RTピンと5V電源の間に $R_T = 59k\Omega$ を接続して $F_{SW} = 100kHz$ ($F_{OSC} = 200kHz$)に設定 (特に記述のない限り)。部品表記はすべて標準アプリケーション図に従っています。

PARAMETER		TEST CONDITION	MIN	TYP	MAX	単位
Light Load Efficiency Circuit						
V_{DCM}	DCM threshold, $T = 25^{\circ}C$	$V_{DCM} = 0.4 V$, Sweep CS confirm there are OUTE and OUTF pulses	0.37	0.39	0.41	V
	DCM threshold, $T = 0^{\circ}C$ to $85^{\circ}C$ ⁽⁸⁾	$V_{DCM} = 0.4 V$, Sweep CS, confirm there are OUTE and OUTF pulses	0.364	0.390	0.416	
	DCM threshold, $T = -40^{\circ}C$ to $125^{\circ}C$ ⁽⁸⁾	$V_{DCM} = 0.4 V$, Sweep CS, confirm there are OUTE and OUTF pulses	0.35	0.39	0.43	
$I_{DCM, SRC}$	DCM Sourcing Current	$CS < DCM$ threshold	14	20	26	μA
T_{MIN}	Total range	$R_{TMIN} = 88.7 k\Omega$	425	525	625	ns
OUTPUTS OUTA, OUTB, OUTC, OUTD, OUTE, OUTF						
$I_{SINK/SRC}$	Sink/Source peak current ⁽⁸⁾			0.2		A
T_R	Rise time	$C_{LOAD} = 100 pF$		9	25	ns
T_F	Fall time	$C_{LOAD} = 100 pF$		7	25	
R_{SRC}	Output source resistance	$I_{OUT} = 20 mA$	10	20	35	Ω
R_{SINK}	Output sink resistance	$I_{OUT} = 20 mA$	5	10	30	
THERMAL SHUTDOWN						
	Rising threshold ⁽⁸⁾			160		$^{\circ}C$
	Falling threshold ⁽⁸⁾			140		
	Hysteresis			20		

(8) 特性による確認のみです。

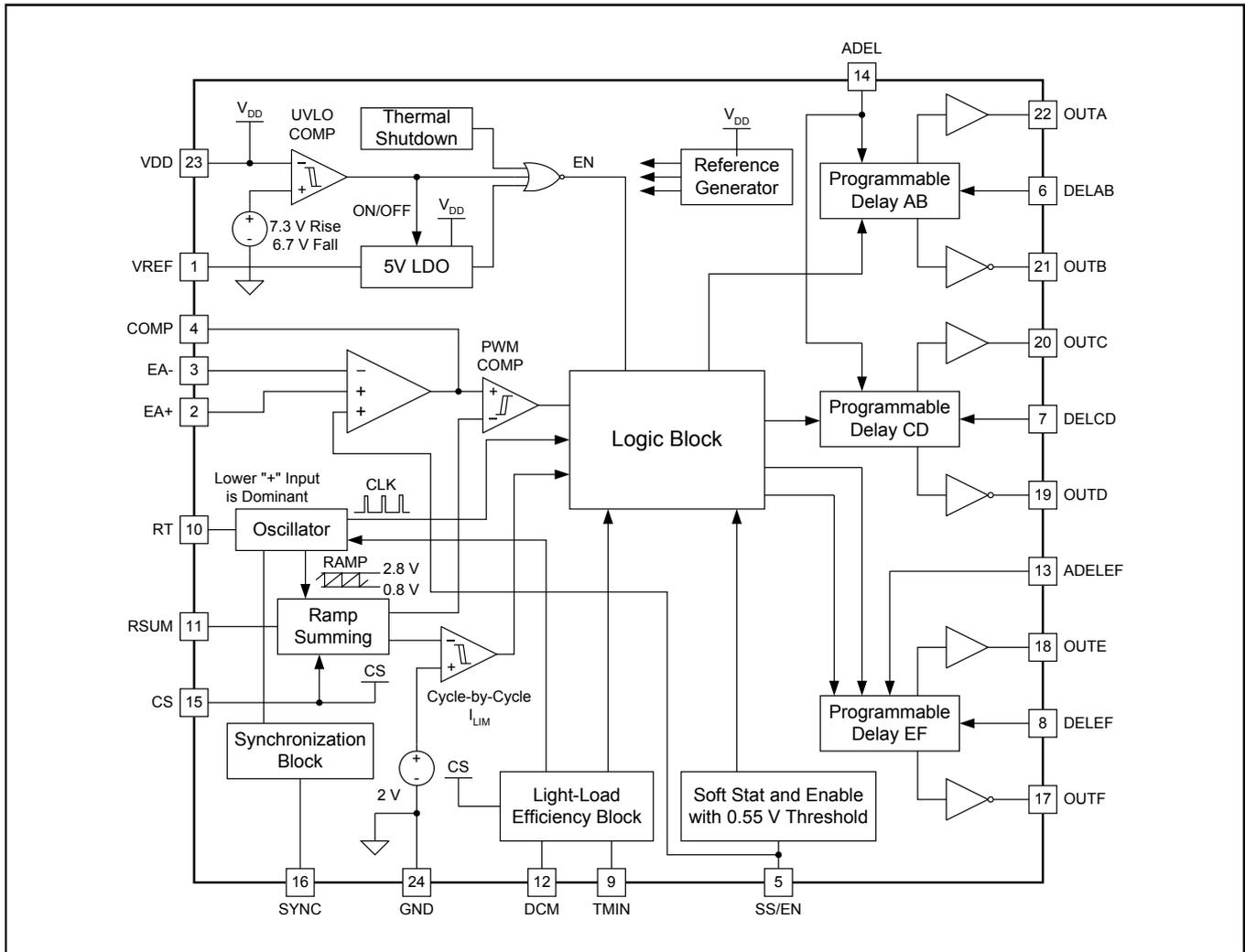
製品情報



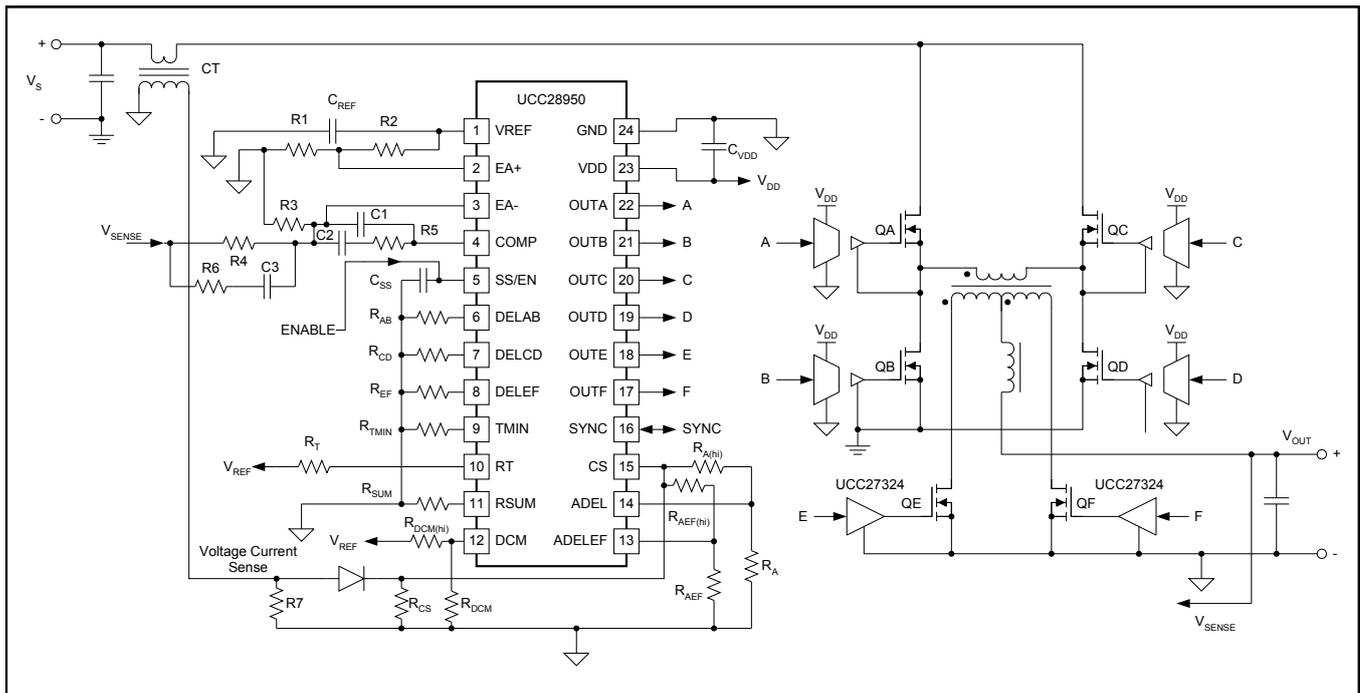
端子機能

TERMINAL		I/O	説明
NUMBER	NAME		
1	VREF	O	5V、±1.5%、20mAのリファレンス電圧出力
2	EA+	I	誤差増幅器の非反転入力
3	EA-	I	誤差増幅器の反転入力
4	COMP	I/O	誤差増幅器の出力、およびPWMコンパレータの入力
5	SS/EN	I	ソフトスタート・プログラミング、デバイス・イネーブル、およびヒカップ・モード保護回路
6	DELAB	I	OUTA-OUTB間のデッドタイム遅延プログラミング
7	DELCD	I	OUTC-OUTD間のデッドタイム遅延プログラミング
8	DELEF	I	OUTA-OUTF間、OUTB-OUTE間のデッドタイム・プログラミング
9	TMIN	I	バースト・モードの最小デューティ・サイクル・プログラミング
10	RT	I	発振周波数設定。マスタまたはスレープ・モード設定。
11	RSUM	I	スローブ補償プログラミング。電圧モードまたはピーク電流モード設定。
12	DCM	I	DCMスレッシュホールド設定
13	ADELEF	I	1次側および2次側スイッチ間の遅延時間プログラミング、 T_{AFSET} および T_{BESET}
14	ADEL	I	CS電圧範囲での1次側スイッチに対する遅延時間プログラミング、 T_{ABSET} および T_{CDSET}
15	CS	I	サイクル毎の過電流保護および適応型遅延機能用の電流センス
16	SYNC	I/O	マスタ・コントローラからスレープ・コントローラ入力への同期出力
17	OUTF	O	0.2Aシンク/ソース同期スイッチング出力
18	OUTE	O	0.2Aシンク/ソース同期スイッチング出力
19	OUTD	O	0.2Aシンク/ソース1次側スイッチング出力
20	OUTC	O	0.2Aシンク/ソース1次側スイッチング出力
21	OUTB	O	0.2Aシンク/ソース1次側スイッチング出力
22	OUTA	O	0.2Aシンク/ソース1次側スイッチング出力
23	VDD	I	バイアス電圧入力
24	GND		グラウンド。すべての信号がこのノードを基準とします。

機能ブロック図



標準アプリケーション図



スタートアップ・タイミング図

出力遅延は示していません。COMP-RAMP間のオフセットは含まれません。

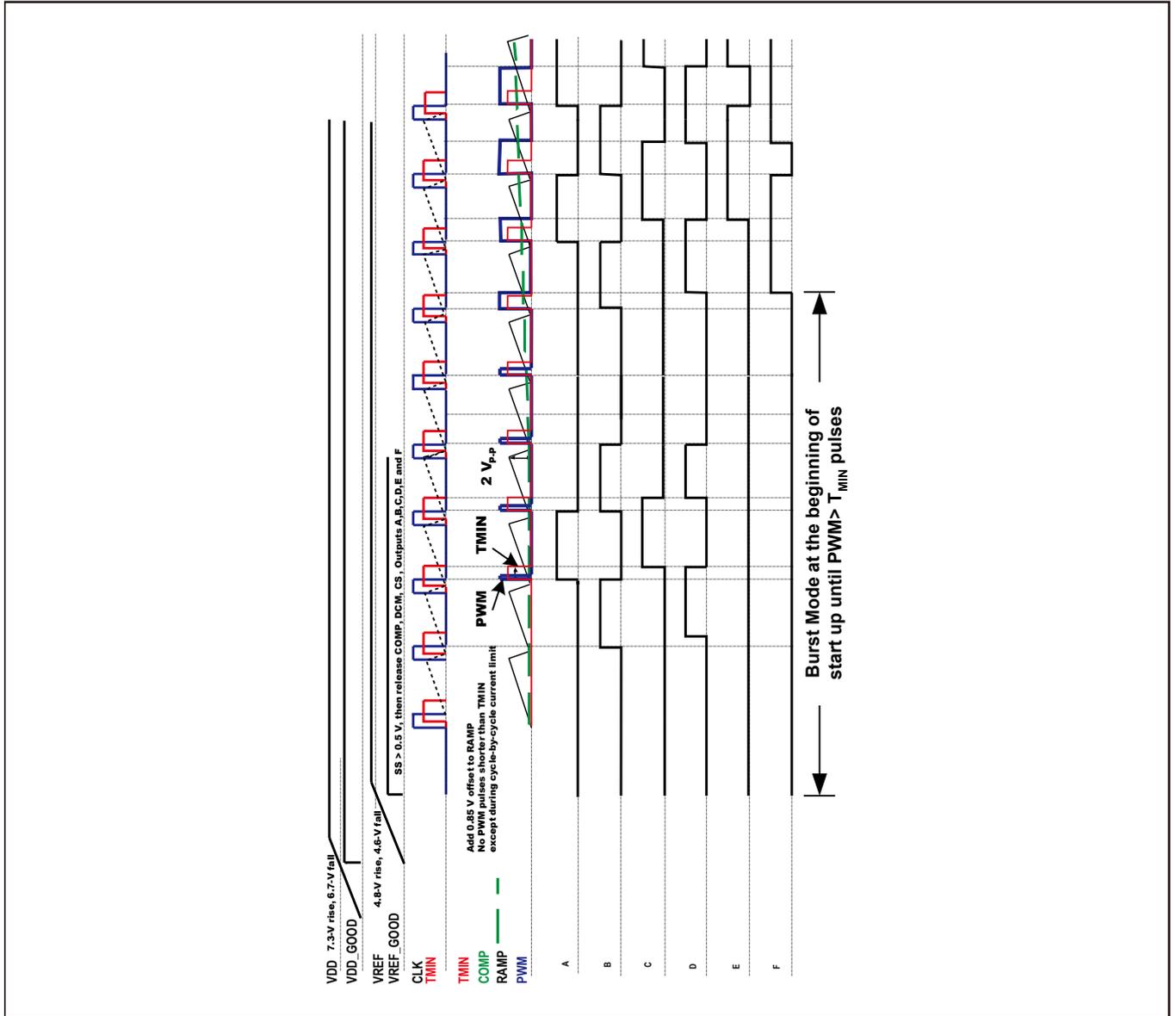


図1. UCC28950 タイミング図

注：スタートアップ時のバースト・モード中は、OUTEにパルスは出力されません。
同期整流器出力をイネーブルにする前に、2つの立ち下がりエッジPWMパルスが必要です。

定常状態/シャットダウン・タイミング図

出力遅延は示していません。COMP-RAMP間のオフセットは含まれません。

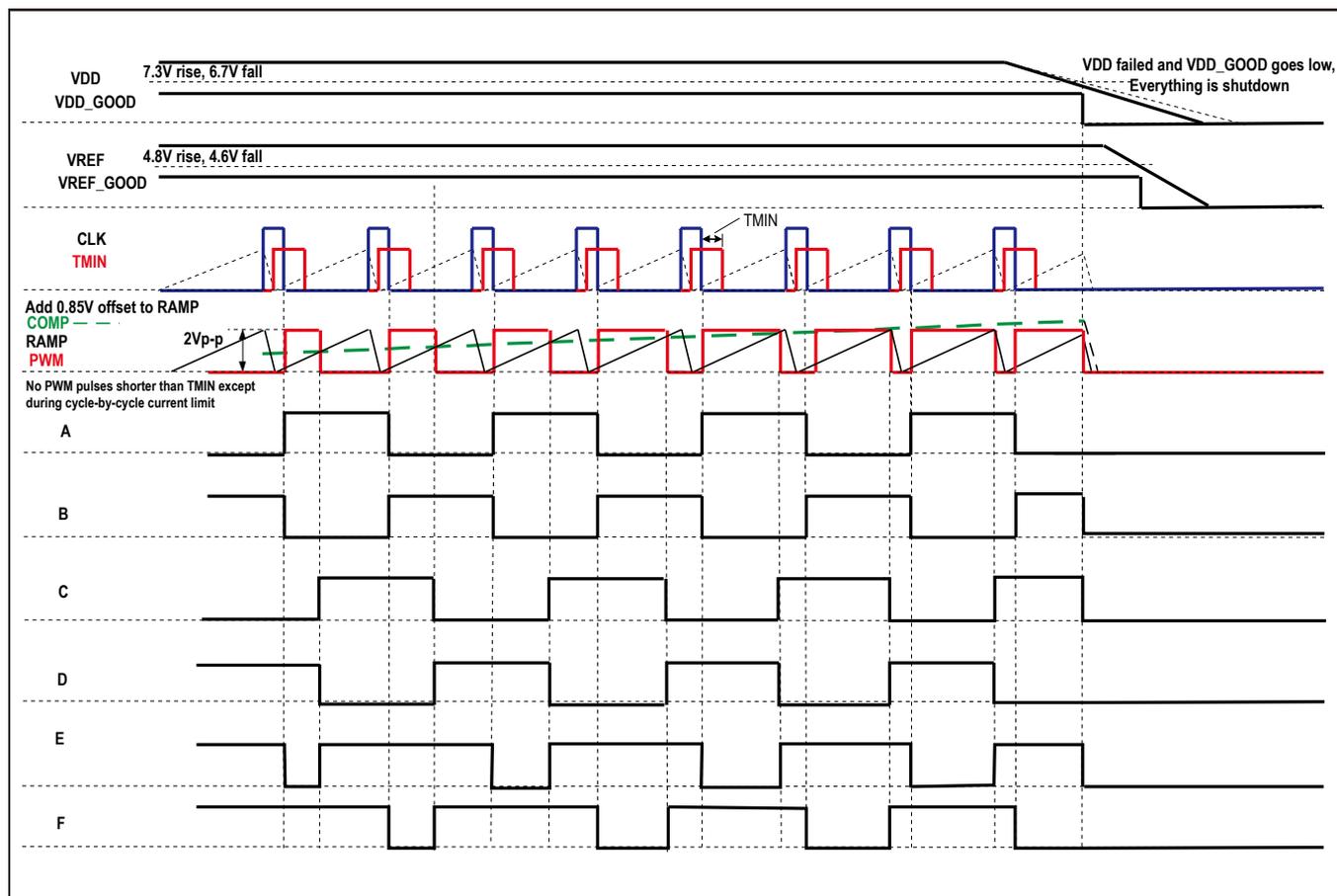


図2. UCC28950 タイミング図

詳細ピン説明およびパラメータ設定 スタートアップ保護ロジック

UCC28950コントローラがスタートアップするには、次の条件が満足されている必要があります。

- VDD電圧が、上昇時のUVLOスレッシュホールド(7.3V、typ)を超えている。
- 5Vリファレンス電圧が供給されている。
- 接合部温度が過熱シャットダウン・スレッシュホールドである140°Cよりも低い。
- ソフト・スタート・コンデンサの電圧が0.55V(typ)以上である。

これらの条件がすべて満足されている場合、内部イネーブル信号ENが生成され、ソフト・スタート・プロセスが開始されます。ソフト・スタート中のデューティ・サイクルは、SSピンの電圧によって定義され、TMINで設定されるデューティ・サイクルを下回することはできないか、または、負荷条件に応じたサイクル毎の電流制限によって定義されます。

電圧リファレンス (VREF)

短絡保護回路を備えた高精度(±1.5%)の5Vリファレンス電圧レギュレータが内部回路に対して用意され、DC/DCコンバータのパラメータを設定するために最大20mAの外部出力電流が供給されます。最高の性能を得るためには、このピンとGNDの間に、1μF~2.2μFの低ESR/ESLデカップリング・コンデンサCREF(セラミックを推奨)を関連ピンにできる限り近づけて配置します。リファレンス・レギュレータが内部でシャットダウンされるのは、低電圧ロックアウト時だけです。

誤差増幅器 (EA+, EA-, COMP)

誤差増幅器には、3MHzのユニティ帯域幅を持つ2つの可変非コミット入力EA+およびEA-があり、帰還ループの形成に柔軟性を提供しています。EA+は非反転出力、EA-は反転出力で、COMPは誤差増幅器の出力です。誤差増幅器のパラメータが保証される入力電圧同相モード範囲は、0.5V~3.6Vです。誤差増幅器の出力は、内部でPWMコンパレータの非反転入力に接続されています。誤差増幅器の出力範囲0.25V~4.25Vは、PWMコンパレータの入力ランプ信号範囲0.8V~2.8Vを大きく超えています。ソフト・スタート信号は、誤差増幅器の追加の非反転入力として機能します。誤差増幅器の2つの非反転入力のうち低い方が支配的な入力となり、誤差増幅器の出力信号がPWMコンパレータ入力の内部ランプと比較されるときにデューティ・サイクルを設定します。

ソフト・スタート/イネーブル(SS/EN)

ソフト・スタート・ピンSS/ENは、以下の動作に使用される多機能ピンです。

- 閉ループ・ソフト・スタート。デューティ・サイクルが、TMINで設定される最小値からレギュレーション出力電圧に必要な定常状態デューティ・サイクルまで、徐々に増加します。

- サイクル毎の過電流制限時のヒックアップ・モード状態の設定
- コンバータのオン/オフ制御

ソフト・スタート中は、SS/ENピンとEA+ピンの電圧のうち低い方(SS/EN - 0.55V、またはEA+電圧)によって、閉帰還ループのリファレンス電圧が設定されます(ブロック図を参照)。SS/ENおよびEA+信号はともに誤差増幅器の非反転入力であり、COMPピンがその出力です。したがって、ソフト・スタートは常に閉帰還ループ下にあり、COMPピンの電圧によってデューティ・サイクルが設定されます。COMP電圧によって定義されるデューティ・サイクルは、ユーザーが設定するTMINパルスより短くなることはできません。ただし、サイクル毎の電流制限回路によって最短のデューティ・サイクルが設定された場合は、COMP電圧またはTMINブロックによって定義されるデューティ・サイクルよりも優先されます。

ソフト・スタート期間の長さは、SS/ENピンとグラウンドの間に接続される外付けコンデンサC_{SS}と、25μA(typ)の内部充電電流によって定義されます。ソフト・スタート・ピンを外部で0.55V未満に設定すると、コントローラがシャットダウンされます。ソフト・スタート・ピンを解除するとコントローラが起動し、電流制限状態になっていなければ、出力インダクタに適用されるデューティ・サイクルが徐々に増加して、コンバータのレギュレータ出力電圧によって定義される定常状態デューティ・サイクルに達します。この状態に達するのは、SS/ENピンの電圧が、EA+ピンの電圧(VNI)を0.55V上回ったときです。したがって、特定のソフト・スタート時間T_{SS}に対して、C_{SS}の値は式(1)または式(2)で定義できます。

$$C_{SS(\text{master})} = \frac{T_{SS} \times 25\mu\text{A}}{(VNI + 0.55)} \quad (1)$$

$$C_{SS(\text{slave})} = \frac{T_{SS}}{825\text{K} \times \ln\left(\frac{20.6}{20.6 - VNI - 0.55}\right)} \quad (2)$$

例えば、ソフト・スタート時間T_{SS}を10msと選択し、VNIが2.5Vの場合、ソフト・スタート・コンデンサC_{SS}は84nFに等しくなり、82nFのコンデンサを使用できます。

注：コンバータをスレーブ・モードで使用する場合は、SSピンとグラウンドの間に825kΩの抵抗を配置してください。

軽負荷省電力モード

UCD28950には、広い負荷電流範囲にわたってパワー・コンバータの効率を高めるために、4つの異なる軽負荷管理手法が導入されています。

1. 適応型遅延

- (a) ADEL：広い負荷電流範囲にわたって1次側スイッチのデッドタイム制御を設定、最適化します。
- (b) ADELEF：1次側スイッチと2次側スイッチの間の遅延

時間制御を設定、最適化します。

2. TMIN：デバイスが電流制限モードでないときの最小デューティ・サイクルを設定します。
3. 軽負荷での効率向上のために、DCMモードで同期整流器のオン/オフを動的に制御します。DCMモードは、CSピンの電圧がユーザー設定スレッシュホールドを下回ったときに開始されます。DCMモードでは、同期出力駆動信号OUTEおよびOUTFが“Low”になります。
4. 非常に軽い負荷、または無負荷の状態で効率を最大限に高めるバースト・モード。バースト・モードでは、偶数個のPWM TMINパルス後にオフ時間が続きます。バースト・モードへの遷移は、ユーザーが設定するTMIN期間によって定義されます。

適応型遅延 (OUTA-OUTB間、OUTC-OUTD間の遅延 (DELAB、DELCD、ADEL))

UCD28950には、広い負荷電流範囲にわたってパワー・コンバータの効率を高めるために、4つの異なる軽負荷管理手法が導入されています。

DELABピン-GND間の抵抗R_{AB}は、分圧抵抗R_{AHI}(CSピン-ADELピン間)およびR_A(ADELピン-GND間)とともに、出力OUTAまたはOUTBの一方が“Low”になってから他方が“High”になるまでの遅延時間T_{ABSET}を設定します(図3)。

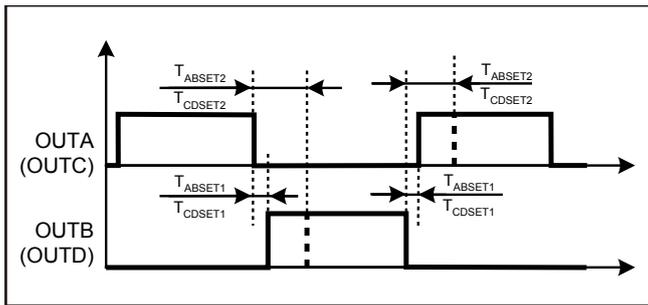


図3. OUTA-OUTB間、OUTC-OUTD間の遅延時間の定義

この遅延時間は、CS信号の関数として、T_{ABSET1}(V_{CS} = 1.8Vでの測定値)からT_{ABSET2}(V_{CS} = 0.2Vでの測定値)へと徐々に増加します。このアプローチにより、ハイサイドおよびローサイドMOSFETのスイッチング時に貫通電流が流れないことが保証され、広い負荷電流範囲にわたり遅延がZVS状態に対して最適化されます。分圧抵抗R_{AHI}およびR_Aによって、最長遅延時間と最短遅延時間の比が設定されます。最大比は、CSピンとADELピンを互いに接続することで実現されます。ADELをGNDに接続すると、遅延時間が固定され、DELAB-GND間の抵抗R_{AB}によってのみ定義されます。出力OUTCおよびOUTDに対する遅延時間T_{CDSET1}およびT_{CDSET2}の設定と動作は、OUTAおよびOUTBの場合とほぼ同じです。違いは、DELCDピンとGNDの間に接続された抵抗R_{CD}によって遅延時間T_{CDSET}が設定されることです。出力OUTCおよびOUTDの遅延時間は、出力OUTAおよびOUTBと同じCS電圧依存ピンADELを共有しています。

遅延時間T_{ABSET}は、次の式(3)によって定義されます。

$$T_{ABSET} = \left(\frac{5 \times R_{AB}}{0.15 \text{ V} + CS \times K_A \times 1.46} \right) \text{ ns} + 5 \text{ ns} \quad (3)$$

遅延時間T_{CDSET}も同じ式で定義されます(R_{AB}をR_{CD}で置き換えます)。

$$T_{CDSET} = \left(\frac{5 \times R_{CD}}{0.15 \text{ V} + CS \times K_A \times 1.46} \right) \text{ ns} + 5 \text{ ns} \quad (4)$$

これらの式で、R_{AB}およびR_{CD}の単位はkΩ、CS(CSピンの電圧)の単位はVであり、K_Aは0~1の範囲の数値係数です。遅延時間T_{ABSET}およびT_{CDSET}の単位はnsです。これらの式は経験的なものであり、測定データから近似されたものです。そのため、式では単位の対応が取れていません。例えば、R_{AB} = 15kΩ、CS = 1V、およびK_A = 0.5と仮定します。その場合、T_{ABSET}は90.25nsとなります。式(3)と式(4)でK_Aは同じであり、次のように定義されます。

$$K_A = \frac{R_A}{R_A + R_{AH1}} \quad (5)$$

K_Aは、遅延時間がCS電圧の変化に対してどれだけ敏感であるかを設定します。K_A = 0(ADELをGNDに短絡)の場合、遅延時間は固定されます。K_A = 1(ADELをCSに接続)の場合、遅延時間はCS = 0.2Vで最大となり、CSが1.8Vまで上昇すると徐々に減少します。最大遅延時間と最小遅延時間の比は、最大で6:1です。

急激なスイッチングや貫通電流を防ぐため、最初はK_A = 0に設定し、式やデータシート内のプロットを使用してT_{ABSET}およびT_{CDSET}を比較的大きく設定することを推奨します。出力A、B、およびC、D間の遅延時間は、抵抗R_{AB}およびR_{CS}によって設定されます。最初に、軽負荷で最適な遅延時間をプログラミングします。次に、K_Aを変更し、最大電流での出力A、Bの最適な遅延時間を設定します。出力C、DのK_Aは、出力A、Bの場合と同じです。通常、遅延時間が十分に大きければ、出力C、Dは常にZVS動作となります。

注：DELABおよびDELCDの抵抗R_{AB}およびR_{CD}の許容範囲は、13kΩ ~ 90kΩです。

R_A および R_{AH} は、CSピンの電圧のうちADELピンに印加される割合を定義します(アプリケーション図を参照)。 K_A は、遅延時間がCS電圧に依存する度合いを定義します。 K_A は、0から1まで変化します。ADELピンをグランドに短絡($R_A = 0$)すると $K_A = 0$ で、遅延時間はCS電圧に依存しません。ADELをCSに接続($R_{AH} = 0$)すると、 $K_A = 1$ です。 K_A 、 R_{AB} 、および R_{CD} の設定により、負荷電流範囲にわたって1次側スイッチを最

適なZVS状態に維持することができます。これは、CSピンの電圧に、電流センス回路を通して1次側に巻数比分変換された負荷電流が含まれるためです。図4および図5のプロットは、2つの異なる条件での遅延時間設定をCS電圧および K_A の関数として示しています。図4では $R_{AB} = R_{CD} = 13k\Omega$ 、図5では $R_{AB} = R_{CD} = 90k\Omega$ です。

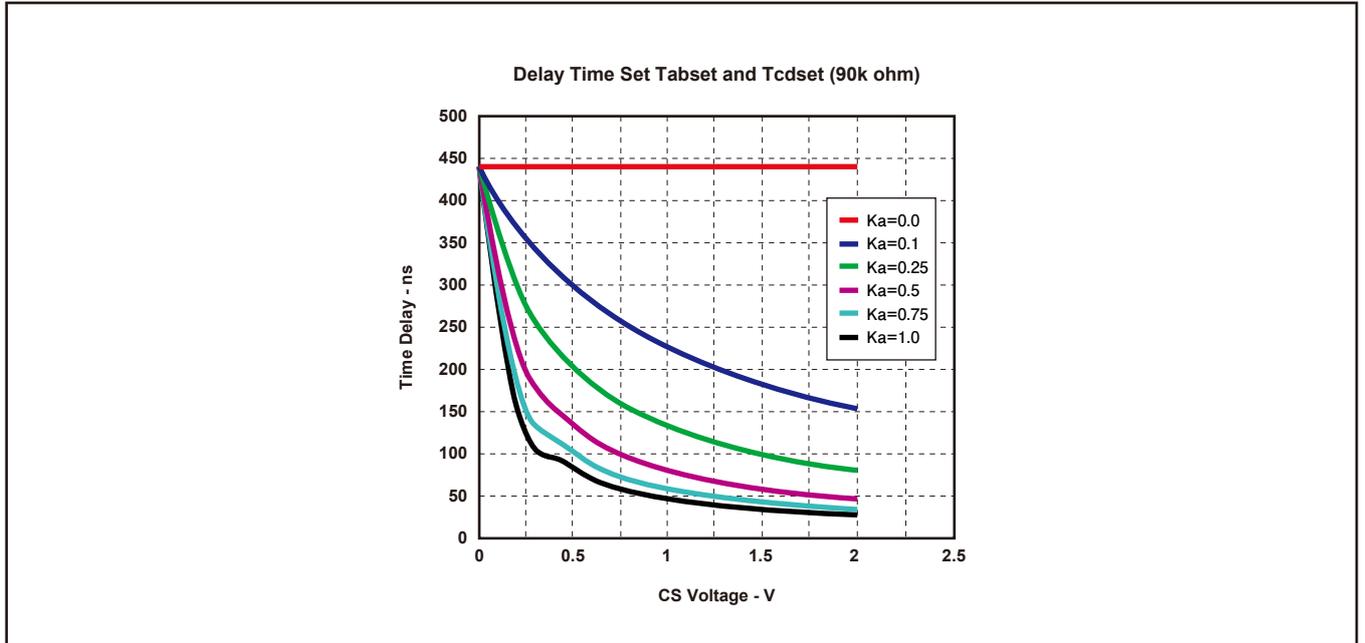


図4. 遅延時間 T_{ABSET} および T_{CDSET} (CS電圧の変化および選択された K_A に対してプロット、 $R_{AB} = R_{CD} = 13k\Omega$)

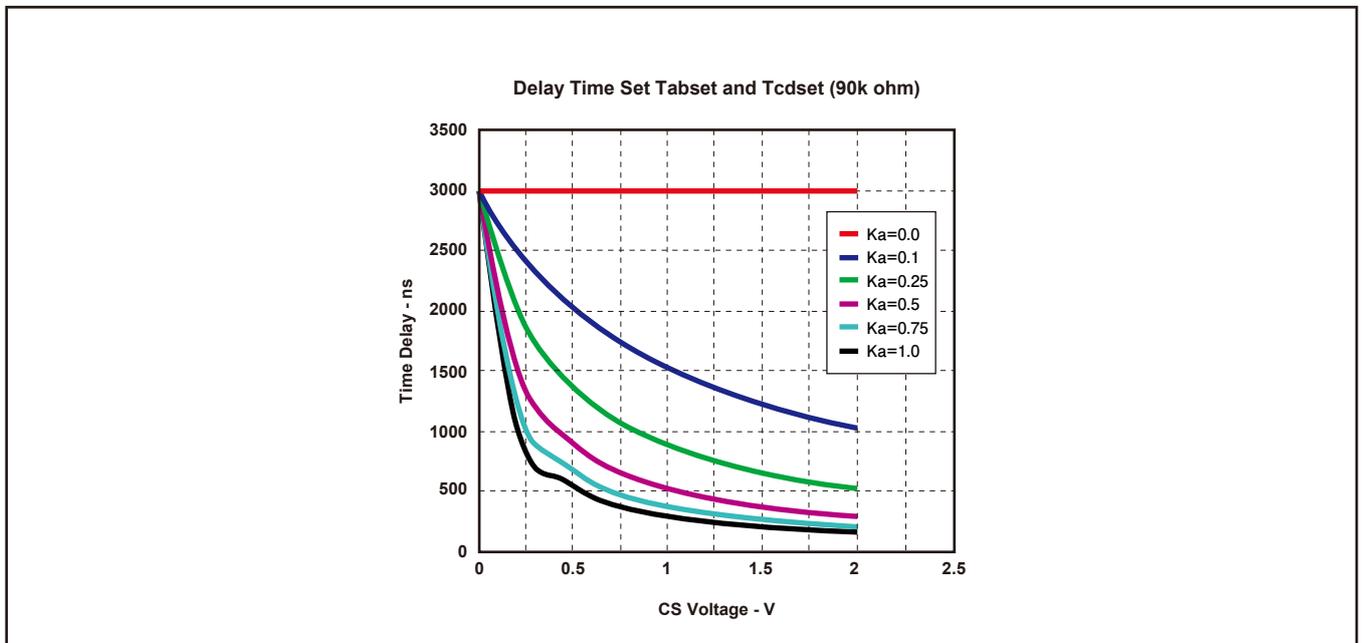


図5. 遅延時間 T_{ABSET} および T_{CDSET} (CS電圧の変化および選択された K_A に対してプロット、 $R_{AB} = R_{CD} = 90k\Omega$)

適応型遅延 (OUTA-OUTF間、OUTB-OUTE間の遅延 (DELEF、ADELEF))

DELEFピン-GND間の抵抗 R_{EF} は、分圧抵抗 R_{AEFHI} (CSピン-ADELEFピン間) および R_{AEF} (ADELEFピン-GND間) とともに、出力OUTAまたはOUTBが“Low”になってから関連する出力OUTFまたはOUTEが“Low”になるまでの、等しい遅延時間 T_{AFSET} および T_{BESET} を設定します (図6)。

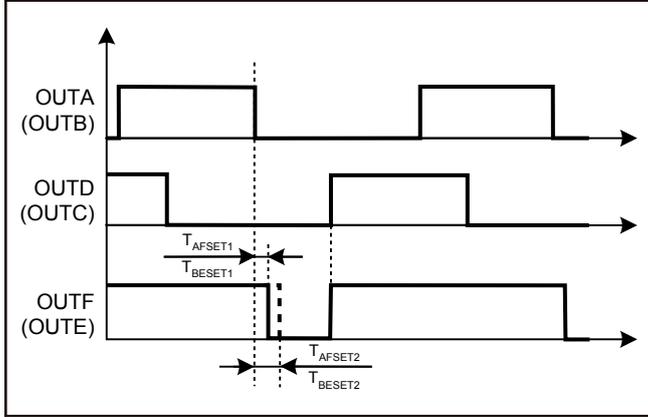


図6. OUTA-OUTF間、OUTB-OUTE間の遅延時間の定義

これらの遅延時間は、CS信号の関数として、 T_{AFSET1} ($V_{CS} = 0.2V$ での測定値) から T_{AFSET2} ($V_{CS} = 1.8V$ での測定値) へと徐々に増加します。DELABおよびDELCDの場合とは反対に、この遅延はCSピンの信号が最大のときに最長 (T_{AFSET2}) で、CS信号が最小のときに最短 (T_{AFSET1}) となります。このアプローチにより、広い負荷電流範囲にわたって同期整流MOSFETのボディ・ダイオード導通時間が短くなることで、効率が向上し、ダイオードの回復時間が短縮されます。分圧抵抗 R_{AEFHI} および R_{AEF} によって、最長遅延時間と最短遅延時間の比が設定されます。CSとADELEFを接続すると、比が最大になります。ADELEFをGNDに接続すると、遅延時間が固定され、DELEF-GND間の抵抗 R_{EF} によってのみ定義されます。

遅延時間 T_{AFSET} は、次の式 (6) によって定義されます。遅延時間 T_{BESET} も同じ式で定義されます。

$$T_{AFSET} = \left(\left(\frac{5 \times R_{EF}}{2.65V - CS \times K_{EF} \times 1.32} \right) ns + 4ns \right) \quad (6)$$

この式で、 R_{EF} の単位は $k\Omega$ 、CS (CSピンの電圧) の単位はVであり、 K_{EF} は0~1の範囲のCS電圧ゲイン数値係数です。遅延時間 T_{AFSET} の単位はnsです。この式は、測定データの経験的な近似であるため、単位の対応は取れていません。計算例として、 $R_{EF} = 15k\Omega$ 、 $CS = 1V$ 、および $K_{EF} = 0.5$ と仮定します。その場合、 T_{AFSET} は41.7nsとなります。 K_{EF} は次のように定義されます。

$$K_{EF} = \frac{R_{AEF}}{R_{AEF} + R_{AEF(hi)}} \quad (7)$$

R_{AEF} および R_{AEFHI} は、CSピンの電圧のうちADELEFピンに印加される割合を定義します (アプリケーション図を参照)。 K_{EF} は、遅延時間がCS電圧に依存する度合いを定義します。 K_{EF} は、0から1まで変化します。ADELEFピンをグラウンドに短絡 ($R_{AEF} = 0$) すると $K_{EF} = 0$ で、遅延時間はCS電圧に依存しません。ADELEFをCSに接続 ($R_{AEFHI} = 0$) すると、 $K_{EF} = 1$ です。

注：DELEFの抵抗 R_{EF} の許容範囲は、13k Ω ~ 90k Ω です。

図7および図8のプロットは、2つの異なる条件での遅延時間設定をCS電圧およびKEFの関数として示しています。図7ではREF = 13kΩ、図8ではREF = 90kΩです。

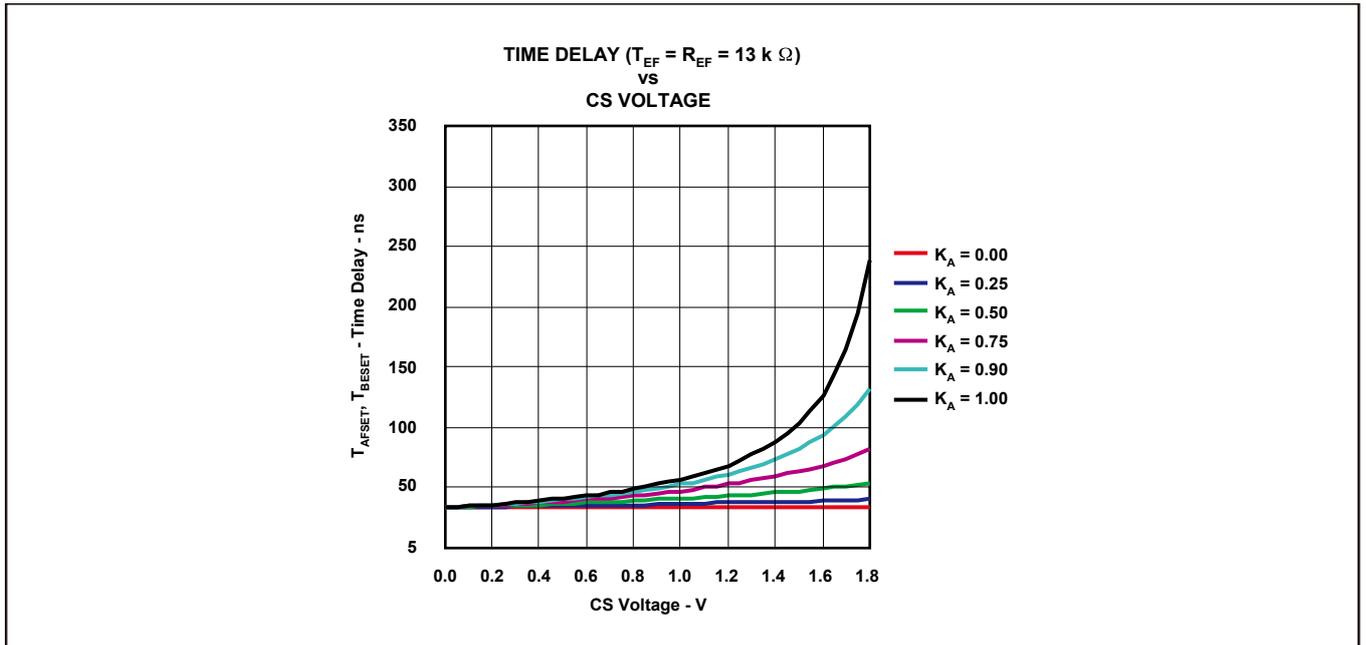


図7. 遅延時間 T_{AFSET} および T_{BESET} (CS電圧の変化および選択された K_{EF} に対してプロット、REF = 13kΩ)

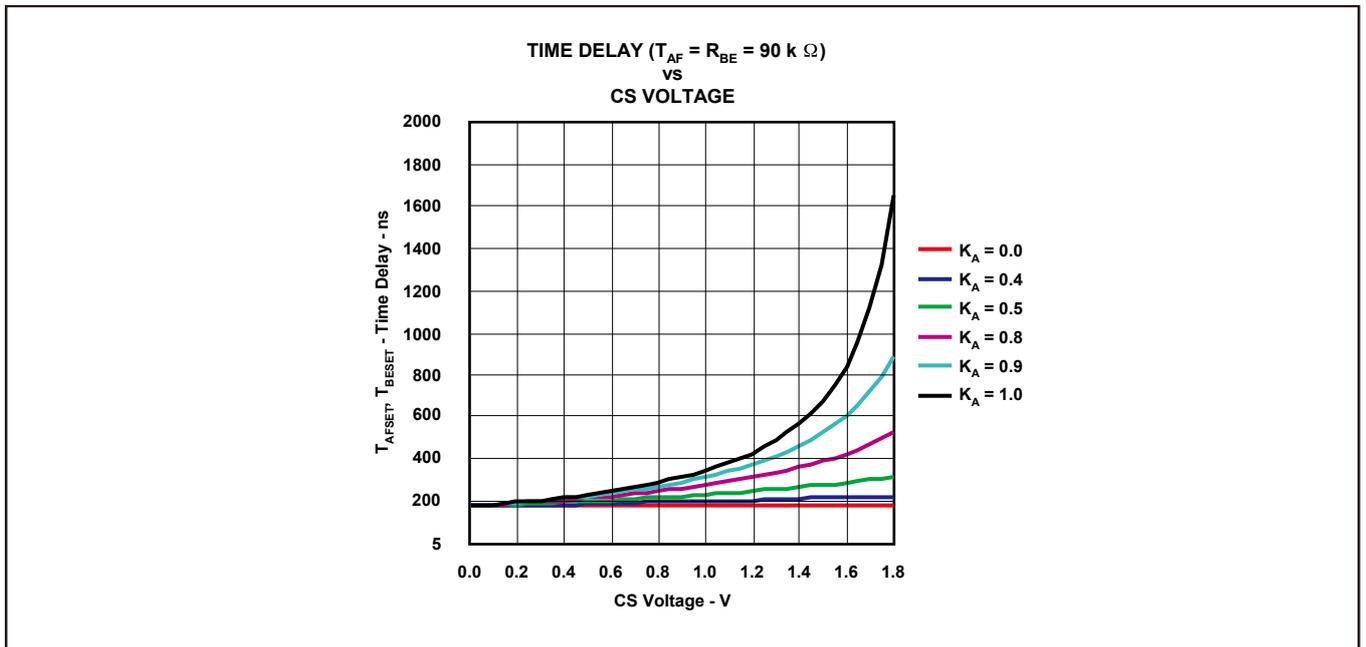


図8. 遅延時間 T_{AFSET} および T_{BESET} (CS電圧の変化および選択された K_{EF} に対してプロット、 $R_{EF} = 90\text{k}\Omega$)

最小パルス(TMIN)

TMINピンとGNDの間の抵抗RTMINにより、軽負荷時に1次側スイッチでZVSを実現するために出力整流器に印加される固定最小パルスTMINが設定されます。帰還ループで要求される出力PWMパルスがTMINよりも短い場合には、コントローラはバースト・モードに入り、偶数個のTMINパルスの後に帰還ループで指定されるオフ時間が続きます。TMIN時間の適切な選択は、パワー・トランスでZVSの維持に十分な磁化電流を供給するために要する時間によって決まります。最小パルスTMINは、次の式(8)によって定義されます。

$$T_{MIN} = (5.92 \times R_{TMIN}) \text{ ns} \quad (8)$$

この式で、RTMINはkΩ、TMINはnsです。

注：TMINの抵抗(RTMIN)の最小許容値は13kΩです。

図9に、関連するプロットを示します。

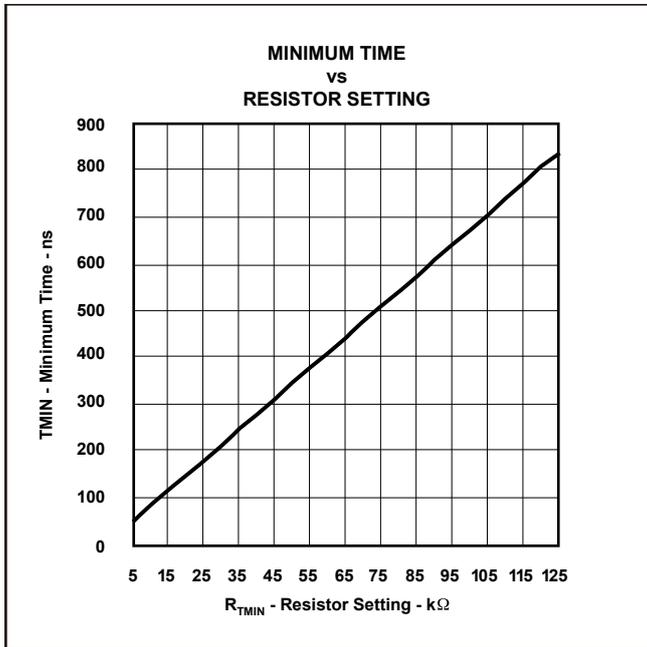


図9. 設定抵抗RTMINに対する最小時間TMIN

最小デューティ・サイクルDMINの値は、式(9)で決定されます。

$$D_{MIN} = (T_{MIN} \times F_{SW(osc)} \times 10^{-4}) \% \quad (9)$$

ここで、FSW(osc)は発振周波数(kHz)、TMINは最小パルス(ns)、DMINは%です。

バースト・モード

ここで、FSW(osc)は発振周波数(kHz)、TMINは最小パルス(ns)、DMINは%です。

コンバータからTMINより小さいデューティ・サイクルを要求されると、コントローラはバースト・モードに入ります。コントローラは、1つまたは2つの電力供給サイクル・パルスを出します。OUTBおよびOUTCに対して電力供給サイクルを出

力すると、コントローラはバーストを停止します。OUTAおよびOUTDに対して供給を開始した場合は、引き続きOUTBおよびOUTCに1つの電力供給サイクルを出力した後で、停止します。コントローラは常に、OUTBおよびOUTC電力供給サイクルでバーストを停止します。コントローラが引き続きTMINより小さいデューティ・サイクルを要求している場合には、コントローラはシャットダウン・モードに入ります。その後、コントローラは、コンバータがTMIN以上のデューティ・サイクルを要求するまで待ってから、COMP電圧ピンでの指定に従ってTMINまたはPWMデューティ・サイクルを設定します。

スイッチング周波数設定(RT)

RTピンとVREFピンの間に外付け抵抗RTを接続すると、固定周波数動作が選択されてコントローラはマスタとして設定され、0.5のデューティ・サイクルおよび内部発振回路に等しい周波数でSYNCピンに同期出力パルスを出力します。コンバータをスレープ・モードにするには、RTピンとGNDの間に外付け抵抗RTを接続し、SSピンとGNDの間に825kΩの抵抗をSS_ENコンデンサと並列に配置します。これにより、コントローラはスレープとして設定されます。スレープ・コントローラとマスタ・コンバータのSYNCピンが互いに接続されている場合、コントローラはマスタ・コンバータに対して90°の位相シフトで動作します。コンバータのスイッチング周波数は、出力パルスの周波数に等しくなります。次の式(10)は、マスタとして設定されたコンバータ(RTピンとVREFの間に抵抗RT)の公称スイッチング周波数を定義します。UCC28950には、コントローラ出力周波数の2倍の内部クロック発振周波数があります。

$$F_{SW(nom)} = \left(\frac{2.5 \times 10^3}{\left(\frac{RT}{V_{REF} - 2.5V} + 1 \times \frac{k\Omega}{V} \right)} \right) \text{ kHz} \quad (10)$$

この式で、RTの単位はkΩ、VREFはV、FSW(nom)はkHzです。この式も経験的な近似であり、単位の対応は取れていません。例えば、VREF = 5V、RT = 65kΩと仮定します。その場合、スイッチング周波数FSW(nom)は92.6kHzとなります。

$$F_{SW(nom)} = \left(\frac{2.5 \times 10^3}{\left(\frac{RT}{2.5V} + 1 \times \frac{k\Omega}{V} \right)} \right) \text{ kHz} \quad (11)$$

式(11)は、コンバータがスレープとして設定され、RTピンとGNDの間に抵抗RTが接続された場合の、コンバータの公称スイッチング周波数を定義します。

この式で、RTの単位はkΩ、FSW(nom)の単位はkHzです。VREF = 5Vの場合、式(10)と式(11)は同じ結果となることに注意してください。

図10のプロットは、 $V_{REF} = 5V$ のときに $F_{SW(nom)}$ が抵抗 R_T の値にどのように依存するかを示しています。式(10)および式(11)からわかるように、同じ抵抗値 R_T を使用した場合、スイッチング周波数 $F_{SW(nom)}$ は、マスタでもスレーブでも同じ値に設定されます。

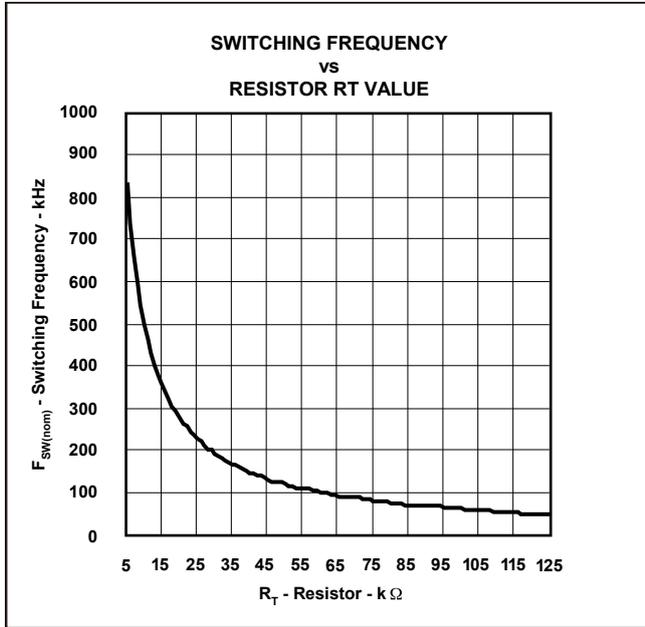


図10. 抵抗 R_T の値に対するコンバータのスイッチング周波数 $F_{SW(nom)}$

スロープ補償(RSUM)

スロープ補償は、CS信号に追加のランプ信号を付加する方法であり、以下の入力に適用されます。

- PWMコンパレータの入力(ピーク電流モード制御の場合)
- サイクル毎の電流制限コンパレータの入力

これにより、 $D > 50\%$ での低調波発振を防ぎます(文献によっては、 $D < 50\%$ でも発生する場合があります)。低デューティ・サイクルおよび軽負荷では、スロープ補償ランプによってピーク電流モード制御のノイズ感度が低下します。

追加のスロープ補償が大きすぎると、PCM制御の利点が損なわれます。サイクル毎の電流制限では、平均電流制限が低くなるため、大きな出力容量でのスタートアップ能力が低下する可能性があります。最適な補償スロープは、デューティ・サイクル、LOおよびLMによって異なります。

ピーク電流モード制御で動作中、または50%を超えるデューティ・サイクルでサイクル毎の電流制限中のコントローラに対しては、スロープ補償が必要です。RSUMピンとグランドの間に抵抗を配置すると、コントローラはピーク電流制御モードで動作できます。RSUMピンから抵抗を通して V_{REF} に接続すると、コントローラは内部PWMランプによる電圧モード制御に切り替わります。ただし、引き続きこの抵抗値によって、サイクル毎の電流制限に対してCS信号補償が行われます。つまり、電圧モード制御では、スロープ補償がサイクル毎のコンパレータにのみ適用されます。ピーク電流制御時は、スロープ補償がPWMとサイクル毎の電流制限コンパレータの両方に適用されます。

スロープ補償回路の動作ロジックを図11に示します。

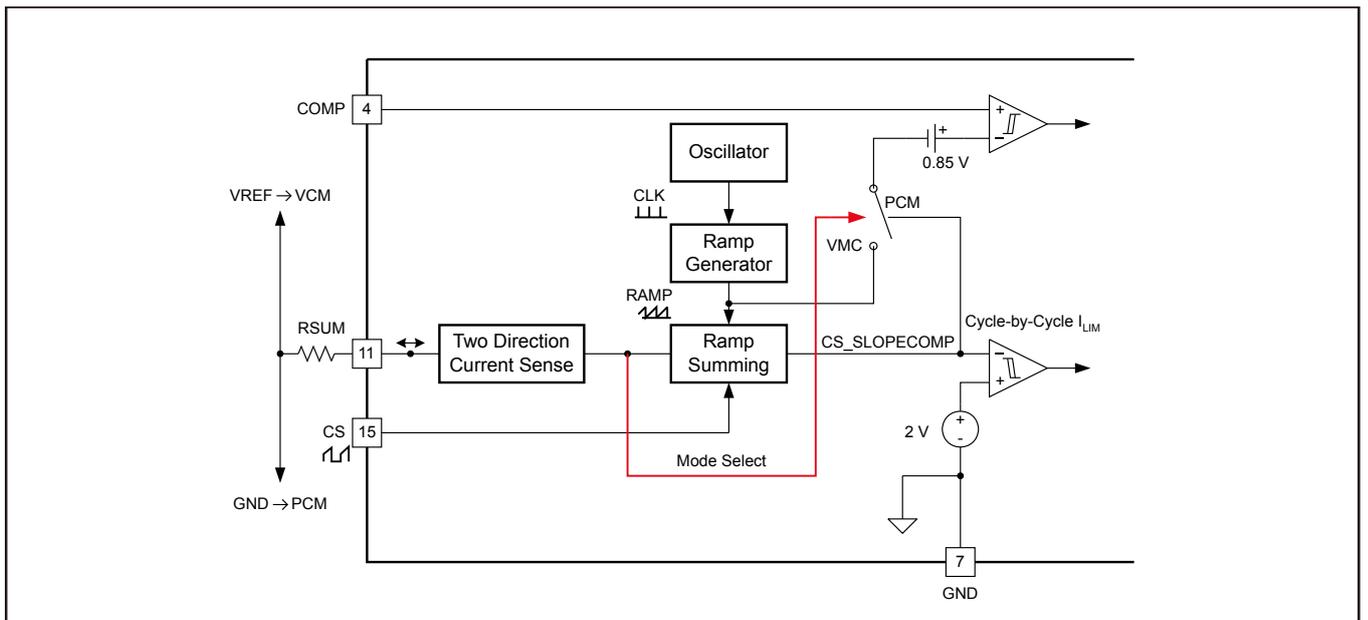


図11 スロープ補償回路の動作ロジック

RSUMピンとグラウンドの間に抵抗を配置してCS信号に付加される追加ランプのスロープ m_e は、次の式(12)によって定義されます。

$$m_e = \left(\frac{2.5}{0.5 \times R_{SUM}} \right) \frac{V}{\mu s} \quad (12)$$

RSUMピンとVREFピンの間に抵抗を接続すると、コントローラは電圧モード制御で動作しますが、サイクル毎の電流制限に使用されるCS信号には引き続きスロープ補償が付加されます。その場合、スロープは次の式(13)によって定義されます。

$$m_e = \left(\frac{(V_{REF} - 2.5V)}{0.5 \times R_{SUM}} \right) \frac{V}{\mu s} \quad (13)$$

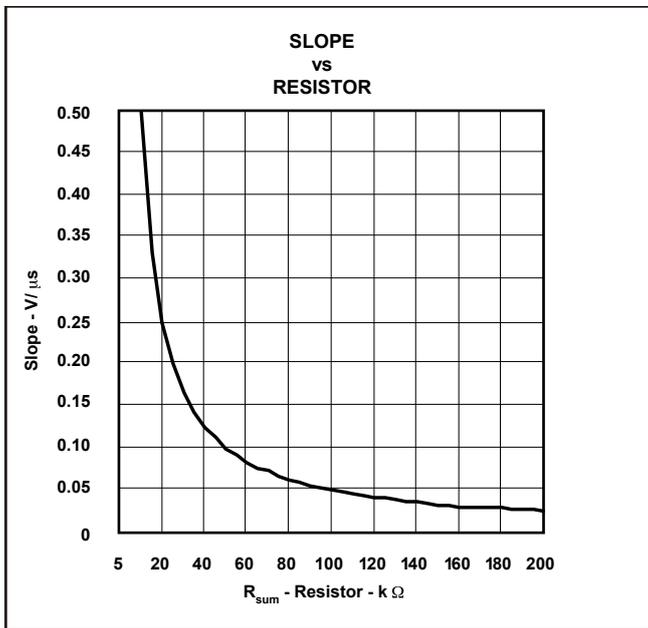


図12. 抵抗RSUMに対する付加ランプのスロープ

式(12)および式(13)で、VREFの単位はV、RSUMはkΩ、 m_e はV/μsです。これは経験的な式であり、単位の対応は取れていません。例として、VREF = 5VおよびRSUM = 40Ωを代入すると、結果は0.125V/μsとなります。RSUMの関数としての m_e の関連プロットを図12に示します。VREF = 5Vであるため、式(12)と式(13)から得られたプロットは一致しています。

注：The recommended resistor range for R_{SUM} is 10 kΩ to 1MΩ

動的SRオン/オフ制御(DCMモード)

分圧抵抗R_{dcmhi}(VREFピン–DCMピン間)およびR_{dcm}(DCMピン–GND間)で設定されるDCMピンの電圧により、電流センス・ピン(CS)に対する2V電流制限スレッシュホールドのパーセンテージが決まります。CSピンの電圧がDCMピンのスレッシュホールド電圧を下回ると、コントローラは軽負荷省電力モードを開始し、同期整流器OUTEおよびOUTFをシャットダウンします。CSピンの電圧がDCMピンのスレッシュホールド電圧より高い場合、コントローラはCCMモードで動作します。DCMピンをVREFに接続すると、コントローラはDCMモードで動作し、出力OUTEおよびOUTFの両方をシャットダウンします。DCMピンをGNDに短絡すると、DCM機能がディスエーブルになり、コントローラはすべての条件下でCCMモードで動作します。

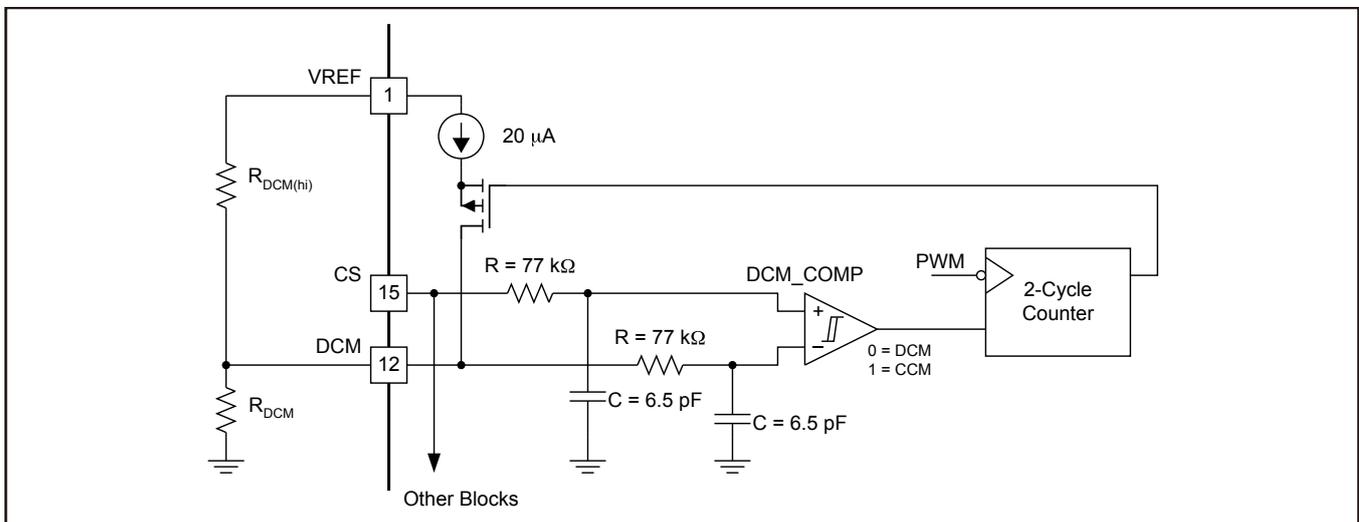


図 13 DCMの機能ブロック

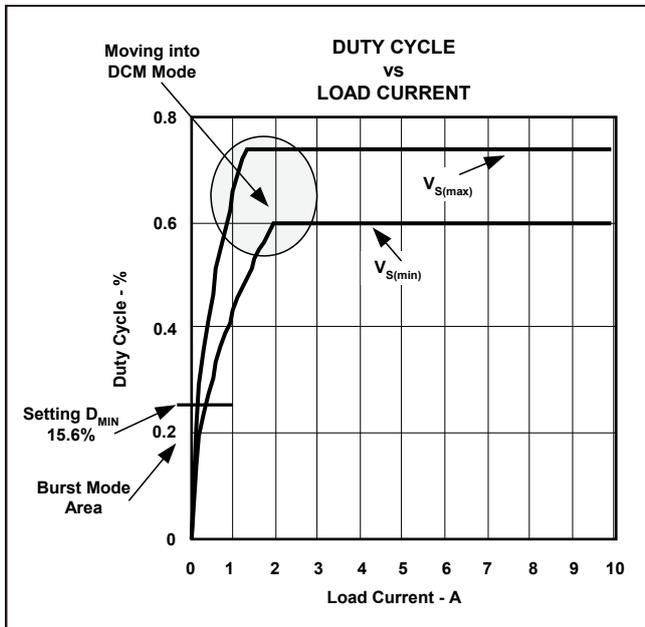


図14. 負荷電流の変化に対するデューティ・サイクルの変化

デバイスには、ヒステリシスの生成に使用される公称20μAのスイッチド電流源があります。この電流源は、システムがDCMモードのときにのみアクティブです。それ以外の場合は非アクティブであり、ノード電圧に影響を与えません。したがって、DCM領域内では、DCMスレッシュホールドは、分圧抵抗による値に、下の式(14)に示すΔVを加えたものになります。CCM領域内では、スレッシュホールドは分圧抵抗で設定された電圧となります。CSピンがDCMピンで設定されたスレッシュホールドに達すると、システムは2回の連続した立ち下がりエッジPWMサイクルを待ってから、CCMからDCM(またはその逆)に切り替わります。ヒステリシスの大きさは、外部分圧抵抗のインピーダンスの関数です。ヒステリシスは、次の式(14)を使用して計算できます。

$$\Delta V = 2 \times 10^{-5} \frac{R_{DCMHI} \times R_{DCM}}{R_{DCMHI} + R_{DCM}} \quad (14)$$

DCMは、出力インダクタでの逆電流によって同期FETに障害が発生するのを防ぐために使用する必要があります。

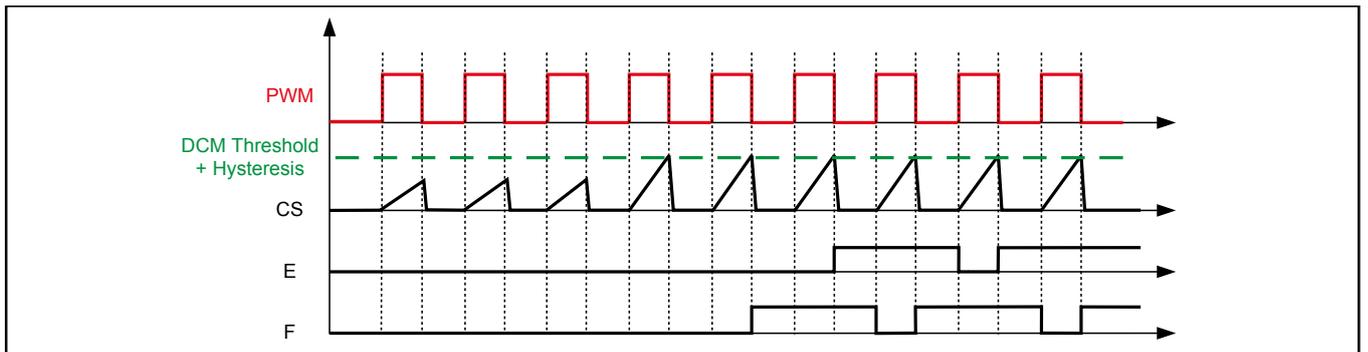


図15. DCMモードからCCMモードへの遷移

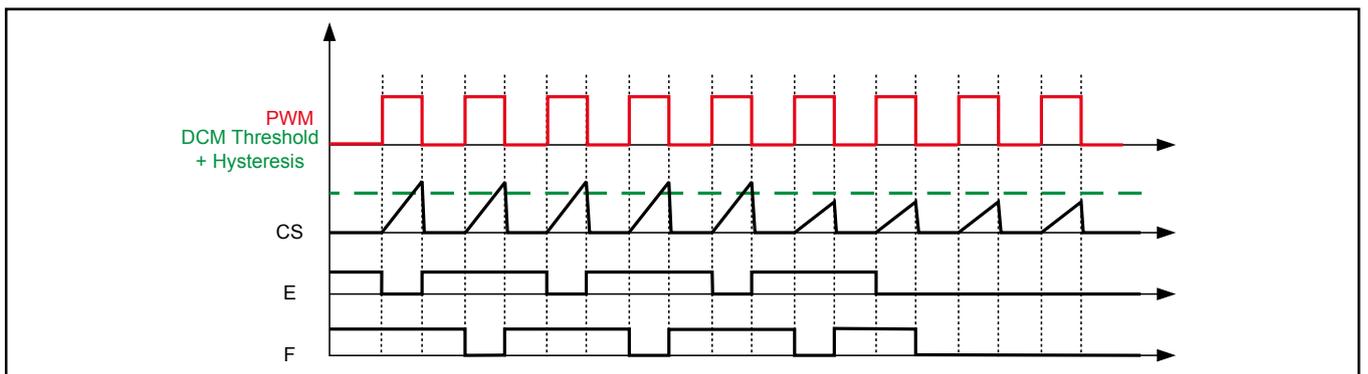


図16. CCMモードからDCMモードへの遷移

電流センス (CS)

電流センス・ピンからの信号は、サイクル毎の電流制限、ピーク電流モード制御、軽負荷効率管理、出力OUTA、OUTB、OUTC、OUTDに対する遅延時間の設定、および出力OUTE、OUTFに対する遅延時間の設定に使用されます。電流センス抵抗 R_{CS} をCSとGNDの間に接続します。レイアウトに応じて、電氣的ノイズ干渉を防ぐために、 R_{CS} 抵抗とCSピンの間に小さなR-Cフィルタを配置することを推奨します。

サイクル毎の電流制限保護およびヒカップ・モード

サイクル毎の電流制限は、負荷電流があらかじめ設定されたスレッシュホールドを超えたときに、コンバータの1次側にピーク電流制限を適用します。ピーク電流モード制御では、スイッチング・ノイズによってコントローラが誤ってトリップしないように、一定の先行エッジ・ブランキング時間が必要です。ブランキング時間用に外部RCフィルタを用意せずに済むように、CS入力には30nsの内部フィルタが搭載されています。CS

ピンから出力までの合計伝播遅延TCSは、100nsです。電源段でそれ以上のブランキング時間を必要とする場合は、外部RCフィルタが必要になります。2.0V \pm 3%のサイクル毎電流制限スレッシュホールドは、電流トランスを使用した効率的なセンシングのために最適化されています。コンバータがサイクル毎の電流制限で動作する時間の長さは、ソフト・スタート・コンデンサの値と、過電流状態がどの程度深刻であるかによって決まります。これは、SSピンでの内部放電電流 I_{DS} (式(15)および式(16))によって実現されます。

$$I_{DS(\text{master})} = (-25 \times (1-D) + 5) \mu\text{A} \quad (15)$$

$$I_{DS(\text{slave})} = (-25 \times (1-D)) \mu\text{A} \quad (16)$$

ソフト・スタート・コンデンサの値は、いわゆるヒカップ・モードのオフ時間の長さも決定します。各種の動作モードでのコンバータの動作と、関連するソフト・スタート・コンデンサの充電/放電電流を図17に示します。

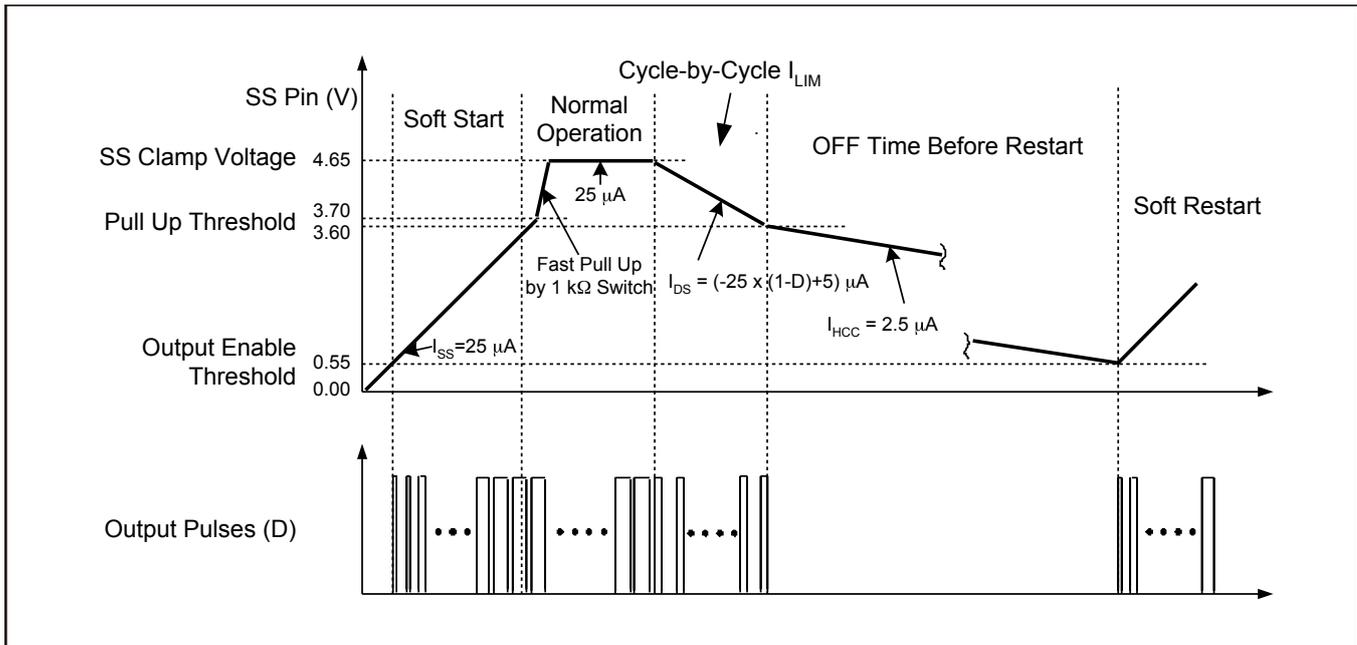


図17. ソフト・スタート電圧VSSのタイミング図

デューティ・サイクルがゼロに近いときに、最大の放電電流 $20\mu\text{A}$ となります。この電流は、サイクル毎の電流制限中の最短の動作時間を設定します。これは次の式で定義されます。

$$T_{\text{CL(on_master)}} = \frac{C_{\text{SS}} \times (4.65\text{V} - 3.7\text{V})}{20\mu\text{A}} \quad (17)$$

$$T_{\text{CL(on_slave)}} = \frac{C_{\text{SS}} \times (4.65\text{V} - 3.7\text{V})}{25\mu\text{A}} \quad (18)$$

したがって、ソフト・スタート・コンデンサとして $C_{\text{SS}} = 100\text{nF}$ を選択した場合、 $T_{\text{CL(on)}}$ 時間は 5ms となります。

再起動前のヒックアップ・オフ時間 $T_{\text{CL(off)}}$ を計算するには、次の式 (19) または式 (20) を使用する必要があります。

$$T_{\text{CL(off_master)}} = \frac{C_{\text{SS}} \times (3.6\text{V} - 0.55\text{V})}{2.5\mu\text{A}} \quad (19)$$

$$T_{\text{CL(off_slave)}} = \frac{C_{\text{SS}} \times (3.6\text{V} - 0.55\text{V})}{4.9\mu\text{A}} \quad (20)$$

同じソフト・スタート・コンデンサ値 100nF で、再起動前のオフ時間は 122ms となります。スタートアップ時にソフト・スタート・コンデンサの電圧が 3.7V のスレッシュホールドに達する前に、過電流状態が発生した場合、コントローラは電流を制限しますが、ソフト・スタート・コンデンサの充電は継続されます。 3.7V のスレッシュホールドに達すると、内部の $1\text{k}\Omega$ $R_{\text{DS(on)}}$ スイッチによってソフト・スタート電圧は直ちに 4.65V スレッシュホールドにプルアップされ、ソフト・スタート・コンデンサの放電によりサイクル毎の電流制限期間のタイミングが開始されます。特定の設計要件に応じて、ユーザーはソフト・スタート・コンデンサに外部から充電または放電電流を印加して、デフォルトのパラメータよりも優先させることができます。サイクル毎の電流制限とヒックアップ・モードの全体的な動作を図17に示します。この例では、サイクル毎の電流制限が約 5ms 続いた後、オフ時間が 122ms 続きます。

過電流状態の場合と同様に、 SS ピンと VREF ピンの間にプルアップ抵抗を接続することで、ユーザーは再起動を伴うヒックアップ・モードを使用しないようにできます。この抵抗によって提供されるプルアップ電流が $2.5\mu\text{A}$ を超えた場合、コントローラはラッチオフ・モードに保持されます。この場合、外部のソフト・スタート・コンデンサの値は、追加のプルアップ電流を考慮に入れて計算する必要があります。 0.55V または VDD 電圧に強制的に放電されたソフト・スタート・コンデンサが UVLO スレッシュホールド未満に低下した場合、ラッチオフ・モードは外部でリセットできます。

同期 (SYNC)

UCC28950では、すべてのSYNCピンを互いに接続し、各コントローラをマスタまたはスレーブに設定することで、複数のコンバータが同期モードで動作する柔軟な構成を実現できます。マスタとして設定されたコントローラ (RT-VREF間に抵抗を接続) は、コンバータ周波数 $F_{SW(nom)}$ の2倍の周波数および0.5のデューティ・サイクルを持つ同期パルスをSYNCピンに出力します。スレーブとして設定されたコントローラ (RT-GND間に抵抗、およびSS_ENピン-GND間に825k Ω の抵抗を接続) は、同期パルスを生成しません。スレーブ・コントローラは、自身のクロックを同期信号の立ち下がりエッジに同期させるため、マスタ・コンバータの周波数 $F_{SW(nom)}$ に対して90°の位相シフトで動作します。スレーブはSYNCパルスの立ち下がりエッジに同期するため、マスタのCLKに対して180°遅れて、またはマスタの出力スイッチング・パルスに対して90°遅れて動作します。

マスタとスレーブの間でそのように動作が行われることにより、コンバータの入力と出力が接続された場合の入力コンデンサと出力コンデンサのリップルの相殺効果が最大となります。複数のコンバータの同期動作中に生じるシステム上の問題を避けるため、以下の条件を考慮する必要があります。

- いずれかのコンバータをスレーブとして設定した場合、SYNC周波数はコンバータ周波数の1.8倍以上である必要があります。
- スレーブ・コンバータは、最低1つの同期パルスが受信されるまで起動しません。
- いずれかまたはすべてのコンバータがスレーブとして設定されている場合、各コンバータは、最低1つの同期パルスを受信した後、同期なしで独自の周波数で動作します。そのため、スレーブ・コンバータで同期パルスの中断があった場合、コントローラは独自の内部クロック・パルスを使用し、スレーブ・コンバータ内のGNDに接続されたRTの値に基づいて動作を維持します。
- マスタ・モードでは、SSピンがそのイネーブル・スレッショルド (0.55V) を超えた後に、SYNCパルスの出力を開始します。
- スレーブは、同期パルスが受信されない場合でも、SS/EN電圧の生成を開始します。
- マスタ・コントローラ上のSSは、スレーブ・コントローラ上のSSより前に開始されることが推奨されます。したがって、適切な動作のためには、スレーブ・コンバータのSS/ENの開始よりも前に、マスタ・コンバータのSS/ENピンがイネーブル・スレッショルドに達する必要があります。同じ観点から、マスタとスレーブ両方のTMIN抵抗を同じ値に設定することを推奨します。

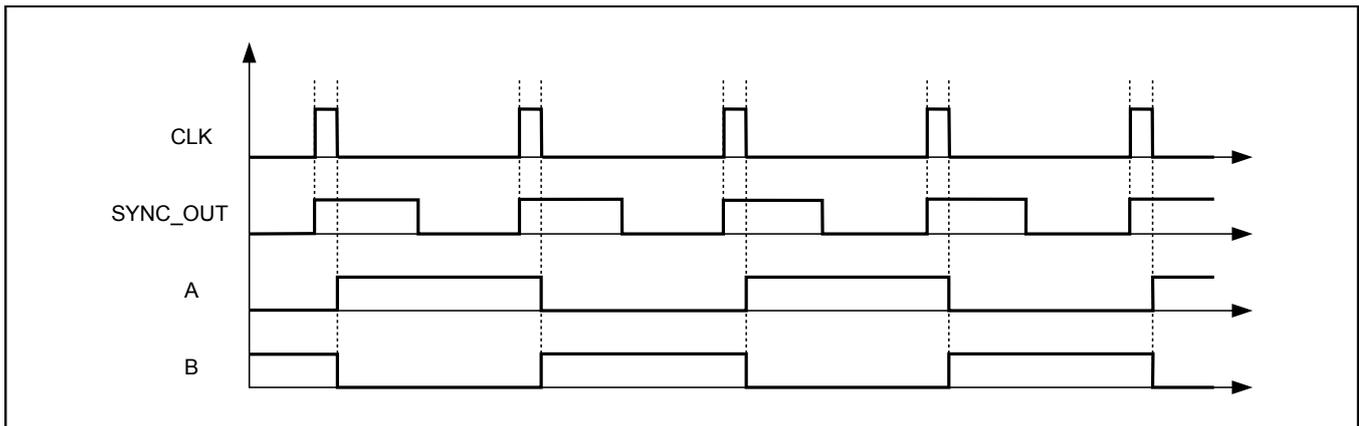


図18. SYNC_OUT (マスタ・モード)のタイミング図

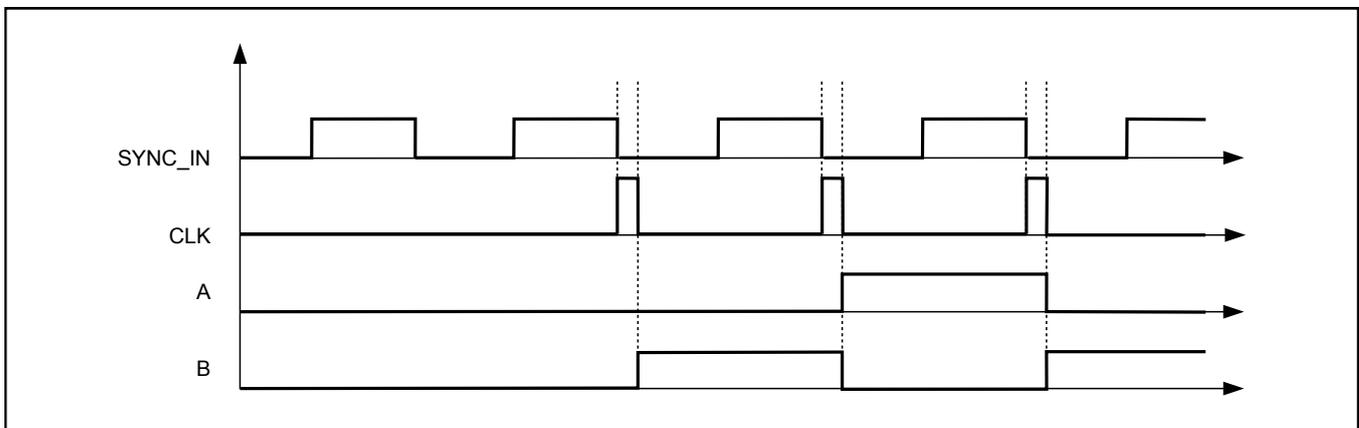


図19. SYNC_IN (スレーブ・モード)のタイミング図

出力(OUTA、OUTB、OUTC、OUTD、OUTE、OUTF)

- すべてのMOSFET制御出力は、0.2Aの駆動能力を持ちます。
- 制御出力は、 $R_{DS(on)}$ が 20Ω および 10Ω (typ)のP-MOSおよびN-MOSトータムポールとして構成されます。
- 制御出力は、 100pF のコンデンサを 12ns 以内に充電し、 8ns 以内に放電する能力を持ちます。
- 出力制御パルスの振幅は V_{DD} に等しくなります。
- 制御出力は、外部ゲートMOSFET/IGBTドライバとともに使用するよう設計されています。
- 設計は出力のラッチアップを防ぐように最適化され、広範なテストによって検証されています。

UCC28950には、出力OUTA、OUTB、および出力OUTC、OUTDがあります。OUTA、OUTBは、アクティブ・レグを駆

動し、位相シフト・フル・ブリッジ電源段のパワーMOSFETのデューティ・サイクル・レグを開始します。OUTC、OUTDは、パッシブ・レグを駆動し、デューティ・サイクル・レグを完了させます(図47の標準タイミング図を参照)。出力OUTEおよびOUTFは、同期整流MOSFETを駆動するよう最適化されています(図20)。これらの出力は、 200mA のピーク電流能力を持ち、外部MOSFETドライバやIGBTドライバの入力のように比較的小さな容量性負荷を駆動するよう設計されています。推奨負荷容量は 100pF 以下です。出力信号の振幅は V_{DD} 電圧に等しくなります。

The capacitors C_{OSS} shown in Figure 20 are internal MOSFET capacitances that must be taken into account during design procedure to estimate zero voltage condition and switching losses.

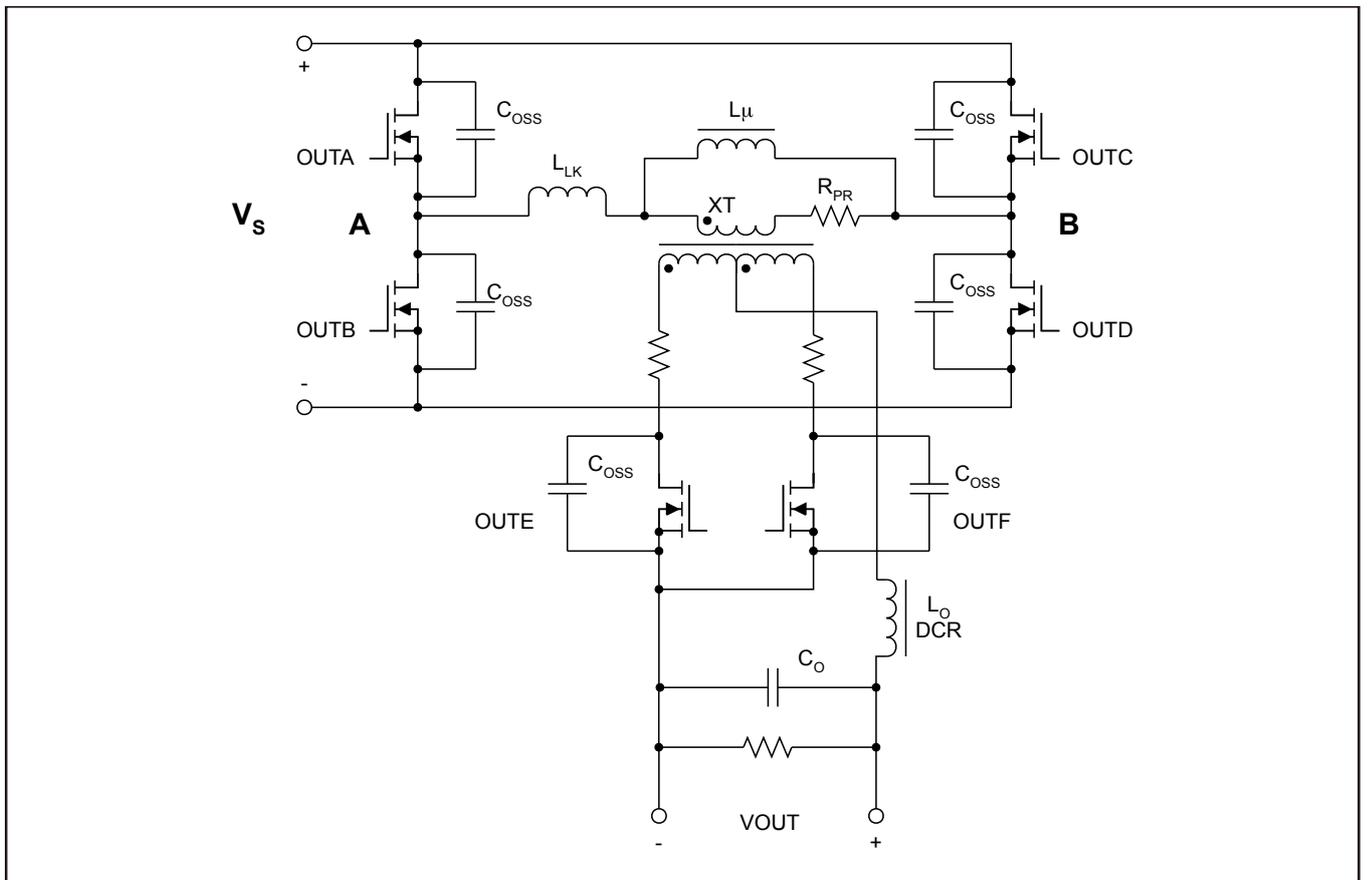


図20. 電源段

電源電圧 (VDD)

このピンは、8V~17Vのバイアス電源に接続します。このピンとGNDの間に、1 μ F以上の高品質、低ESR/ESLのセラミック・バイパス・コンデンサ C_{VDD} を接続します。VDDピンに直列の10 Ω 抵抗を使用して、 C_{VDD} コンデンサとRCフィルタを形成することを推奨します。

グラウンド (GND)

すべての信号がこのノードを基準とします。個別の低雑音アナログ・プレーンを1箇所ずつでパワー・プレーンに接続することを推奨します。このアナログ・プレーンは、VREF、EA+、EA-、COMP、SS/EN、DELAB、DELCD、DELEF、TMIN、RT、RSUMの各ピンに関連した部品を結合します。パワー・プレーンは、DCM、ADELEF、ADEL、CS、SYNC、OUTF、OUTE、OUTD、OUTC、OUTB、OUTA、VDDの各ピンに関連した部品を結合します。レイアウトとグラウンド・プレーン接続の例を図21に示します。

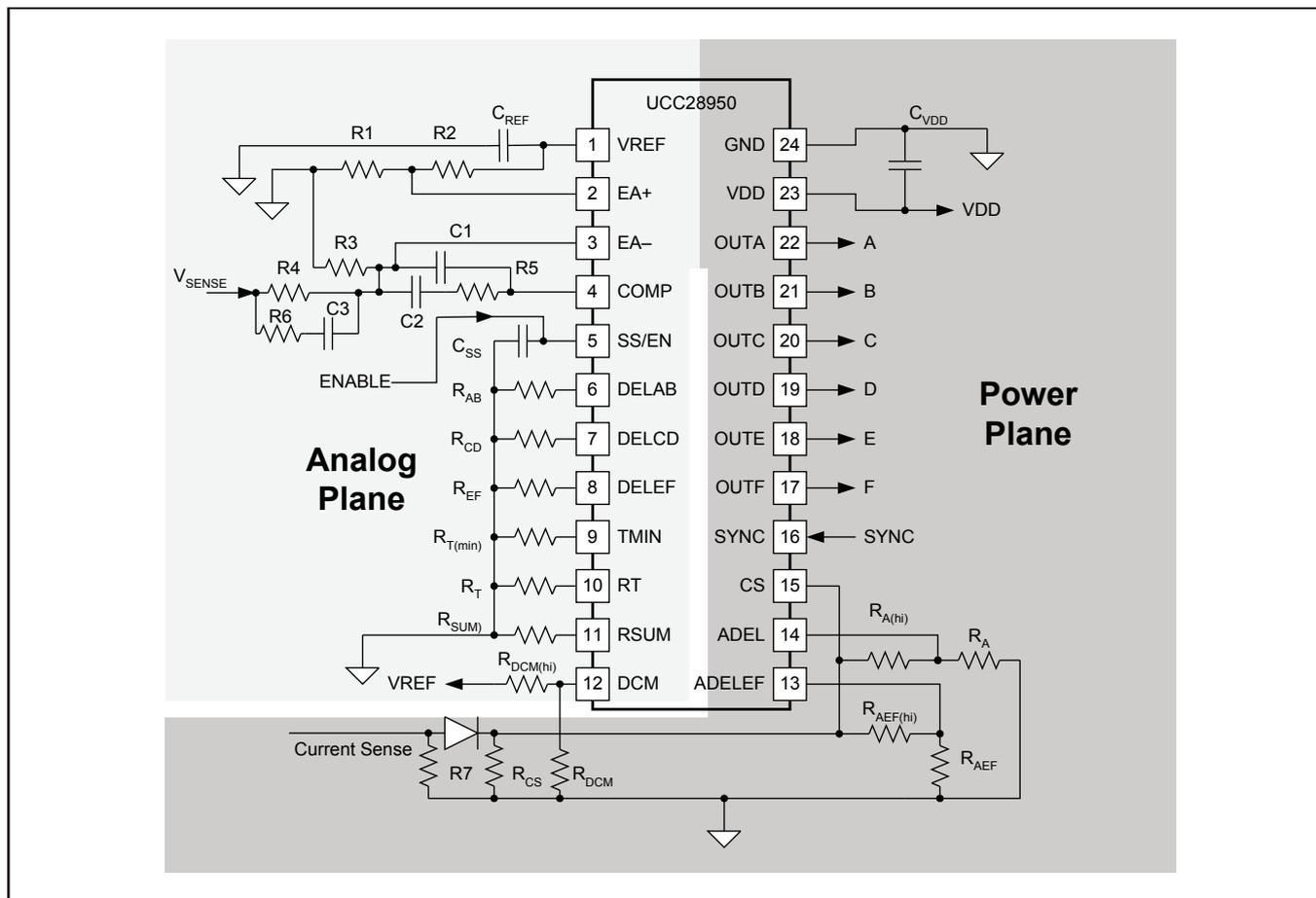


図21. アナログおよびパワー・プレーンの推奨レイアウト

標準的特性

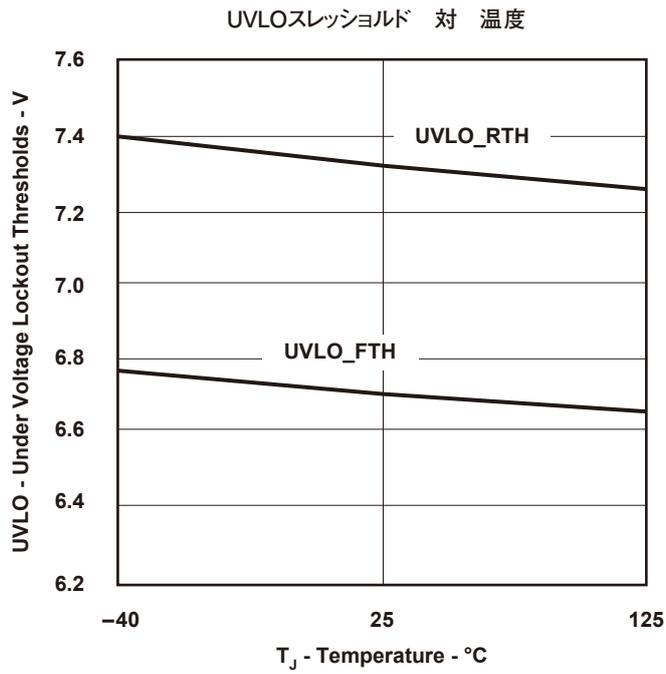


図 22

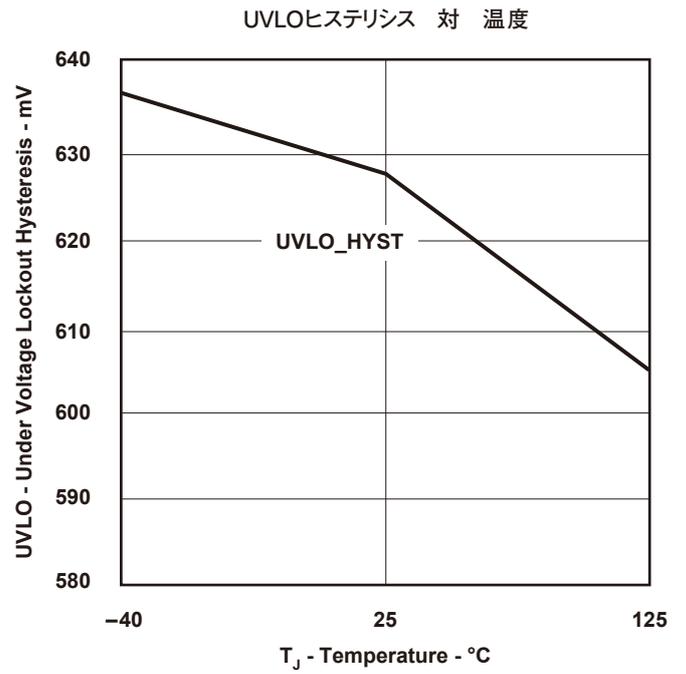


図 23

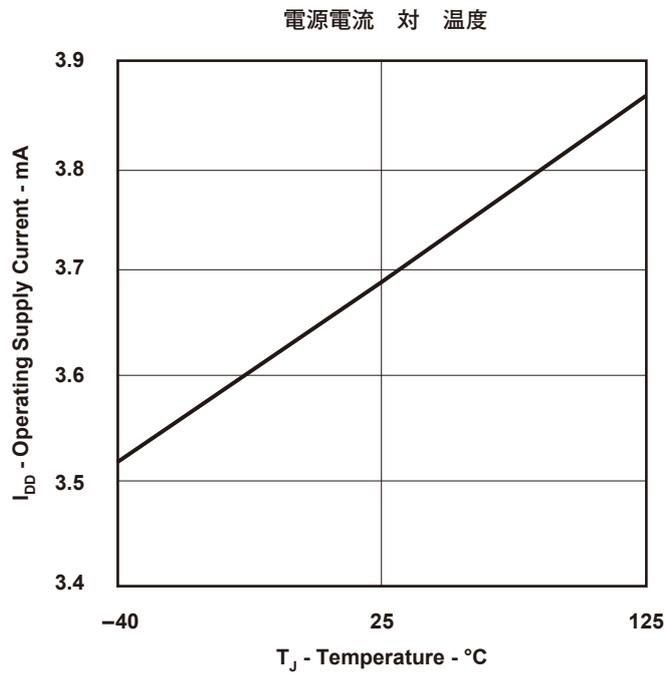


図 24

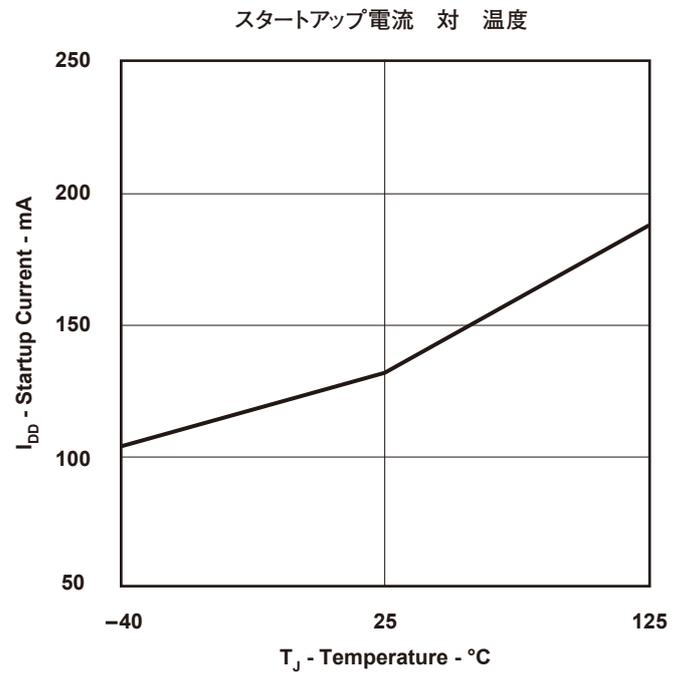


図 25

標準的特性

電圧リファレンス(VDD = 12V) 対 温度

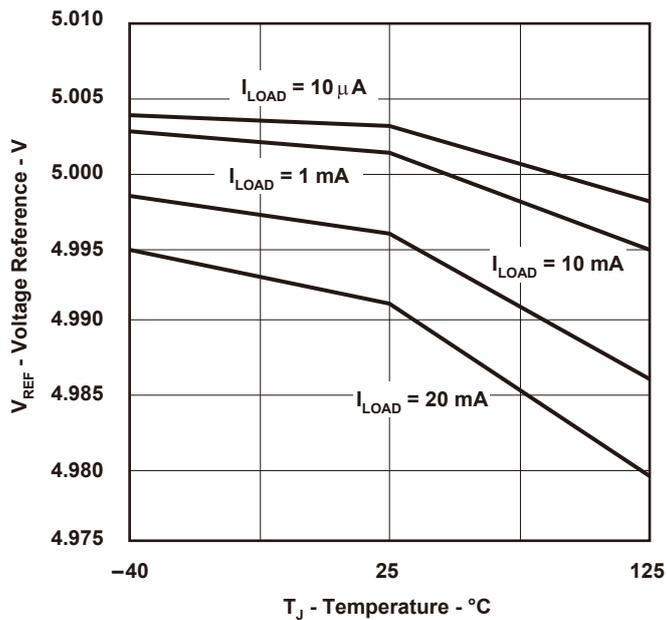


図 26

ライン電圧レギュレーション(I_{LOAD} = 10mA) 対 温度

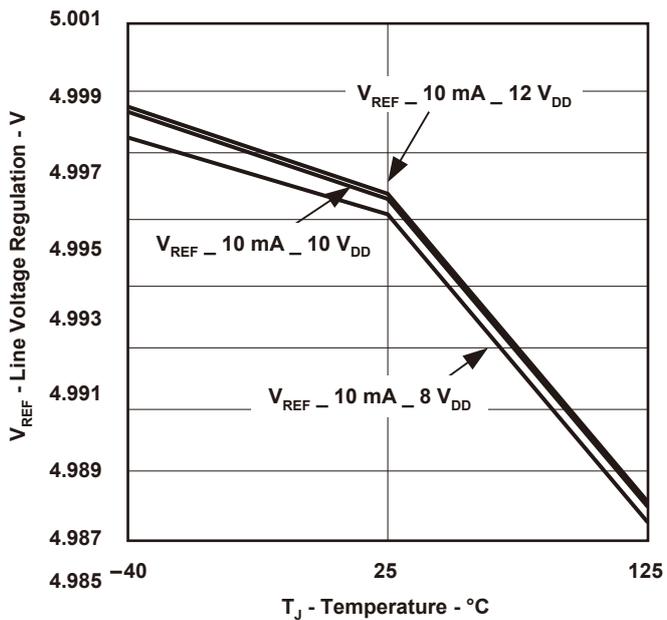


図 27

短絡電流 対 温度

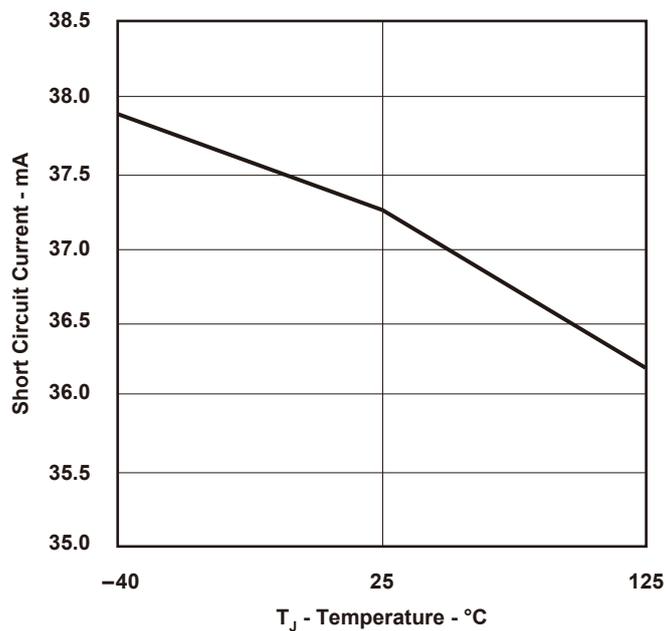


図 28

最大デューティ・サイクル 対 温度

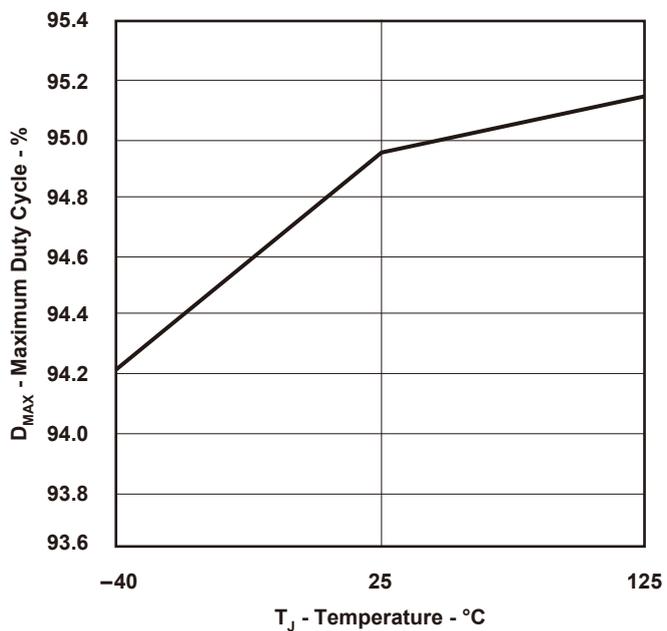


図 29

標準的特性

公称スイッチング周波数 対 温度

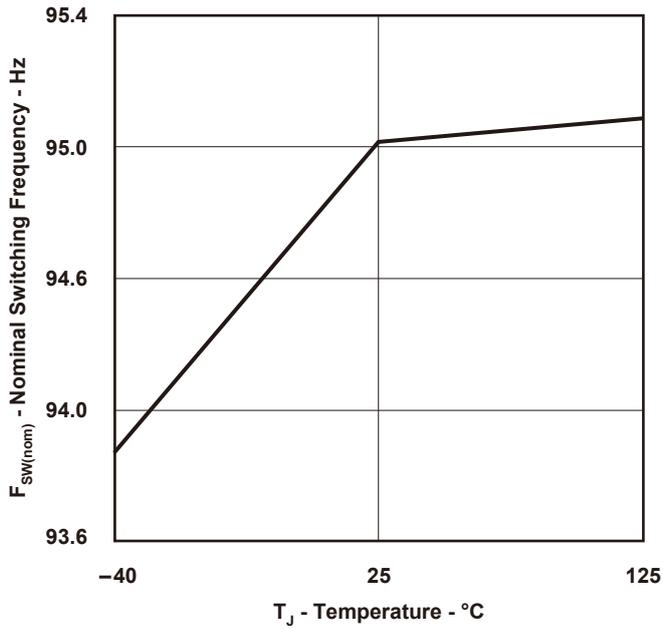


図 30

最大スイッチング周波数 対 温度

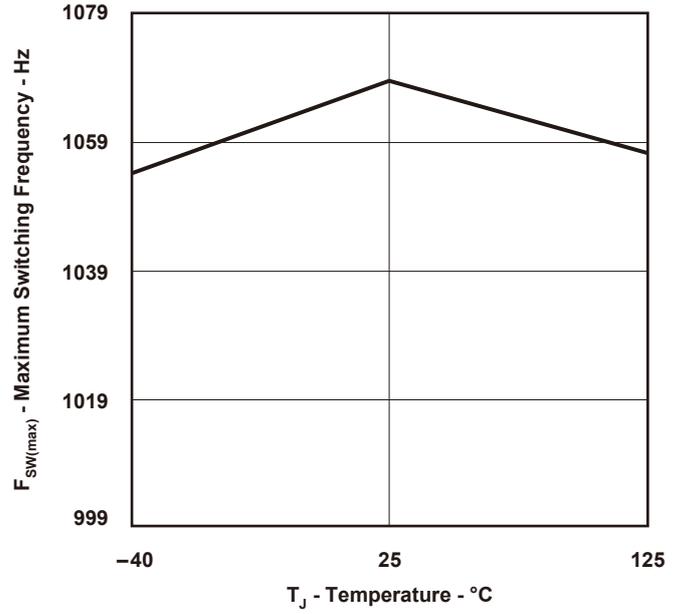


図 31

誤差増幅器オフセット電圧 対 温度

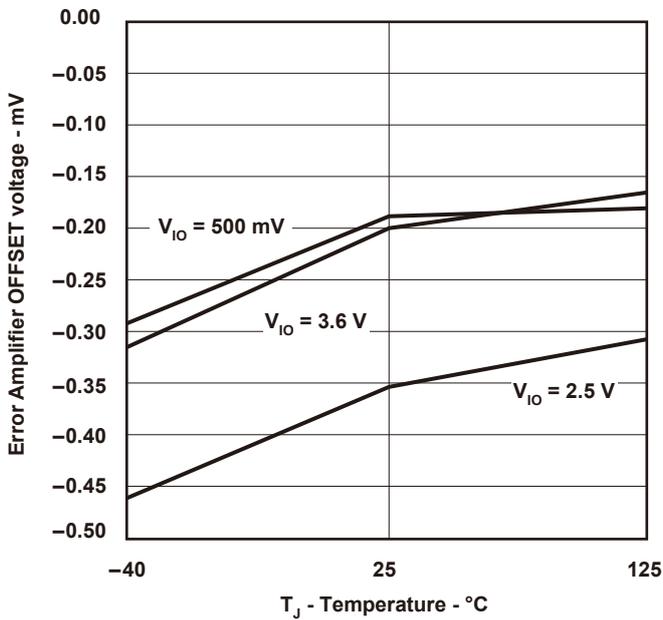


図 32

電圧誤差増幅器(開ループ・ゲイン) 対 温度

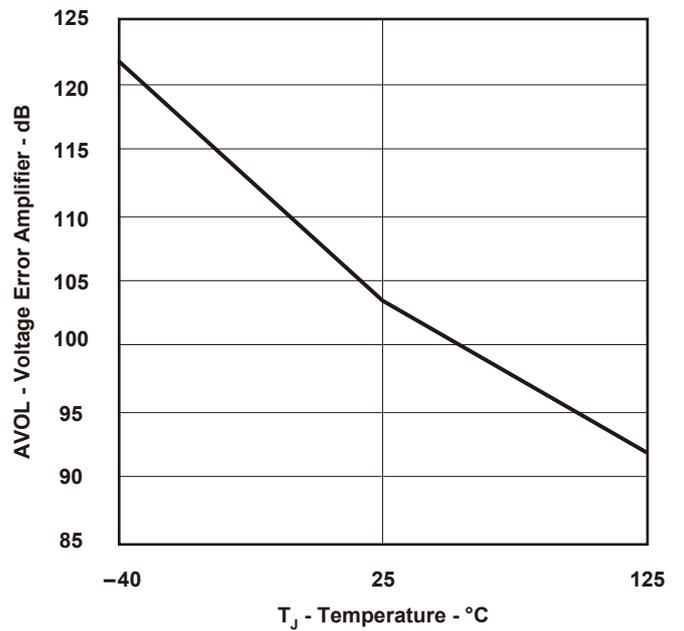


図 33

標準的特性

ISS充電電流 対 温度

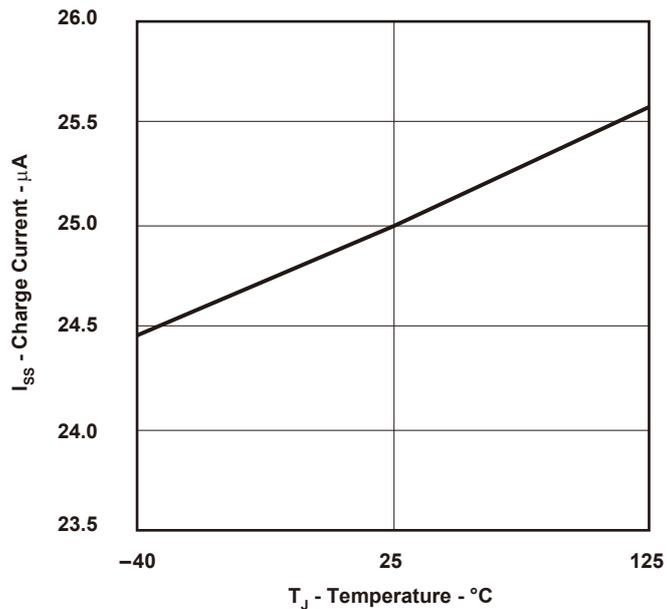


図 34

シャットダウン/再起動/リセット・スレッシュホールド
対
温度

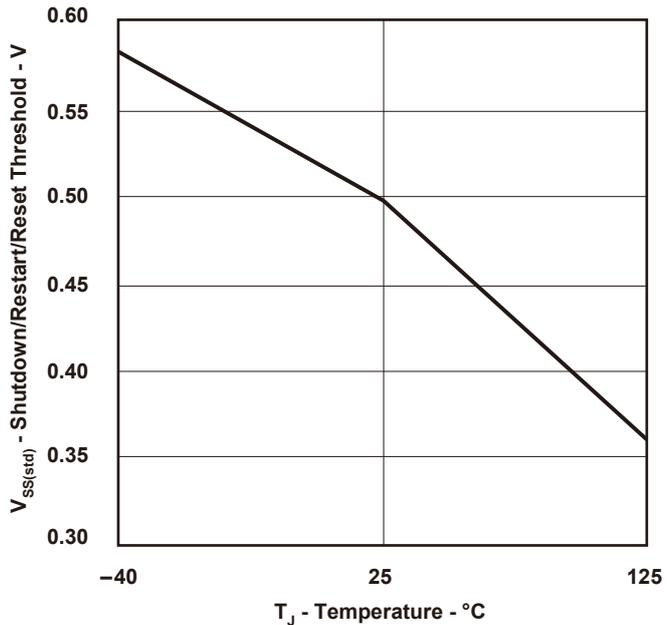


図 35

SSプルアップ・スレッシュホールド 対 温度

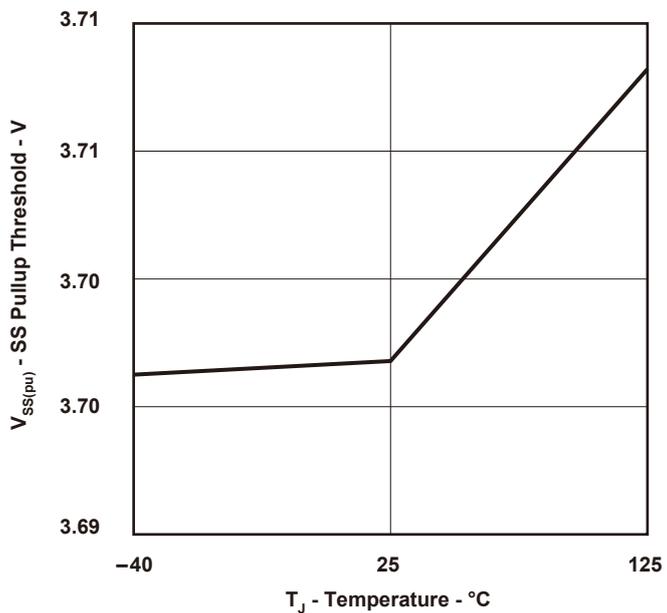


図 36

SSクランプ電圧 対 温度

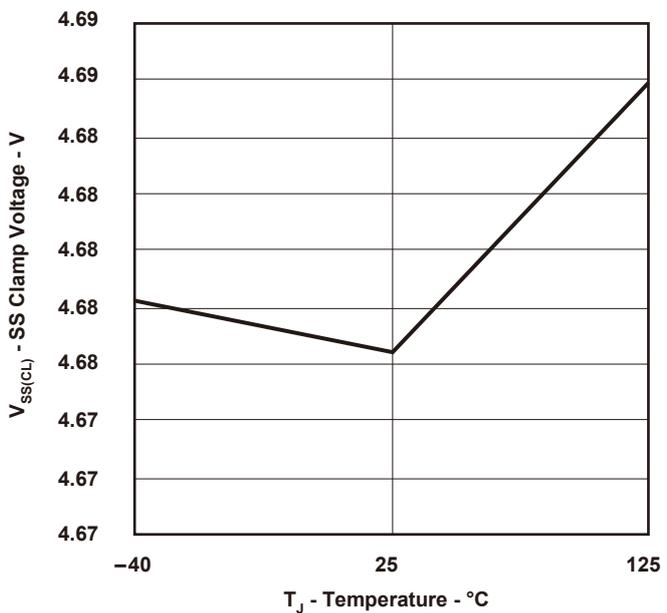


図 37

標準的特性

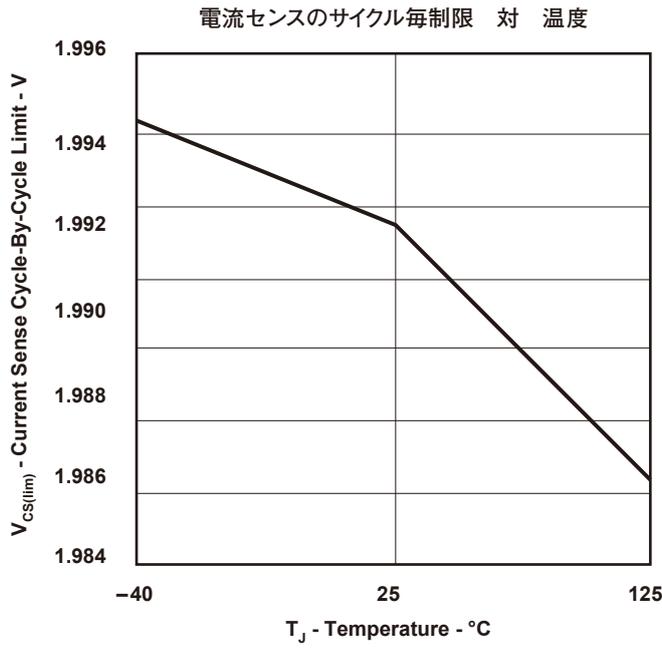


図 38

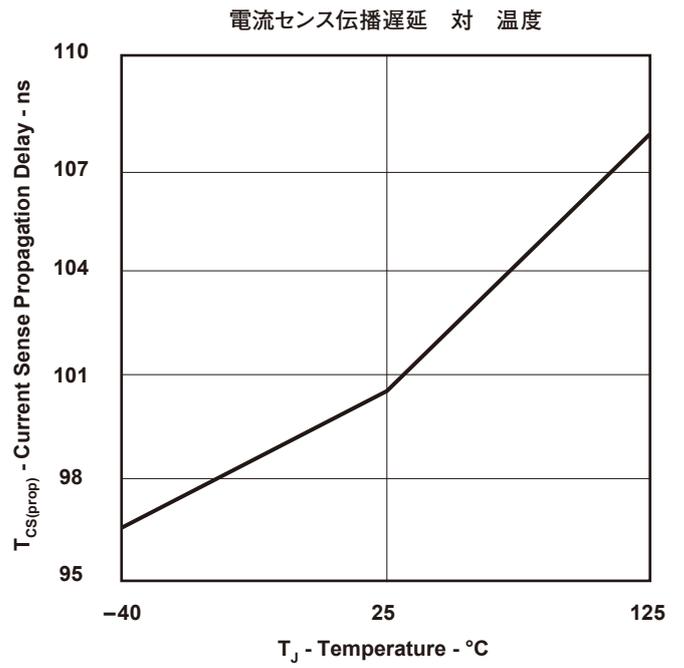


図 39

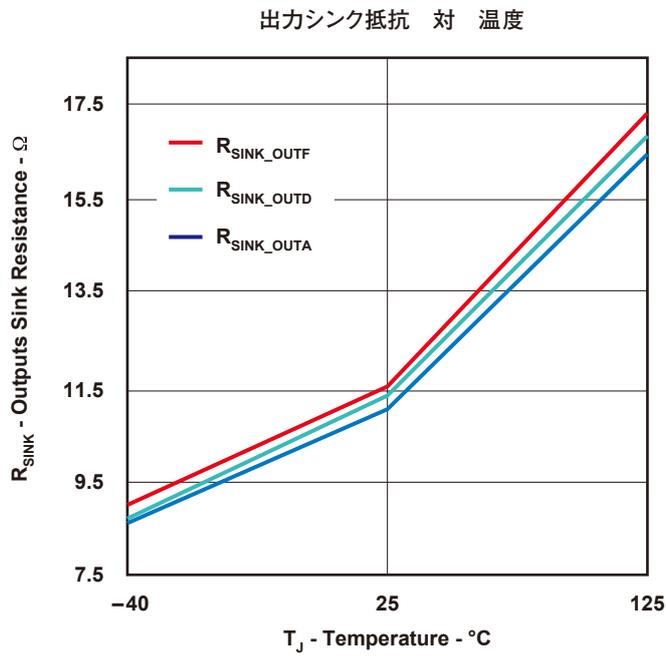


図 40

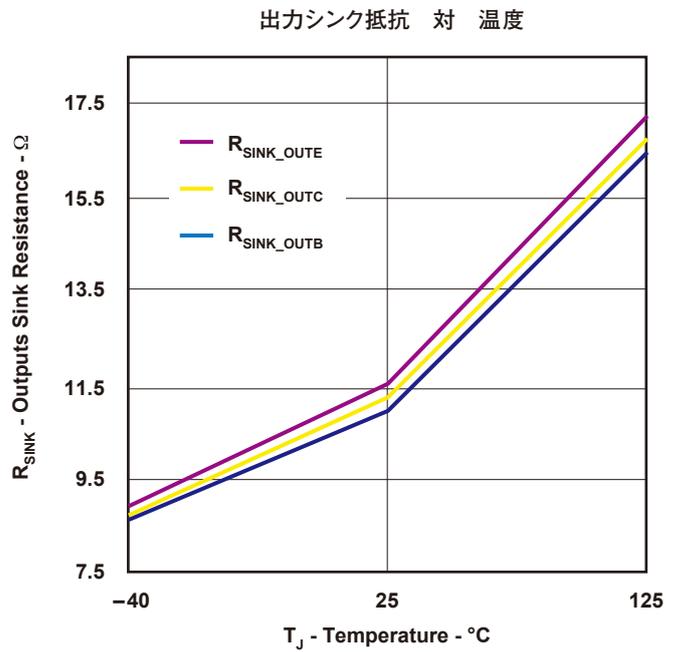


図 41

標準的特性

出力ソース抵抗 対 温度

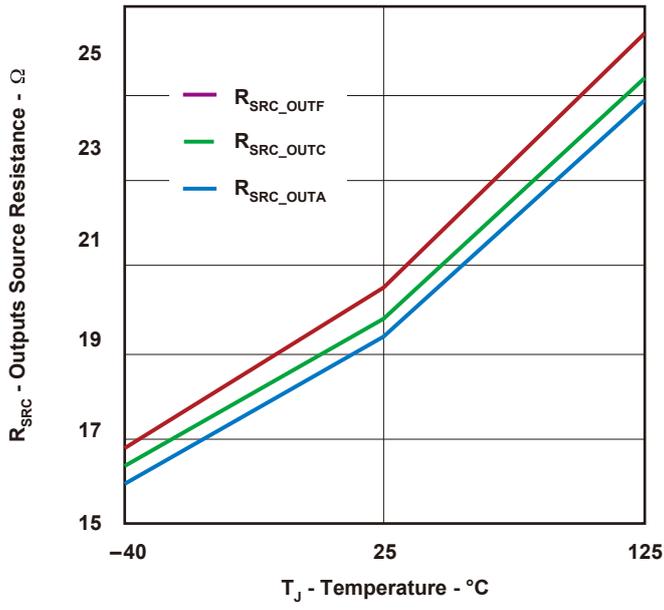


図 42

出力ソース抵抗 対 温度

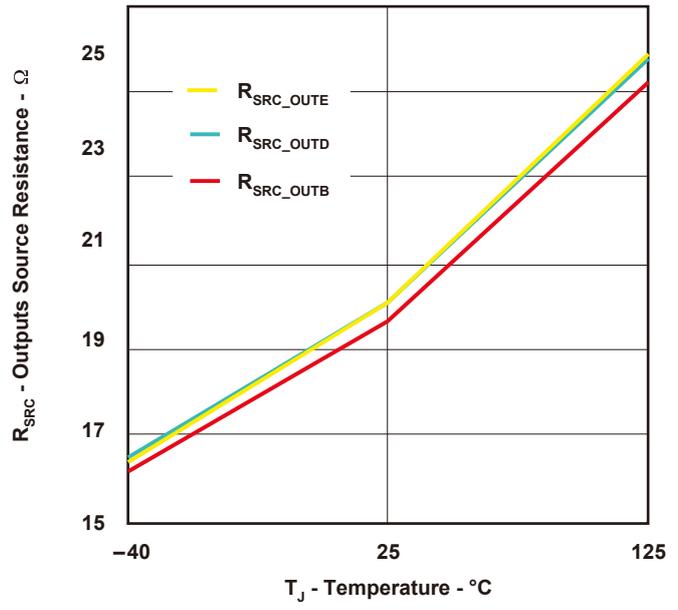


図 43

デッドタイム遅延 対 温度

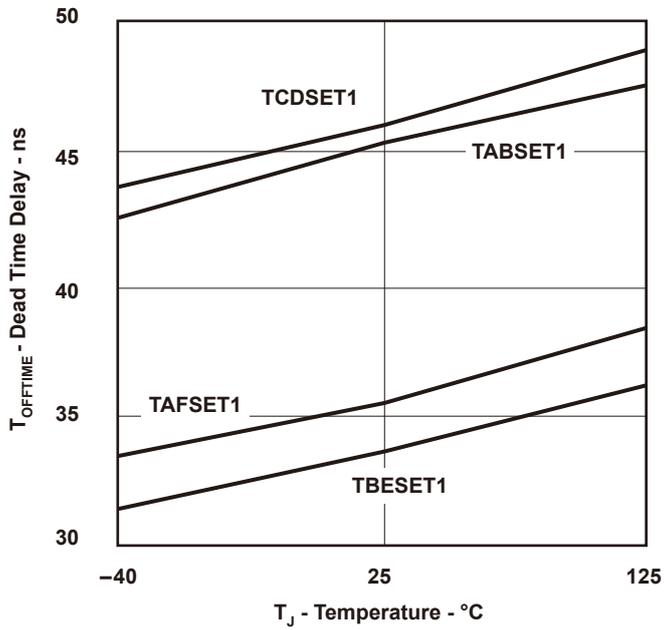


図 44

デッドタイム遅延 対 温度

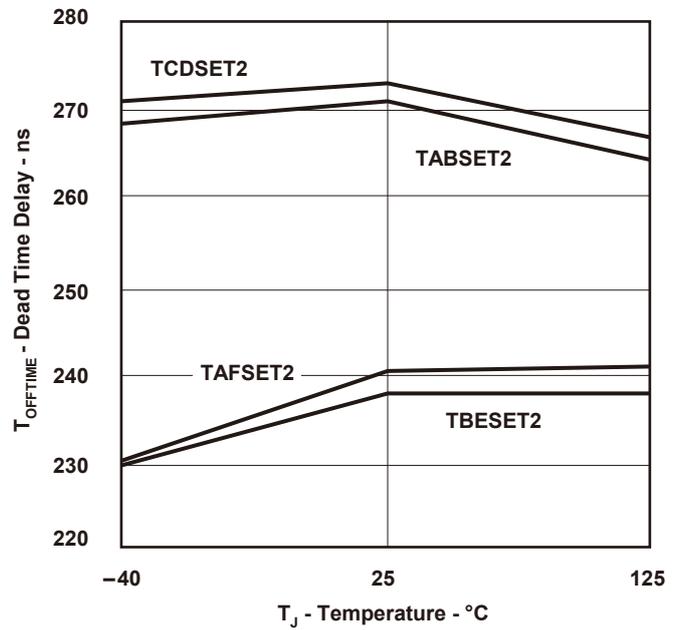


図 45

標準的特性

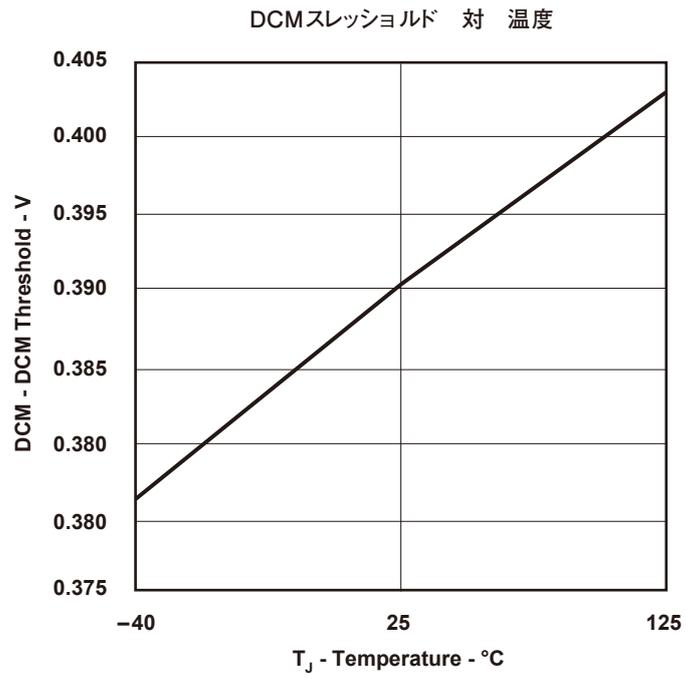


図 46

アプリケーション情報

UCC28950のアプリケーションについて

UCC28950による位相シフト・フルブリッジDC/DCコンバータの効率の向上は、同期整流手法、負荷電流範囲全体にわたってZVS状態を維持する制御アルゴリズム、1次側/2次側FET間の制御信号の正確な適応型タイミング管理、および軽負荷での効率向上と省電力のための特別な動作モードによって実現されています。このコンバータの主要な波形図を図47に示します。コントローラ・デバイスはコンバータの2次側に配置されていますが、1次側に配置することも可能です。2次側に配置すると、電源システム・レベルでの通信が容易になり、同期整流MOSFETの高速な直接制御を必要とするような過渡状態への対応が向上します。電源段には、1次側のMOSFET、QA、QB、QC、QD、および2次側のMOSFET、QE、QFが含まれています。

例えば、サーバ電源内の12V出力コンバータに対しては、L-C出力フィルタとともにセンター・タップ整流方式を使用するのが一般的です。

さまざまな出力電力状態で高い効率を維持するために、コンバータは中出力および高出力電力レベルでは公称同期整流モードで動作し、軽負荷ではダイオード整流モードに遷移して、出力電力がさらに低くなるとバースト・モードに遷移します。このケースでは、これらの遷移はすべて、電流センス・トランスを使用した1次側での電流センスに基づいています。

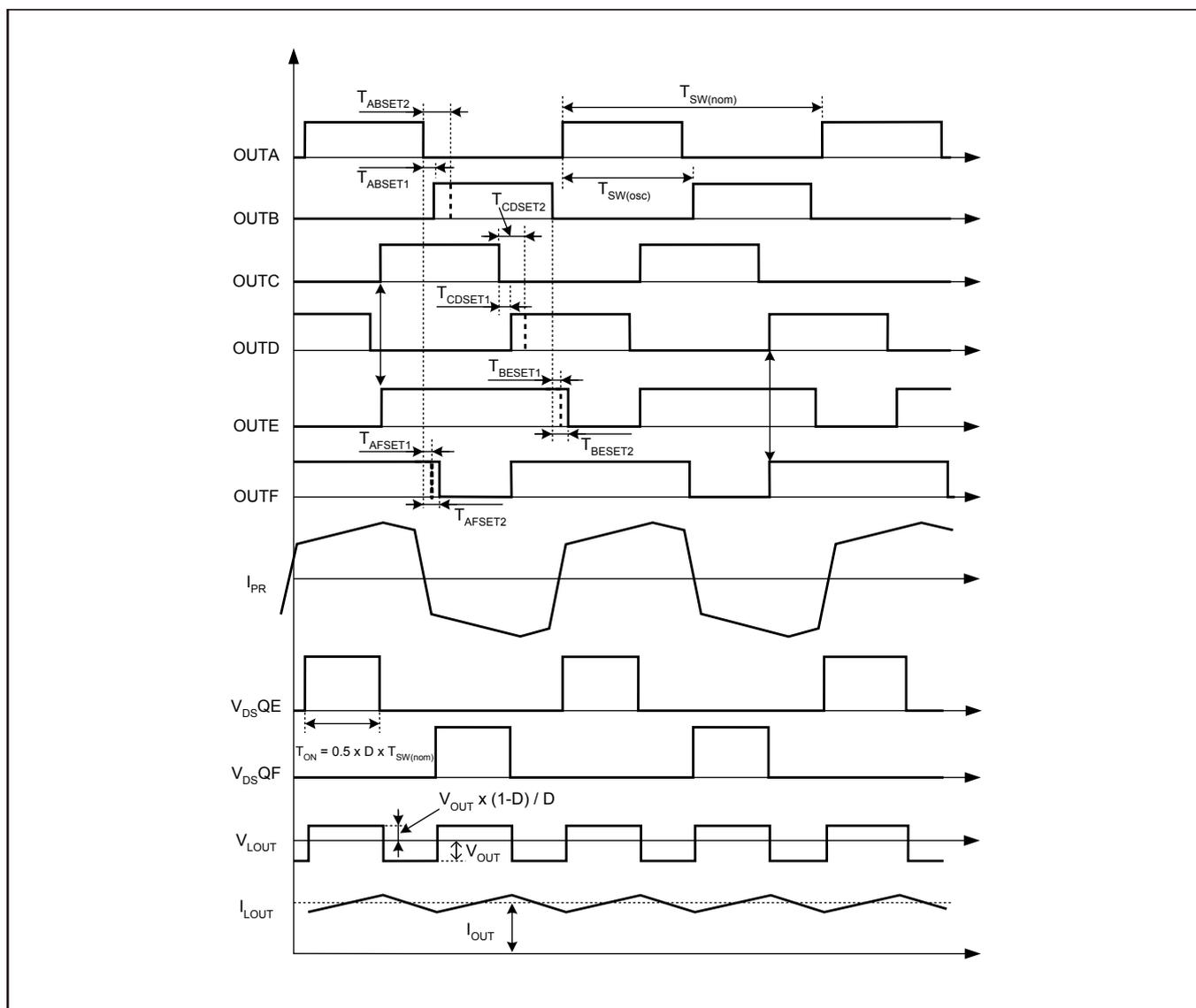


図47. 位相シフト・コンバータの主要な波形

通常動作モードでの位相シフト・コンバータの主要な波形を図47に示しています。図47の上の6つの波形は、コントローラの実出力駆動信号を示しています。公称モードでは、スイッチング・サイクル中に両方の整流MOSFETが導通してパワー・トランスの巻線が短絡したとき、出力OUTEおよびOUTFがオーバーラップします。電流 I_{PR} は、パワー・トランスの1次巻線を通る電流です。下の4つの波形は、整流MOSFETのドレイン・ソース間電圧 V_{DS_QE} および V_{DS_QF} 、出力インダクタの電圧 V_{L_OUT} 、および出力インダクタを通る電流 I_{L_OUT} を示しています。1次側のスイッチと同期整流MOSFETの間で適切にタイミングを制御することは、このモードで最大の効率と信頼性の高い動作を実現するために不可欠です。コントローラ・デバイスは、整流MOSFETをオフにするタイミングを負荷電流の関数として調整することにより、導通時間および内部ボディ・ダイオードの逆方向回復損失を最小限に抑えます。

ZVSは、比較的高い入力電圧のコンバータでは重要な機能の1つであり、電源スイッチおよびトランスの内部寄生容量に関連したスイッチング損失を低減する効果があります。コントローラは、同じレグ内の1次側MOSFET間の遅延時間を負荷変動に合わせて調整することで、負荷電流範囲全体にわたってZVS状態を保証します。また、コントローラは軽負荷時にパワー・トランスに印加される最小オン時間パルスを制限することで、ZVS遷移のために十分なエネルギーを電源段の誘導性素子に蓄積できるようにします。

負荷電流が中負荷電流から無負荷電流へと減少を続けると、コントローラは直ちに、コンバータを公称動作モードから非連続電流ダイオード整流モードへと遷移させ、さらに非常に軽い負荷および無負荷状態ではバースト・モードへと遷移させることで、最も効率の高い省電力モードを選択します。これらのモード、および整流MOSFETを駆動する関連出力信号OUTE、OUTFを図48に示します。

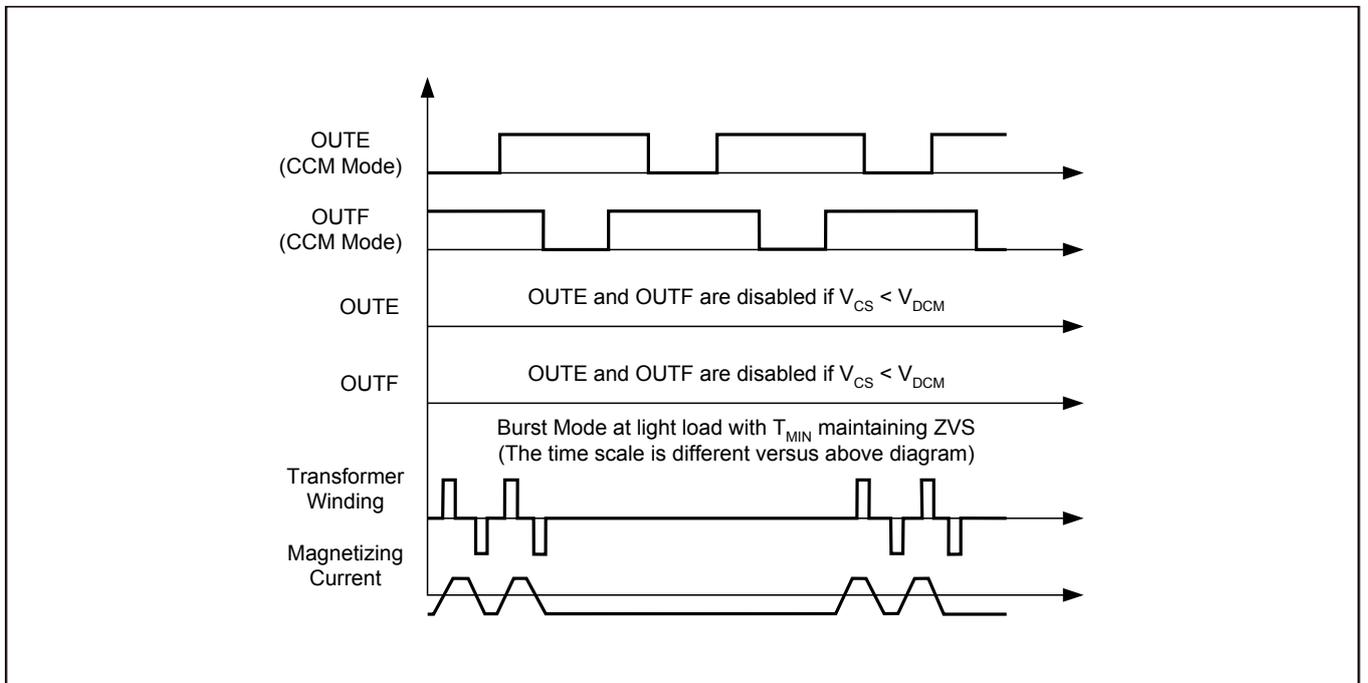


図48. 異なる動作モード間の遷移時の主要な波形

並列動作およびいくつかの過渡状態中には、軽負荷時に同期整流MOSFETおよび出力インダクタに流れる逆電流を防止する必要があります。そのような逆電流が流れると、入力電圧源と負荷との間に過剰なエネルギーが循環するため、損失が増加して効率が低下します。そのような逆電流の悪影響として、ZVS状態が失われる場合もあります。推奨される制御アルゴリズムでは、あらかじめ決まった方法で整流MOSFETの駆動信号をオフにすることで、逆電流を防止しながら、同期整流のほとんどの利点を保持できます。いくつかの定められた負荷電流スレッシュホールドで、コントローラは出力OUTEおよびOUTFをゼロに低下させてディスエーブルにします。

MOSFETを使用した同期整流では、MOSFETを駆動するために、ある程度の電氣的エネルギーを必要とします。軽負荷の特定のスレッシュホールド以下では、MOSFETの駆動に関連した損失が、同期整流による電力の節減を上回る場合があります。そのような軽負荷では、駆動回路をディスエーブルにして、整流MOSFETの内部ボディ・ダイオードを使用するか、またはMOSFETと並列の外部ダイオードを使用するのが、より効率的な整流のために最適です。実際のほとんどのケースでは、DCMモード付近で駆動回路をディスエーブルにする必要があります。この動作モードは、非連続電流ダイオード整流モードと呼ばれます。

非常に軽い負荷および無負荷状態では、出力電圧レギュレーションのために閉帰還ループ制御回路で要求されるデューティ・サイクルが非常に低くなる場合があります。その結果、ZVS状態が失われ、スイッチング損失が増加する可能性があります。ZVSが失われるのを避けるため、制御回路では、TMIN

ピンとGNDの間の抵抗を使用して、パワー・トランスに印加される最小オン時間パルスを制限します。したがって、非常に軽い負荷および無負荷状態でレギュレーションを維持するための唯一の方法は、いくつかのパルスをスキップすることです。コントローラは、制御可能な方法でパルスをスキップすることにより、パワー・トランスの飽和を防止します。そのような動作は、バースト・モードと呼ばれます。バースト・モードでは、スキップ・オフ時間の前に、常に偶数個のパルスがパワー・トランスに印加されます。そのため、パルスの各バーストの開始時には、パワー・トランスのコア内の磁束が常に同じ点から開始されます。

電圧ループ補償に関する推奨事項

電圧ループで最良の結果を得るために、Type 2またはType 3の補償ネットワークを使用することを推奨します(図49)。Type 2の補償ネットワークでは、受動部品 C_{Z2} および R_{Z2} は必要としません。Type 1補償は、位相シフト・フルブリッジには柔軟性という点で不十分です。最良の結果のためにCOMPを評価する際には、スコープ・プローブとUCC28950のCOMPピンとの間に $1\text{k}\Omega$ の抵抗を配置することを推奨します。

最良の結果のためにCOMPを評価する際には、COMPとプローブの間に $1\text{k}\Omega$ の抵抗を配置します。

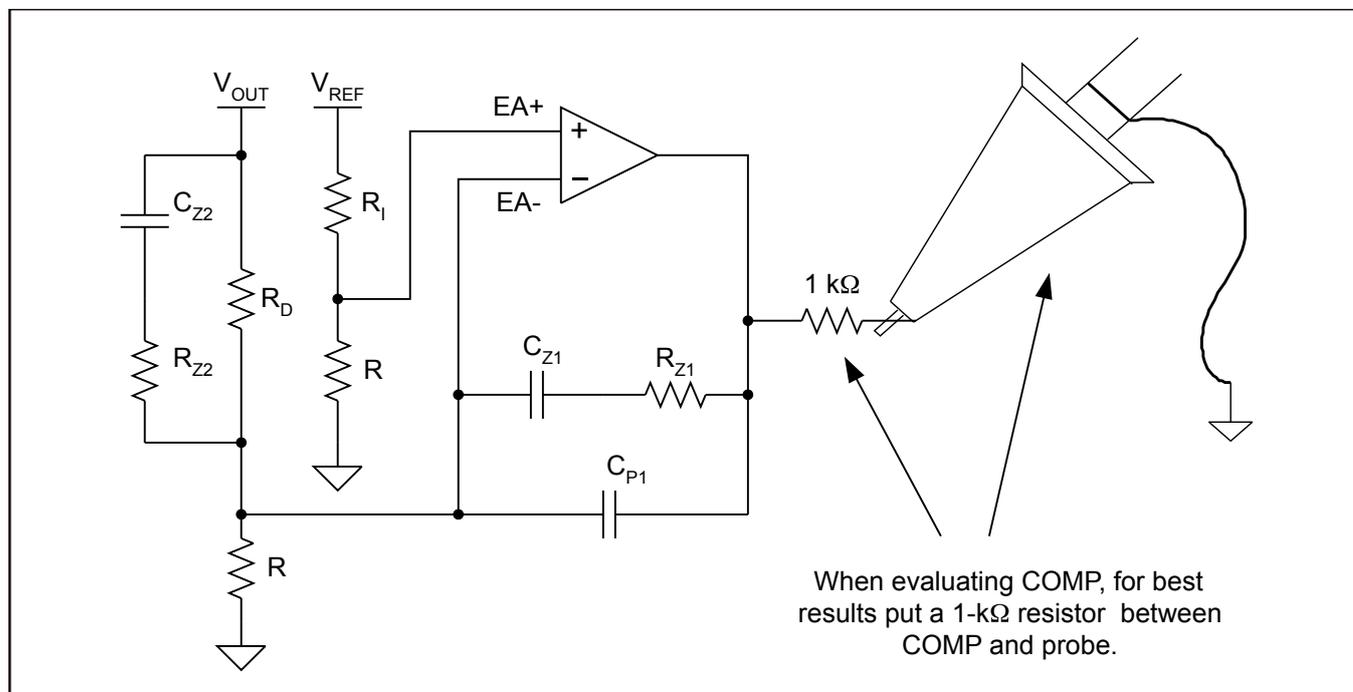


図49. Type3補償の評価

実験結果の例

以下に示す実験結果は、位相シフト・フルブリッジDC/DCコンバータの660W出力電力のプロトタイプに基づいています。入力電圧は300V~400V、出力は12V、55Aです。1次側MOSFETはSPA11N60CFD、同期整流MOSFETはFDP047AN08A0であり、2個を並列に接続します。プロトタイプで測定された効率を図50に示します。

非常に軽い負荷および無負荷状態でも省電力のニーズがあるため、軽負荷状態での動作を注意深く最適化して、異なる動作モード間の境界を適切に設定する必要があります。この最適化の結果を図51に示します。このプロットでは、負荷電流1A以上の同期整流モードから、負荷電流0.3A~1Aでのダイオード整流による非連続電流モード、さらには負荷電流0.3A未満でのバースト・モード動作へと遷移したときの、電力の節減が示されています。

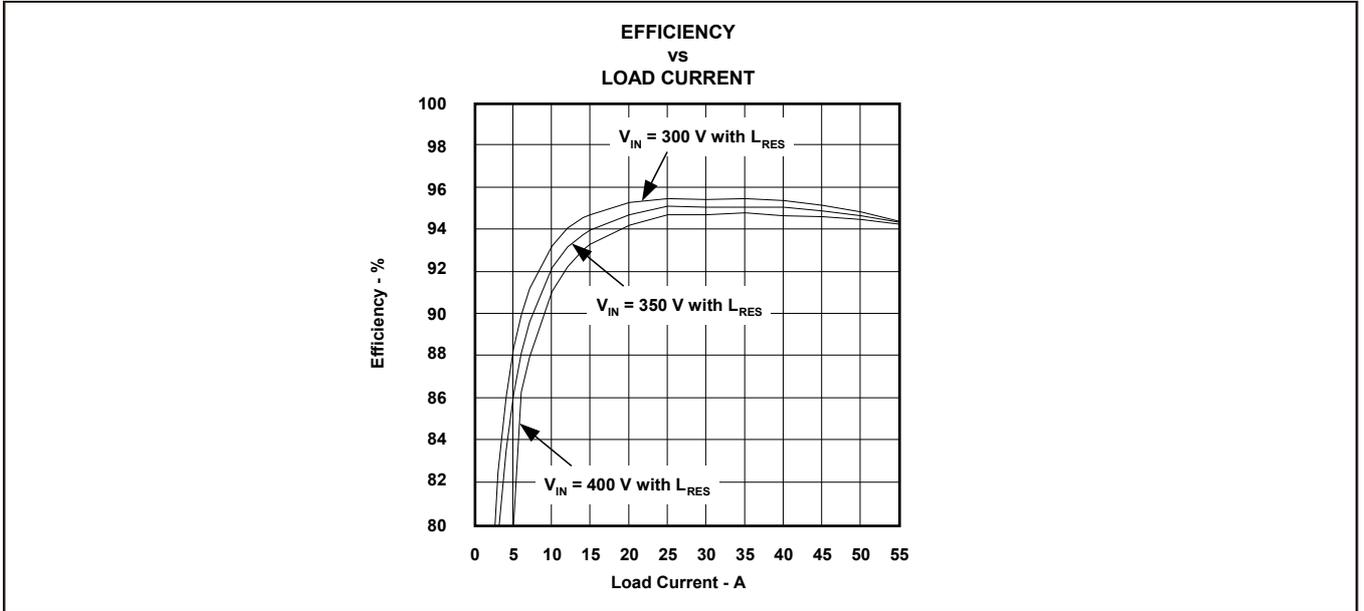


図50. プロトタイプ位相シフト・コンバータの効率($V_{IN} = 300V$ 、 $350V$ および $400V$ 、 $V_{OUT} = 12V$)

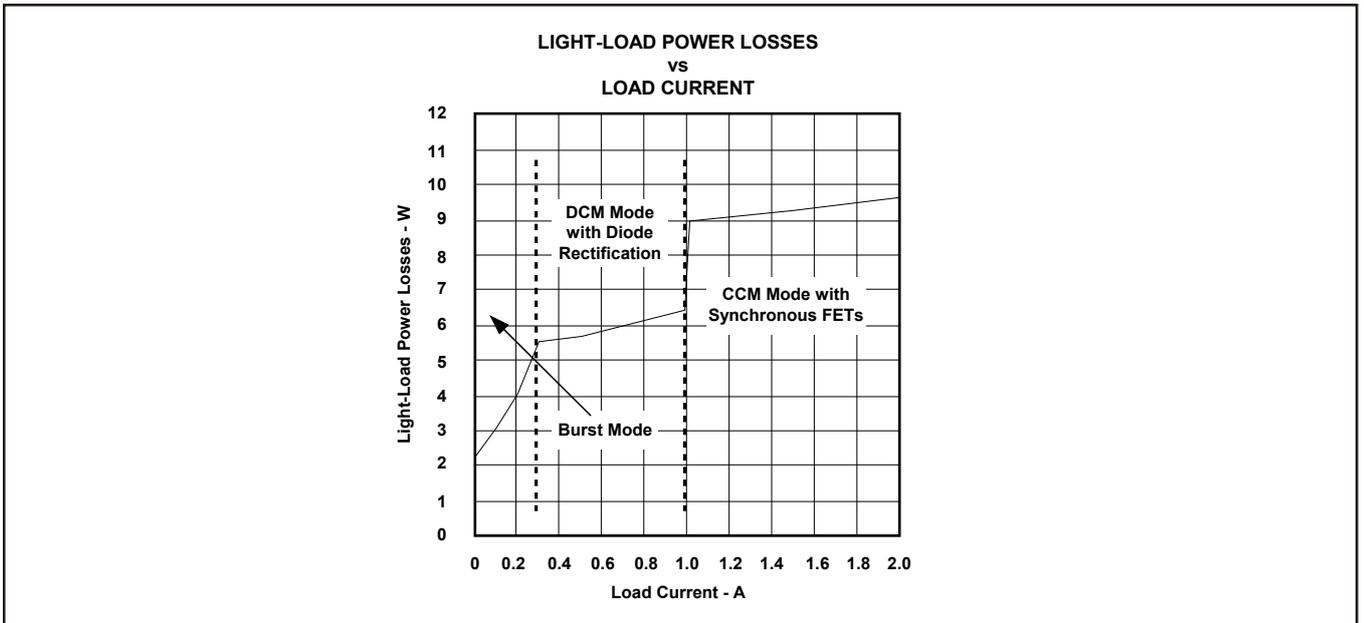


図51 軽負荷および無負荷状態でのプロトタイプの電力損失

パッケージ情報

製品情報

Orderable Device	Status ⁽¹⁾	Package Type	Package Drawing	Pins	Package Qty	Eco Plan ⁽²⁾	Lead/Ball Finish	MSL Peak Temp ⁽³⁾
UCC28950PW	ACTIVE	TSSOP	PW	24	60	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
UCC28950PWR	ACTIVE	TSSOP	PW	24	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM

(1) マーケティング・ステータスは次のように定義されています。

ACTIVE : 製品デバイスが新規設計用に推奨されています。

LIFEBUY : TIによりデバイスの生産中止予定が発表され、ライフタイム購入期間が有効です。

NRND : 新規設計用に推奨されていません。デバイスは既存の顧客をサポートするために生産されていますが、TIでは新規設計にこの部品を使用することを推奨していません。

PREVIEW : デバイスは発表済みですが、まだ生産が開始されていません。サンプルが提供される場合と、提供されない場合があります。

OBSOLETE : TIによりデバイスの生産が中止されました。

(2) エコ・プラン - 環境に配慮した製品分類プランであり、Pb-Free (RoHS)、Pb-Free (RoHS Expert) および Green (RoHS & no Sb/Br) があります。最新情報および製品内容の詳細については、<http://www.ti.com/productcontent> でご確認ください。

TBD : Pb-Free/Green 変換プランが策定されていません。

Pb-Free (RoHS) : TIにおける“Lead-Free”または“Pb-Free” (鉛フリー) は、6つの物質すべてに対して現在のRoHS要件を満たしている半導体製品を意味します。これには、同種の材質内で鉛の重量が0.1%を超えないという要件も含まれます。高温で半田付けするように設計されている場合、TIの鉛フリー製品は指定された鉛フリープロセスでの使用に適しています。

Pb-Free (RoHS Exempt) : この部品は、1) ダイとパッケージの間に鉛ベースの半田バンプ使用、または 2) ダイとリードフレーム間に鉛ベースの接着剤を使用、が除外されています。それ以外は上記の様に Pb-Free (RoHS) と考えられます。

Green (RoHS & no Sb/Br) : TIにおける“Green”は、“Pb-Free” (RoHS互換) に加えて、臭素 (Br) およびアンチモン (Sb) をベースとした難燃材を含まない (均質な材質中のBrまたはSb重量が0.1%を超えない) ことを意味しています。

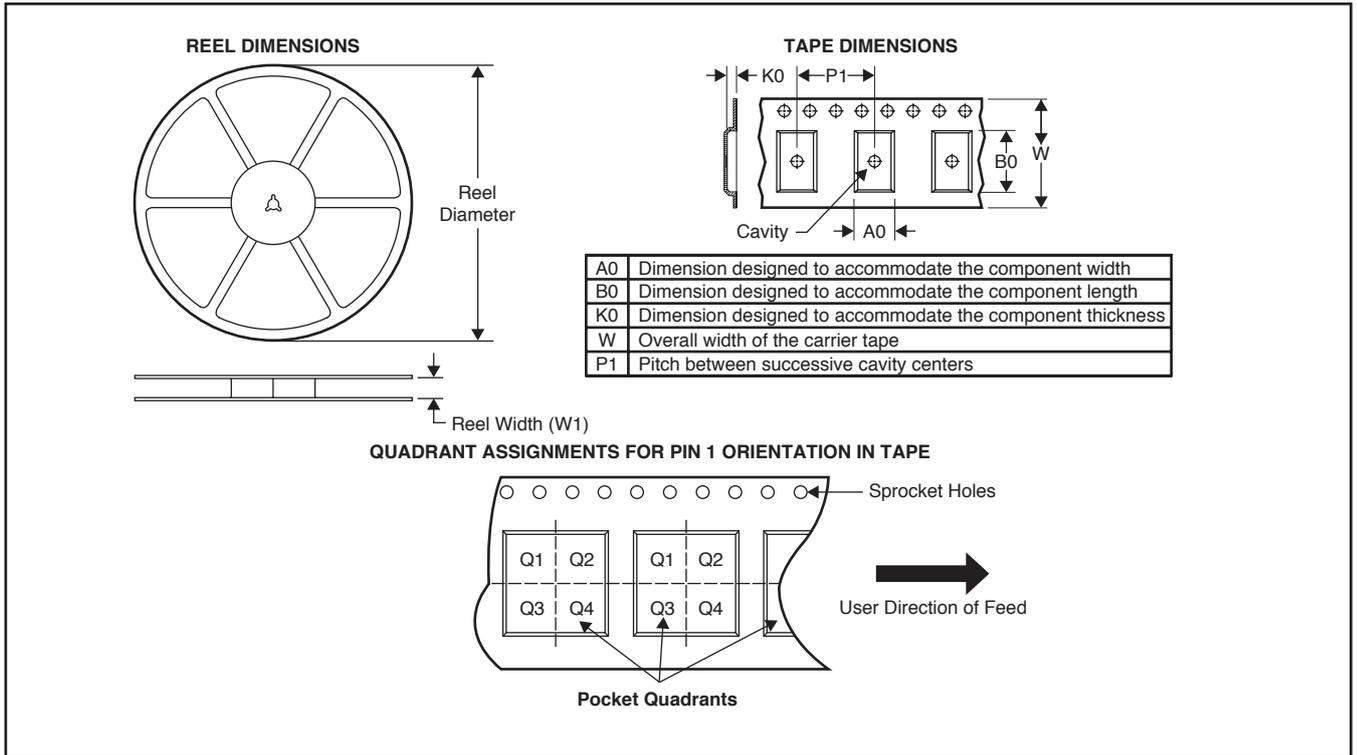
(3) MSL、ピーク温度 -- JEDEC業界標準分類に従った耐湿性レベル、およびピーク半田温度です。

重要な情報および免責事項 : このページに記載された情報は、記載された日付時点でのTIの知識および見解を表しています。TIの知識および見解は、第三者によって提供された情報に基づいており、そのような情報の正確性について何らの表明および保証も行うものではありません。第三者からの情報をより良く統合するための努力は続けております。TIでは、事実を適切に表す正確な情報を提供すべく妥当な手順を踏み、引き続きそれを継続してゆきますが、受け入れる部材および化学物質に対して破壊試験や化学分析は実行していない場合があります。TIおよびTI製品の供給者は、特定の情報を機密情報として扱っているため、CAS番号やその他の制限された情報が公開されない場合があります。

TIは、いかなる場合においても、かかる情報により発生した損害について、TIがお客様に1年間に販売した本書記載の問題となった TI パーツの購入価格の合計金額を超える責任を負いかねます。

パッケージ・マテリアル情報

テープおよびリール・ボックス情報

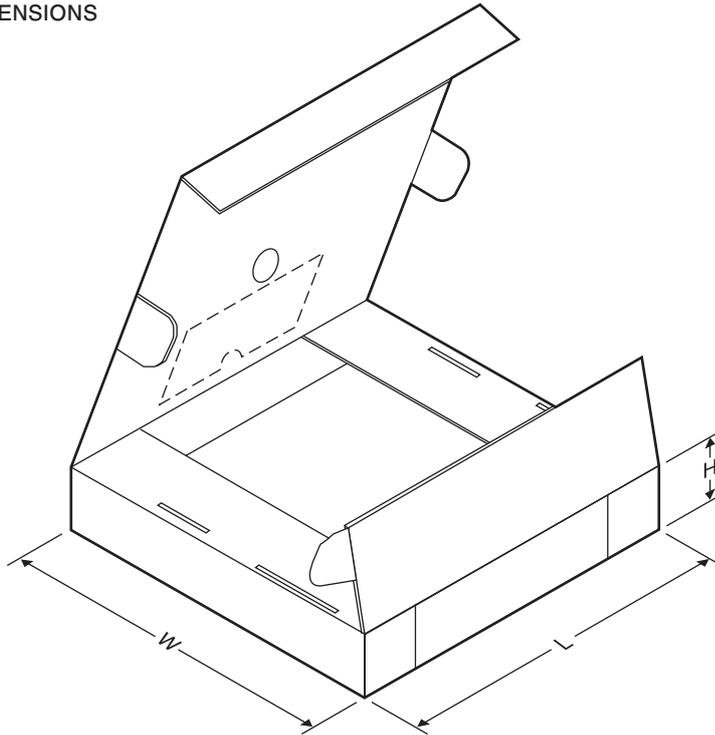


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS3103E12DBVR	SOT-23	DBV	6	3000	179.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS3103E12DBVT	SOT-23	DBV	6	250	179.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS3103E15DBVR	SOT-23	DBV	6	3000	179.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS3103E15DBVT	SOT-23	DBV	6	250	179.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS3103H20DBVR	SOT-23	DBV	6	3000	179.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS3103H20DBVT	SOT-23	DBV	6	250	179.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS3103K33DBVR	SOT-23	DBV	6	3000	179.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS3103K33DBVT	SOT-23	DBV	6	250	179.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS3103K33DBVT	SOT-23	DBV	6	250	180.0	9.0	3.15	3.2	1.4	4.0	8.0	Q3
TPS3106E09DBVR	SOT-23	DBV	6	3000	180.0	9.0	3.15	3.2	1.4	4.0	8.0	Q3
TPS3106E09DBVT	SOT-23	DBV	6	250	180.0	9.0	3.15	3.2	1.4	4.0	8.0	Q3
TPS3106E16DBVR	SOT-23	DBV	6	3000	180.0	9.0	3.15	3.2	1.4	4.0	8.0	Q3
TPS3106E16DBVT	SOT-23	DBV	6	250	180.0	9.0	3.15	3.2	1.4	4.0	8.0	Q3
TPS3106K33DBVR	SOT-23	DBV	6	3000	180.0	9.0	3.15	3.2	1.4	4.0	8.0	Q3
TPS3106K33DBVT	SOT-23	DBV	6	250	180.0	9.0	3.15	3.2	1.4	4.0	8.0	Q3
TPS3110E09DBVR	SOT-23	DBV	6	3000	180.0	9.0	3.15	3.2	1.4	4.0	8.0	Q3
TPS3110E09DBVT	SOT-23	DBV	6	250	180.0	9.0	3.15	3.2	1.4	4.0	8.0	Q3
TPS3110E12DBVR	SOT-23	DBV	6	3000	180.0	9.0	3.15	3.2	1.4	4.0	8.0	Q3
TPS3110E12DBVT	SOT-23	DBV	6	250	180.0	9.0	3.15	3.2	1.4	4.0	8.0	Q3
TPS3110E15DBVR	SOT-23	DBV	6	3000	180.0	9.0	3.15	3.2	1.4	4.0	8.0	Q3
TPS3110E15DBVT	SOT-23	DBV	6	250	180.0	9.0	3.15	3.2	1.4	4.0	8.0	Q3
TPS3110K33DBVR	SOT-23	DBV	6	3000	180.0	9.0	3.15	3.2	1.4	4.0	8.0	Q3
TPS3110K33DBVT	SOT-23	DBV	6	250	180.0	9.0	3.15	3.2	1.4	4.0	8.0	Q3

パッケージ・マテリアル情報

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

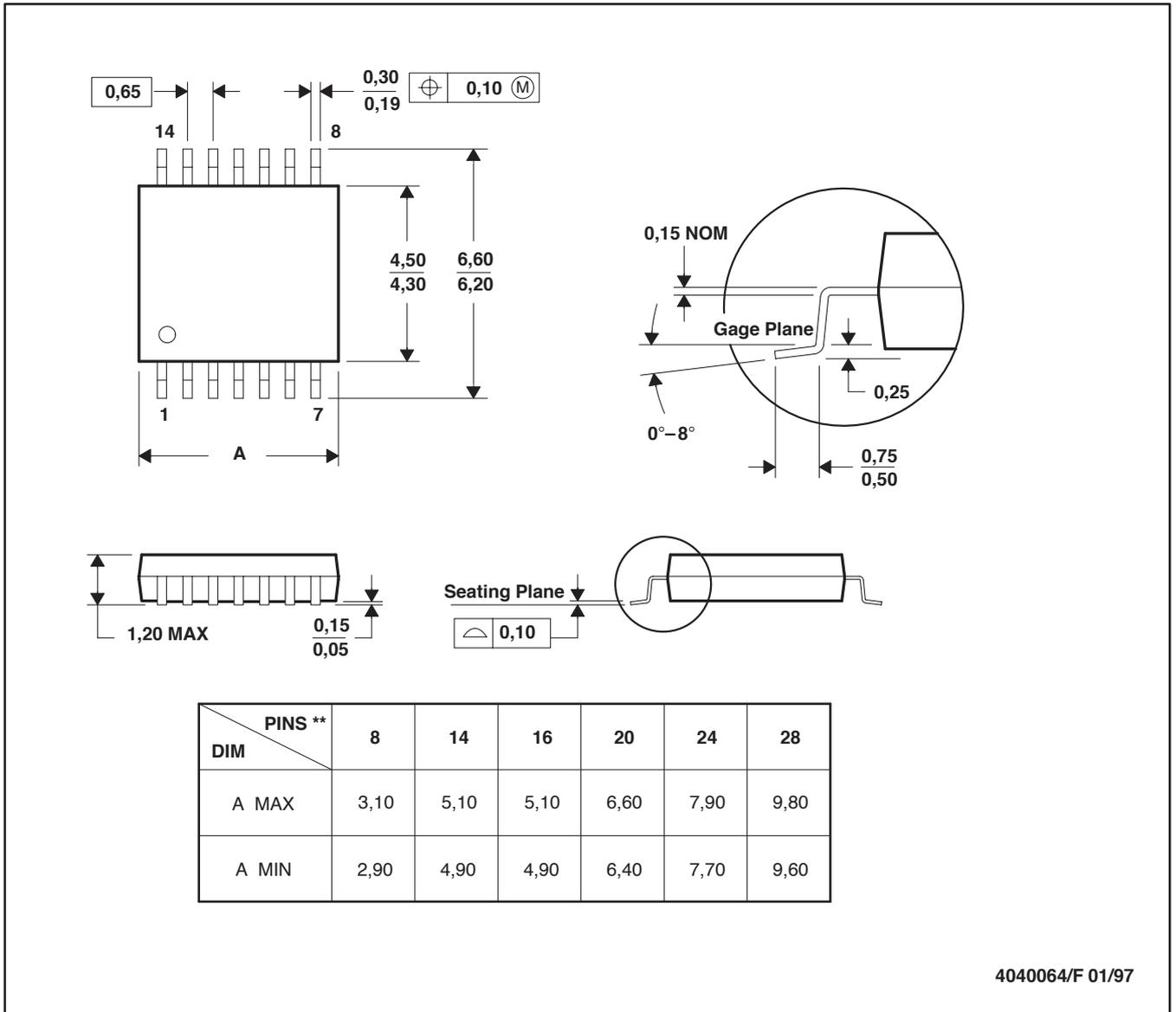
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS3103E12DBVR	SOT-23	DBV	6	3000	203.0	203.0	35.0
TPS3103E12DBVT	SOT-23	DBV	6	250	203.0	203.0	35.0
TPS3103E15DBVR	SOT-23	DBV	6	3000	203.0	203.0	35.0
TPS3103E15DBVT	SOT-23	DBV	6	250	203.0	203.0	35.0
TPS3103H20DBVR	SOT-23	DBV	6	3000	203.0	203.0	35.0
TPS3103H20DBVT	SOT-23	DBV	6	250	203.0	203.0	35.0
TPS3103K33DBVR	SOT-23	DBV	6	3000	203.0	203.0	35.0
TPS3103K33DBVT	SOT-23	DBV	6	3000	182.0	182.0	20.0
TPS3103K33DBVT	SOT-23	DBV	6	250	203.0	203.0	35.0
TPS3103K33DBVT	SOT-23	DBV	6	250	182.0	182.0	20.0
TPS3106E09DBVR	SOT-23	DBV	6	3000	182.0	182.0	20.0
TPS3106E09DBVT	SOT-23	DBV	6	250	182.0	182.0	20.0
TPS3106E16DBVR	SOT-23	DBV	6	3000	182.0	182.0	20.0
TPS3106E16DBVT	SOT-23	DBV	6	250	182.0	182.0	20.0
TPS3106K33DBVR	SOT-23	DBV	6	3000	182.0	182.0	20.0
TPS3106K33DBVT	SOT-23	DBV	6	250	182.0	182.0	20.0
TPS3110E09DBVR	SOT-23	DBV	6	3000	182.0	182.0	20.0
TPS3110E09DBVT	SOT-23	DBV	6	250	182.0	182.0	20.0
TPS3110E12DBVR	SOT-23	DBV	6	3000	182.0	182.0	20.0
TPS3110E12DBVT	SOT-23	DBV	6	250	182.0	182.0	20.0
TPS3110E15DBVR	SOT-23	DBV	6	3000	182.0	182.0	20.0
TPS3110E15DBVT	SOT-23	DBV	6	250	182.0	182.0	20.0
TPS3110K33DBVR	SOT-23	DBV	6	3000	182.0	182.0	20.0
TPS3110K33DBVT	SOT-23	DBV	6	250	182.0	182.0	20.0

メカニカル・データ

PW (R-PDSO-G**)

PLASTIC SMALL-OUTLINE PACKAGE

14 PINS SHOWN



4040064/F 01/97

- 注： A. 寸法はすべてミリメートルです。
 B. 本図は予告なく変更することがあります。
 C. ボディ寸法には、0.15mmを超えるモールド・フラッシュや突起は含まれません。
 D. JEDEC MO-153に準拠

(SLUSA16A)

ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといいます）及びTexas Instruments Incorporated（TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといいます）は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIJとの間取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしていません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えたり、保証もしくは承認するということを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション（例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの）に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されていません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されていません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2011, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光が当たる状態で保管・輸送しないこと。
3. 防湿梱包
 - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
 4. 機械的衝撃
 - 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。
 5. 熱衝撃
 - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）
 6. 汚染
 - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
 - はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上