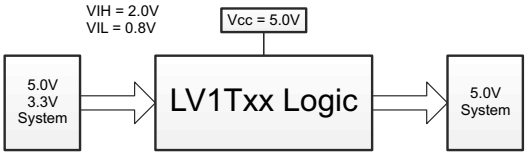
SN74LV1T32 単一電源、2 入力の正 OR ゲート CMOS ロジック・レベル・シフタ

1 特長

- 5.0V、3.3V、2.5V、1.8V V_{CC} の単一電源電圧レベル・シフタ
- 動作範囲:1.8V～5.5V
- 昇圧変換:
  - 1.8V V_{CC} で 1.2V(1) から 1.8V へ
  - 2.5V V_{CC} で 1.5V(1) から 2.5V へ
  - 3.3V V_{CC} で 1.8V(1) から 3.3V へ
  - 5.0V V_{CC} で 3.3V から 5.0V へ
- 降圧変換:
  - 1.8V V_{CC} で 3.3V から 1.8V へ
  - 2.5V V_{CC} で 3.3V から 2.5V へ
  - 3.3V V_{CC} で 5.0V から 3.3V へ
- ロジック出力は V_{CC} を基準とする
- 出力駆動能力:
  - 5V で 8mA の出力駆動能力
  - 3.3V で 7mA の出力駆動能力
  - 1.8V で 3mA の出力駆動能力
- 3.3V V_{CC} で最大 50MHz の動作が規定
- 入力ピンの許容電圧:5V
- –40℃～125℃の動作温度範囲
- 提供している鉛フリー・パッケージ:SC-70 (DCK)
  - 2 × 2.1× 0.65mm (高さ 1.1mm)
- JESD 17 準拠で 250mA 超のラッチアップ性能
- 標準ロジック・ピン配置をサポート
- CMOS 出力 B は AUP1G および LVC1G ファミリと互換性あり。[1]



2 アプリケーション

- テレコム
- 携帯用アプリケーション
- サーバー
- PC とノート PC

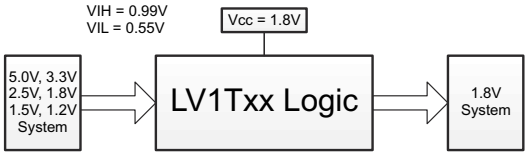
3 概要

SN74LV1T32 は、電圧レベル変換アプリケーションをサポートするために入力スレッショルドを低減した、シングル 2 入力 OR ゲートです。

パッケージ情報

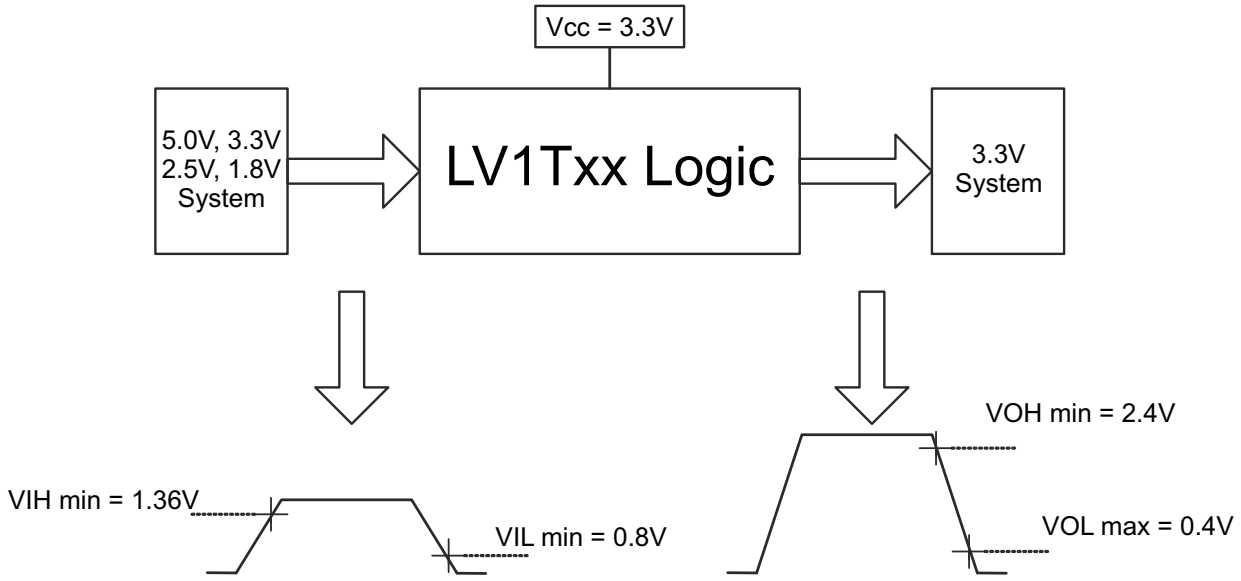
部品番号	パッケージ(1)	パッケージ・サイズ(2)	本体サイズ(3)
SN74LV1T32	DBV (SOT-23、5)	2.90mm × 2.8mm	2.9mm × 1.6mm
	DCK (SC70、5)	2.00mm × 2.1mm	2mm × 1.25mm

(1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。
(2) パッケージ・サイズ (長さ×幅) は公称値で、該当する場合はピンも含まれます。
(3) 本体サイズ (長さ×幅) は公称値であり、ピンは含まれていません。



[1] より低い V_{CC} の条件については、V_{IH}/V_{IL} と出力駆動能力を参照。

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。



1.8V から 3.3V に変換する場合のスイッチング・スレッショルド

Copyright © 2023 Texas Instruments Incorporated

目次

1 特長.....1
2 アプリケーション.....1
3 概要.....1
5 関連製品.....4
6 ピン構成および機能.....5
7 仕様.....6
7.1 絶対最大定格.....6
7.2 ESD 定格.....6
7.3 推奨動作条件.....6
7.4 熱に関する情報.....7
7.5 電気的特性.....7
7.6 スイッチング特性.....8
7.7 動作特性.....8
7.8 代表的特性.....9
8 パラメータ測定情報.....10
9 詳細説明.....11
9.1 概要.....11
9.2 機能ブロック図.....11
9.3 機能説明.....11
9.4 デバイスの機能モード.....13
10 アプリケーションと実装.....14
10.1 電源に関する推奨事項.....14
10.2 レイアウト.....14
11 デバイスおよびドキュメントのサポート.....15
11.1 ドキュメントのサポート (アナログ).....15
11.2 ドキュメントの更新通知を受け取る方法.....15
11.3 サポート・リソース.....15
11.4 商標.....15
11.5 静電気放電に関する注意事項.....15
11.6 用語集.....15
12 メカニカル、パッケージ、および注文情報.....15

4

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision B (June 2022) to Revision C (October 2023) — **Page**

- 「パッケージ情報」表にパッケージ・サイズを追加 1
- 「熱に関する情報」表を追加.....7
- 「アプリケーションと実装」セクションを追加 14

Changes from Revision A (February 2014) to Revision B (June 2022) — **Page**

- ドキュメント全体にわたって表、図、相互参照の採番方法を更新.....1
- 「ESD 定格」表、「熱に関する情報」表、「代表的特性」セクション、「ピン構成および機能」セクション、「詳細説明」セクション、「電源に関する推奨事項」セクション、「レイアウト」セクション、「ドキュメントの更新通知を受け取る方法」セクション、「コミュニティ・リソース」セクションを追加 6
- 「代表的特性」を追加.....9

5 関連製品

デバイス	パッケージ	説明
SN74LV1T00	DCK、DBV	2 入力、正論理 NAND ゲート
SN74LV1T02	DCK、DBV	2 入力、正論理 NOR ゲート
SN74LV1T04	DCK、DBV	インバータ・ゲート
SN74LV1T08	DCK、DBV	2 入力、正論理 AND ゲート
SN74LV1T17	DCK、DBV	シングル・シュミット・トリガ・バッファ・ゲート
SN74LV1T14	DCK、DBV	シングル・シュミット・トリガ・インバータ・ゲート
SN74LV1T32	DCK、DBV	2 入力、正論理 OR ゲート
SN74LV1T34	DCK、DBV	シングル・バッファ・ゲート
SN74LV1T86	DCK、DBV	シングル、2 入力、XOR ゲート
SN74LV1T125	DCK、DBV	3 ステート出力付き、シングル・バッファ・ゲート
SN74LV1T126	DCK、DBV	3 ステート出力付き、シングル・バッファ・ゲート
SN74LV4T125	RGY、PW	3 ステート出力付き、クワッド・バス・バッファ・ゲート

Copyright © 2023 Texas Instruments Incorporated

6 ピン構成および機能

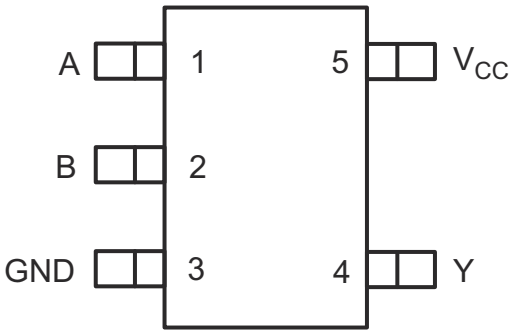


図 6-1. DCK または DBV パッケージ、5 ピン SC70 または SOT-23 (上面図)

表 6-1. ピンの機能

ピン		種類[(1)]	説明
名称	番号		
A	1	I	入力 A
B	2	I	入力 B
GND	3	G	グランド
Y	4	O	出力 Y
V_{CC}	5	P	正電源

(1) I = 入力、O = 出力

7 仕様

7.1 絶対最大定格

自由空気での動作温度範囲内 (特に記述のない限り)[1]

			最小値	最大値	単位
V_{CC}	電源電圧範囲		-0.5	7.0	V
V_I	入力電圧範囲[2]		-0.5	7.0	V
V_O	高インピーダンスまたは電源オフ状態で出力に印加される電圧範囲 [2]		-0.5	4.6	V
	High または Low 状態にある任意の出力に印加される電圧範囲[2]		-0.5	V_{CC} + 0.5	V
I_{IK}	入力クランプ電流	V_I < 0		-20	mA
I_{OK}	出力クランプ電流	V_O < 0 または V_O > V_{CC}		±20	mA
I_O	連続出力電流			±25	mA
	V_{CC} または GND を通過する連続電流			±50	mA
T_J	接合部温度			150	℃
T_{stg}	保管温度		-65	150	℃

(1) 「絶対最大定格」を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これらはあくまでもストレス評価であり、データシートの「推奨動作条件」に示された値と等しい、またはそれを超える条件で本製品が正しく動作することを暗黙的に示すものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。
(2) 入力および出力の電流定格が遵守されているなら、入力の負電圧や出力電圧定格を超えてもかまいません。

7.2 ESD 定格

		値	単位
$V_{(ESD)}$ 静電気放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠[1]	±2000	V
	デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 準拠[2]	±1000	

(1) JEDEC のドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。
(2) JEDEC のドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

7.3 推奨動作条件

自由空気での動作温度範囲内 (特に記述のない限り)[1]

			最小値	最大値	単位
V_{CC}	電源電圧		1.6	5.5	V
V_I	入力電圧		0	5.5	V
V_O	出力電圧		0	V_{CC}	V
I_{OH}	High レベル出力電流	V_{CC} = 1.8V		-3	mA
		V_{CC} = 2.5V		–5	
		V_{CC} = 3.3V		-7	
		V_{CC} = 5.0V		–8	
I_{OL}	Low レベル出力電流	V_{CC} = 1.8V		3	mA
		V_{CC} = 2.5V		5	
		V_{CC} = 3.3V		7	
		V_{CC} = 5.0V		8	
Δt/Δv	入力遷移の立ち上がりまたは立ち下がりレート	V_{CC} = 1.8V		20	ns/V
		V_{CC} = 3.3V または 2.5V		20	
		V_{CC} = 5.0V		20	
T_A	自由気流での動作温度		-40	125	℃

(1) デバイスが適切に動作するように、デバイスの未使用の入力はすべて、V_{CC} または GND に固定する必要があります。テキサス・インスツルメンツのアプリケーション・レポート『低速またはフローティング CMOS 入力の影響』(文献番号 SCBA004) を参照してください。

Copyright © 2023 Texas Instruments Incorporated

7.4 熱に関する情報

熱評価基準[(1)]		DBV	DCK	単位
		5 ピン	5 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	206	289.2	°C/W

(1) 従来および新しい熱評価基準の詳細については、『IC パッケージの熱評価基準』アプリケーション・レポート、SPRA953 を参照してください。

7.5 電気的特性

自由気流での推奨動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	V_{CC}	T_A = 25℃			T_A = -40℃～125℃		単位
				最小値	標準値	最大値	最小値	最大値	
V_{IH}	High レベル入力電圧		V_{CC} = 1.65V～1.8V	0.94			1.0		V
			V_{CC} = 2.0V	1.02			1.03		
			V_{CC} = 2.25V～2.5V	1.135			1.18		
			V_{CC} = 2.75V	1.21			1.23		
			V_{CC} = 3V～3.3V	1.35			1.37		
			V_{CC} = 3.6V	1.47			1.48		
			V_{CC} = 4.5V～5.0V	2.02			2.03		
			V_{CC} = 5.5V	2.1			2.11		
V_{IL}	Low レベル入力電圧		V_{CC} = 1.65V～2.0V			0.58		0.55	V
			V_{CC} = 2.25V～2.75V			0.75		0.71	
			V_{CC} = 3V～3.6V			0.8		0.65	
			V_{CC} = 4.5V～5.5V			0.8		0.8	
V_{OH}		I_{OH} = –20μA	1.65V～5.5V	V_{CC} - 0.1			V_{CC} - 0.1		V
		I_{OH} = -2.0mA	1.65V	1.28			1.21		
			1.8V	1.5			1.45		
		I_{OH} = -2.3mA	2.3V	2.0			2.0		
		I_{OH} = –3mA		2.0			1.93		
		I_{OH} = –3mA	2.5V	2.25			2.15		
		I_{OH} = -3.0mA	3.0V	2.78			2.7		
		I_{OH} = –5.5mA		2.6			2.49		
		I_{OH} = –5.5mA	3.3V	2.9			2.8		
		I_{OH} = -4mA	4.5V	4.2			4.1		
		I_{OH} = -8mA		4.1			3.95		
		I_{OH} = -8mA	5.0V	4.6			4.5		
V_{OL}		I_{OL} = 20μA	1.65V～5.5V			0.1		0.1	V
		I_{OL} = 1.9mA	1.65V			0.2		0.25	
		I_{OH} = 2.3mA	2.3V			0.1		0.15	
		I_{OH} = 3mA				0.15		0.2	
		I_{OL} = 3mA	3.0V			0.1		0.15	
		I_{OL} = 5.5mA				0.2		0.252	
		I_{OL} = 4mA	4.5V			0.15		0.2	
		I_{OL} = 8mA				0.3		0.35	
I_I	A 入力	V_I = 0V または V_{CC}	0V、1.8V、2.5V、3.3V、5.5V			0.12		±1	μA
I_{CC}		V_I = 0V または V_{CC}、I_O = 0、負荷時に開放	5.0V			1		10	μA
			3.3V			1		10	
			2.5V			1		10	
			1.8V			1		10	

7.5 電気的特性 (続き)

自由気流での推奨動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	V_{CC}	T_A = 25℃			T_A = -40℃～125℃		単位
			最小値	標準値	最大値	最小値	最大値	
ΔI_{CC}	1 つの入力は 0.3V または 3.4V、その他の入力は 0 または V_{CC}、I_O = 0	5.5V			1.35		1.5	mA
	1 つの入力は 0.3V または 1.1V、その他の入力は 0 または V_{CC}、I_O = 0	1.8V			10		10	µA
C_i	V_I = V_{CC} または GND	3.3V		2	10	2	10	pF
C_O	V_O = V_{CC} または GND	3.3V		2.5		2.5		pF

7.6 スイッチング特性

自由空気での推奨動作温度範囲内 (特に記述のない限り)(「負荷回路および電圧波形」を参照)

パラメータ	始点 (入力)	終点 (出力)	周波数 (標準値)	V_{CC}	C_L	T_A = 25℃			T_A = -65℃～125℃			単位
						最小値	標準値	最大値	最小値	標準値	最大値	
t_{pd}	Any In	Y	DC～50MHz	5.0V	15pF		4	5		4	5	ns
					30pF		5.5	7.0		5.5	7.0	
				3.3V	15pF		4.8	5		5	5.5	ns
					30pF		5	5.5		5.5	6.5	
			DC～25MHz	2.5V	15pF		6	6.5		7	7.5	ns
					30pF		6.5	7.5		7.5	8.5	
			DC～15MHz	1.8V	15pF		10.5	11		11	12	ns
					30pF		12	13		12	14	

7.7 動作特性

T_A = 25℃

パラメータ	テスト条件	V_{CC}	代表値	単位
C_{pd} 消費電力容量	f = 1MHz および 10MHz	1.8V±0.15V	10	pF
		2.5V±0.2V	10	
		3.3V±0.3V	10	
		5.5V±0.5V	10	

Copyright © 2023 Texas Instruments Incorporated

7.8 代表的特性

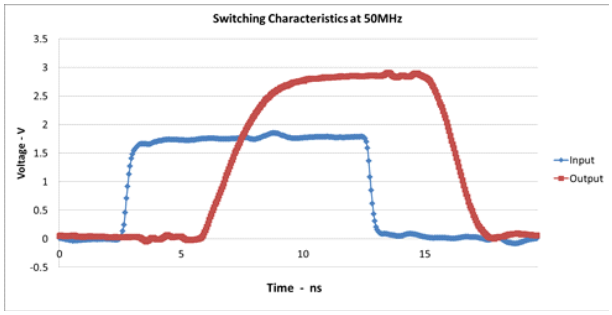


図 7-1. 優れた信号整合性
(V_{CC} = 3.3V での 1.8V から 3.3V へのシフト)

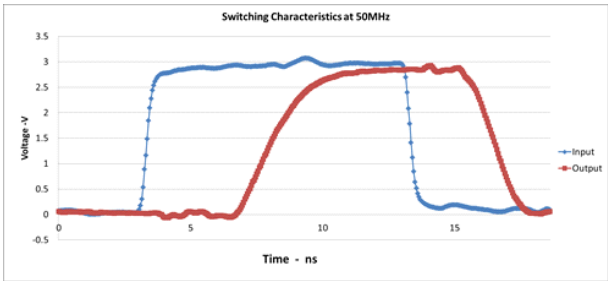


図 7-2. 優れた信号整合性
(V_{CC} = 3.3V での 3.3V から 3.3V へのシフト)

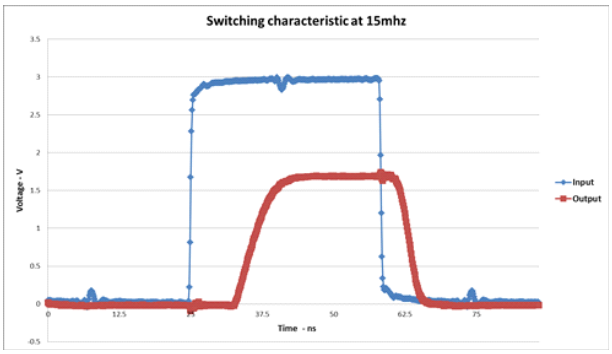
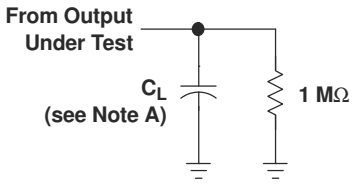


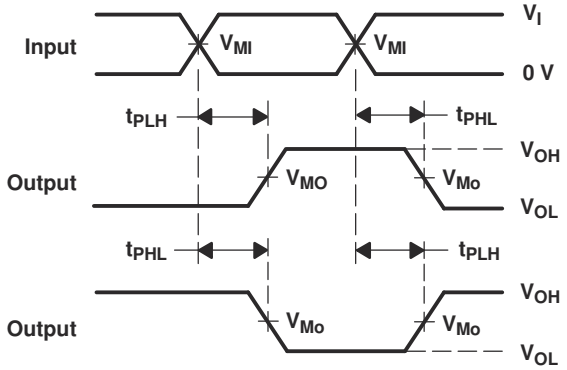
図 7-3. 優れた信号整合性
(V_{CC} = 1.8V での 3.3V から 1.8V へのシフト)

8 パラメータ測定情報



LOAD CIRCUIT

	V_{CC} = 2.5 V ± 0.2 V	V_{CC} = 3.3 V ± 0.3 V
C_L	5, 10, 15, 30 pF	5, 10, 15, 30 pF
V_{MI}	$V_I/2$	$V_I/2$
V_{MO}	$V_{CC}/2$	$V_{CC}/2$



VOLTAGE WAVEFORMS
PROPAGATION DELAY TIMES
INVERTING AND NONINVERTING OUTPUTS

NOTES: A. C_L includes probe and jig capacitance.
B. All input pulses are supplied by generators having the following characteristics: PRR ≤ 10 MHz, Z_O = 50 Ω, slew rate ≥ 1 V/ns.
C. The outputs are measured one at a time, with one transition per measurement.
D. t_{PLH} and t_{PHL} are the same as t_{pd}.

図 8-1. 負荷回路および電圧波形

Copyright © 2023 Texas Instruments Incorporated

9 詳細説明

9.1 概要

SN74LV1T32 デバイスは、産業用、ポータブル、テレコム、車載用の各アプリケーション向けの広い電圧範囲で動作する、低電圧 CMOS ゲート・ロジックです。出力レベルは電源電圧を基準としており、1.8V、2.5V、3.3V、5V の CMOS レベルをサポートしています。入力は、V_{CC} = 3.3V で 1.8V 入力ロジックと一致するように低スレッショルド回路を使用して設計されており、1.8V から 3.3V への昇圧レベル・シフトに使用できます。さらに、5V 許容の入力ピンにより、降圧レベル・シフトも可能です (すなわち、V_{CC} = 2.5V での 3.3V 入力から 2.5V 出力へのシフト)。V_{CC} の範囲が 1.8V～5.5V と広いため、目的の出力レベルを生成してコントローラまたはプロセッサと接続できます。SN74LV1T32 デバイスは、8mA の電流駆動能力を使用して、高駆動出力によるライン反射、オーバーシュート、アンダーシュートを低減するように設計されています。

9.2 機能ブロック図

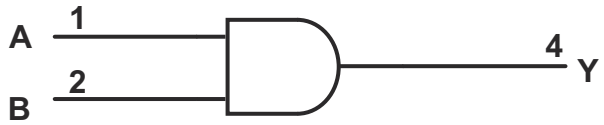


図 9-1. 論理図

9.3 機能説明

9.3.1 クランプ・ダイオード構造

図 9-2 に示すように、このデバイスへの出力には正と負の両方のクランプ・ダイオードがあり、このデバイスへの入力には負のクランプ・ダイオードのみがあります。

> **注意**
> 「絶対最大定格」表に規定されている値を超える電圧は、デバイスに損傷を与える可能性があります。入力と出力のクランプ電流の定格を順守しても、入力と出力の電圧の定格を超えることがあります。

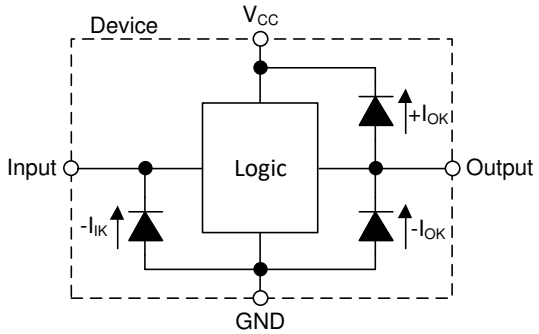


図 9-2. 各入力と出力に対するクランプ・ダイオードの電気的配置

9.3.2 平衡化された CMOS プッシュプル出力

このデバイスには、平衡化された CMOS プッシュプル出力が内蔵されています。「平衡化」という用語は、デバイスが同様の電流をシンクおよびソースできることを示します。このデバイスの駆動能力により、軽負荷に高速エッジが生成される場合があるため、リンギングを防ぐために配線と負荷の条件を考慮する必要があります。さらに、このデバイスの出力は、デバイスを損傷することなく維持できる以上に大きな電流を駆動できます。過電流による損傷を防止するため、デバイスの出力電力を制限することが重要です。「絶対最大定格」で定義されている電気的および熱的制限を常に順守してください。

未使用のプッシュプル CMOS 出力は、未接続のままにする必要があります。

9.3.3 LVxT 拡張入力電圧

SN74LV1T32 は、テキサス・インスツルメンツの電圧レベル変換機能内蔵 LVxT ロジック・デバイス・ファミリの製品です。このデバイス・ファミリは、昇圧変換に対応するための小さい入力電圧スレッショルドと、降圧変換に対応するための最大 5.5V レベルの信号に耐える入力を持つように設計されています。正常に機能させるには、High 入力状態では規定の $V_{IH(MIN)}$ レベル以上、Low 入力状態では規定の $V_{IL(MAX)}$ 以下に入力信号を保持する必要があります。図 9-3 に、LVxT デバイス・ファミリの V_{IH} および V_{IL} レベル (代表値) と一般的な CMOS デバイスの電圧レベルを比較のために示します。

入力は高インピーダンスであり、通常は「電気的特性」に示されている入力容量と並列の抵抗としてモデル化されます。ワーストケースの抵抗は「絶対最大定格」に示されている最大入力電圧と、「電気的特性」に示されている最大入力リーク電流からオームの法則 (R = V ÷ I) を使用して計算します。

「推奨動作条件」表の入力遷移レートで定義されているように、有効なロジック状態の間を入力信号が素早く遷移する必要があります。この仕様を満たさないと、消費電力が増大し、発振の原因となる可能性があります。詳細については、『低速またはフローティング CMOS 入力の影響』アプリケーション・レポートを参照してください。

動作中は片時も、入力をオープンのままにすることはできません。未使用の入力は、有効な High または Low 電圧レベルで終端する必要があります。システムが入力を常にアクティブに駆動している訳ではない場合、システムが入力をアクティブに駆動していないときに有効な入力電圧を与えるため、プルアップまたはプルダウン抵抗を追加できます。抵抗値は複数の要因で決まりますが、10kΩ の抵抗が推奨され、通常はすべての要件を満たします。

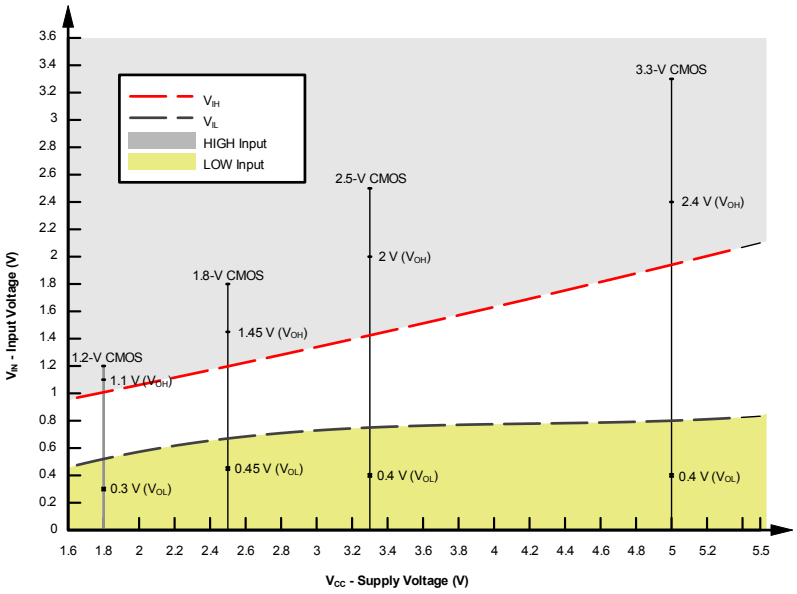


図 9-3. LVxT の入力電圧レベル

9.3.3.1 降圧変換

SN74LV1T32 を使うことで、信号を降圧変換できます。V_{CC} の印加電圧によって、出力電圧と入力スレッショルドが決まります (*「推奨動作条件」と「電気的特性」の表を参照*)。

高インピーダンスの入力に接続した場合、出力電圧は、High 状態ではほぼ V_{CC}、Low 状態では 0V になります。図 9-3 に示すように、High 状態の入力信号は $V_{IH(MIN)}$ と 5.5V の間、Low 状態の入力信号は $V_{IL(MAX)}$ 未満になるようにします。

たとえば、5.0V、3.3V、2.5V で動作するデバイスの一般的な CMOS 入力は、1.8V の V_{CC} で動作する 1.8V CMOS 信号に合うように降圧変換されます。図 9-4 を参照してください。

降圧変換の組み合わせは次のとおりです。

- 1.8V V_{CC} - 2.5V 、3.3V 、5.0V からの入力

Copyright © 2023 Texas Instruments Incorporated

- 2.5V V_{CC} – 3.3V 、5.0V からの入力
- 3.3V V_{CC} – 5.0V からの入力

9.3.3.2 昇圧変換

SN74LV1T32 を使うことで、入力信号を昇圧変換できます。「推奨動作条件」および「電気的特性」の表に記載されているように、V_{CC} に印加される電圧によって出力電圧と入力スレッショルドが決まります。 高インピーダンスの入力に接続した場合、出力電圧は、High 状態ではほぼ V_{CC}、Low 状態では 0V になります。

入力のスレッショルドが低いため、一般的な値よりもはるかに低い入力 High 状態レベルにも対応できます。たとえば、5V 電源で動作するデバイスの代表的な CMOS 入力の $V_{IH(MIN)}$ は 3.5V です。SN74LV1T32 の場合、5V 電源での $V_{IH(MIN)}$ がわずか 2V であるため、2.5V (代表値) 信号から 5V (代表値) 信号への昇圧変換が可能です。

図 9-4 に示すように、High 状態の入力信号は $V_{IH(MIN)}$ を上回り、Low 状態の入力信号は $V_{IL(MAX)}$ を下回るようにします。

昇圧変換の組み合わせは次のとおりです。

- 1.8V V_{CC} – 1.2V からの入力
- 2.5V V_{CC} – 1.8V からの入力
- 3.3V V_{CC} – 1.8V および 2.5V からの入力
- 5.0V V_{CC} – 2.5V および 3.3V からの入力

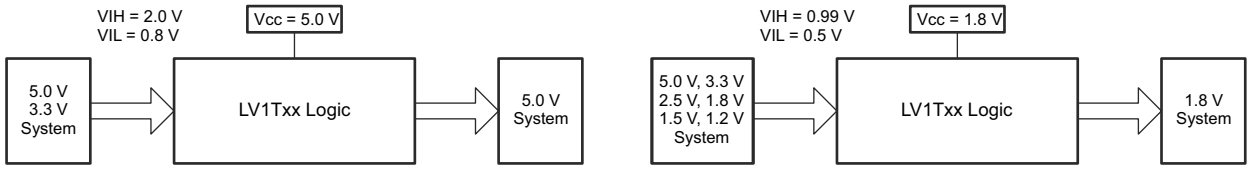


図 9-4. LVxT の昇圧および降圧変換の例

9.4 デバイスの機能モード

機能表

入力[1] (低いレベルの入力)		出力[2] (V_{CC} CMOS)
A	B	Y
H	H	H
L	X	L
X	L	L
電源 V_{CC} = 3.3V		
A	B	Y
V_{IH}(min) = 1.35V V_{IL}(max) = 0.08V		V_{OH}(min) = 2.9V V_{OL}(max) = 0.2V

(1) H = High 電圧レベル、L = Low 電圧レベル、X = ドントケア、Z = 高インピーダンス
(2) H = High に駆動、L = Low に駆動、Z = 高インピーダンス状態

10 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

10.1 電源に関する推奨事項

電源には、「推奨動作条件」に記載された電源電圧定格の最小値と最大値の間の任意の電圧を使用できます。 電力障害を防止するため、各 V_{CC} 端子に適切なバイパス・コンデンサを配置する必要があります。このデバイスには 0.1μF のコンデンサをお勧めします。複数のバイパス・コンデンサを並列に配置して、異なる周波数のノイズを除去することが許容されます。一般的に、0.1μF と 1μF のコンデンサは並列に使用されます。以下のレイアウト例に示すように、バイパス・コンデンサを電源端子のできるだけ近くに配置すると最適な結果が得られます。

10.2 レイアウト

10.2.1 レイアウトのガイドライン

マルチ入力およびマルチチャネルの論理デバイスを使用する場合、入力をフローティングのままにしないでください。多くの場合、デジタル論理デバイスの機能または機能の一部は使用されません (たとえば、トリプル入力 AND ゲートの 2 つの入力のみを使用する場合や、4 つのバッファ・ゲートのうちの 3 つのみを使用する場合)。このような未使用の入力ピンを未接続のままにしないでください。外部接続の電圧が未確定の場合、動作状態が不定になるためです。デジタル論理デバイスの未使用入力はすべて、フローティングにならないよう、入力電圧の仕様で定義されているようにロジック High かロジック Low の電圧に接続する必要があります。特定の未使用の入力に対して適用が必要となるロジック・レベルは、デバイスの機能により異なります。一般に入力は、GND または V_{CC} のうち、ロジックの機能にとってより適切であるかより利便性の高い方に接続されます。

10.2.1.1 レイアウト例

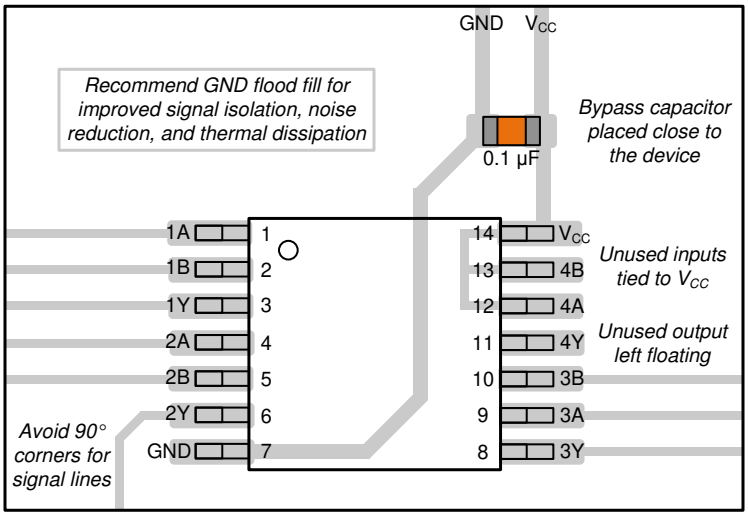


図 10-1. SN74LV1T32 のレイアウト例

Copyright © 2023 Texas Instruments Incorporated

11 デバイスおよびドキュメントのサポート

11.1 ドキュメントのサポート (アナログ)

11.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、『CMOS の消費電力と Cpd の計算』アプリケーション・ノート
- テキサス・インスツルメンツ、『ロジック設計』アプリケーション・ノート
- テキサス・インスツルメンツ、『標準リニアおよびロジック (SLL) パッケージおよびデバイスの熱特性』アプリケーション・ノート
- テキサス・インスツルメンツ、『低速またはフローティング CMOS 入力の影響』アプリケーション・ノート

11.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

11.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

11.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

11.5 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

11.6 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

12 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用している場合は、画面左側のナビゲーションをご覧ください。

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
SN74LV1T32DBVR	ACTIVE	SOT-23	DBV	5	3000	RoHS & Green	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 125	(NEG3, NEGJ, NEGS)	Samples
SN74LV1T32DBVRG4	ACTIVE	SOT-23	DBV	5	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	NEG3	Samples
SN74LV1T32DCKR	ACTIVE	SC70	DCK	5	3000	RoHS & Green	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 125	(1R2, WG3, WGJ, WGS)	Samples
SN74LV1T32DCKRG4	ACTIVE	SC70	DCK	5	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM		WG3	Samples

(1) The marketing status values are defined as follows:
ACTIVE: Product device recommended for new designs.
LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.
NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.
PREVIEW: Device has been announced but is not in production. Samples may or may not be available.
OBSOLETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".
RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.
Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and

continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals.
TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF SN74LV1T32 :

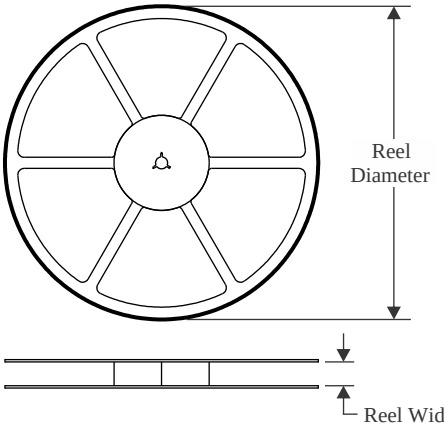
- Automotive : SN74LV1T32-Q1

NOTE: Qualified Version Definitions:

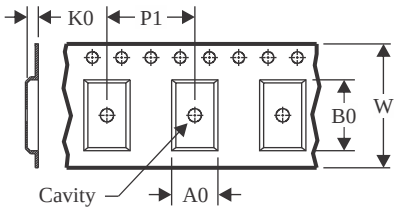
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

TAPE AND REEL INFORMATION

REEL DIMENSIONS

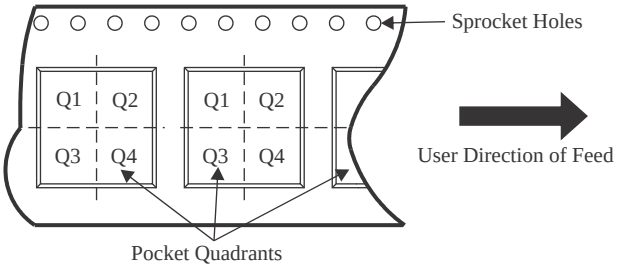


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

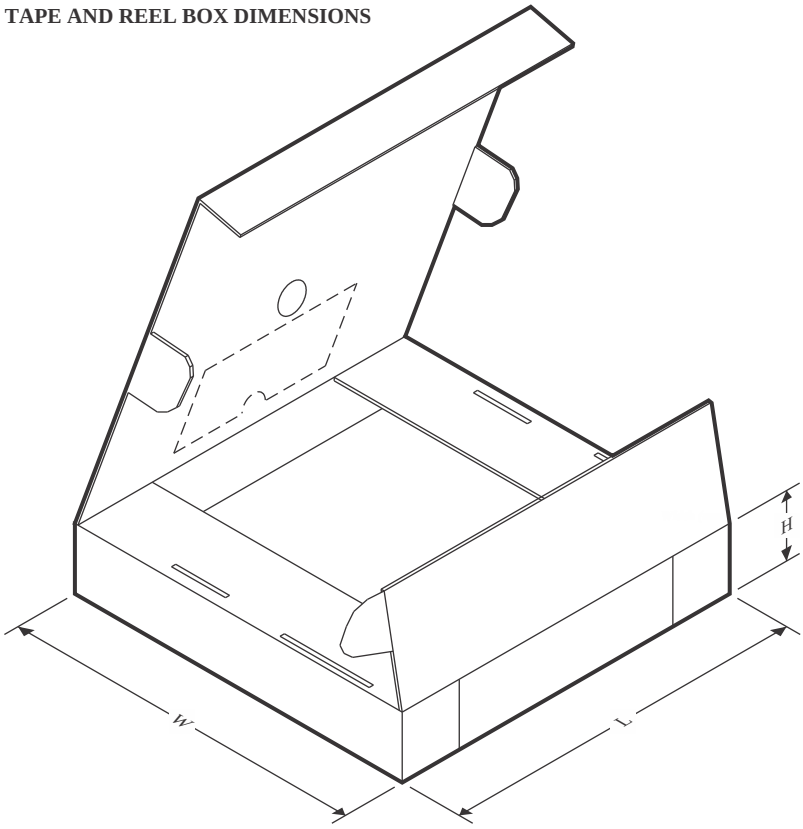
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

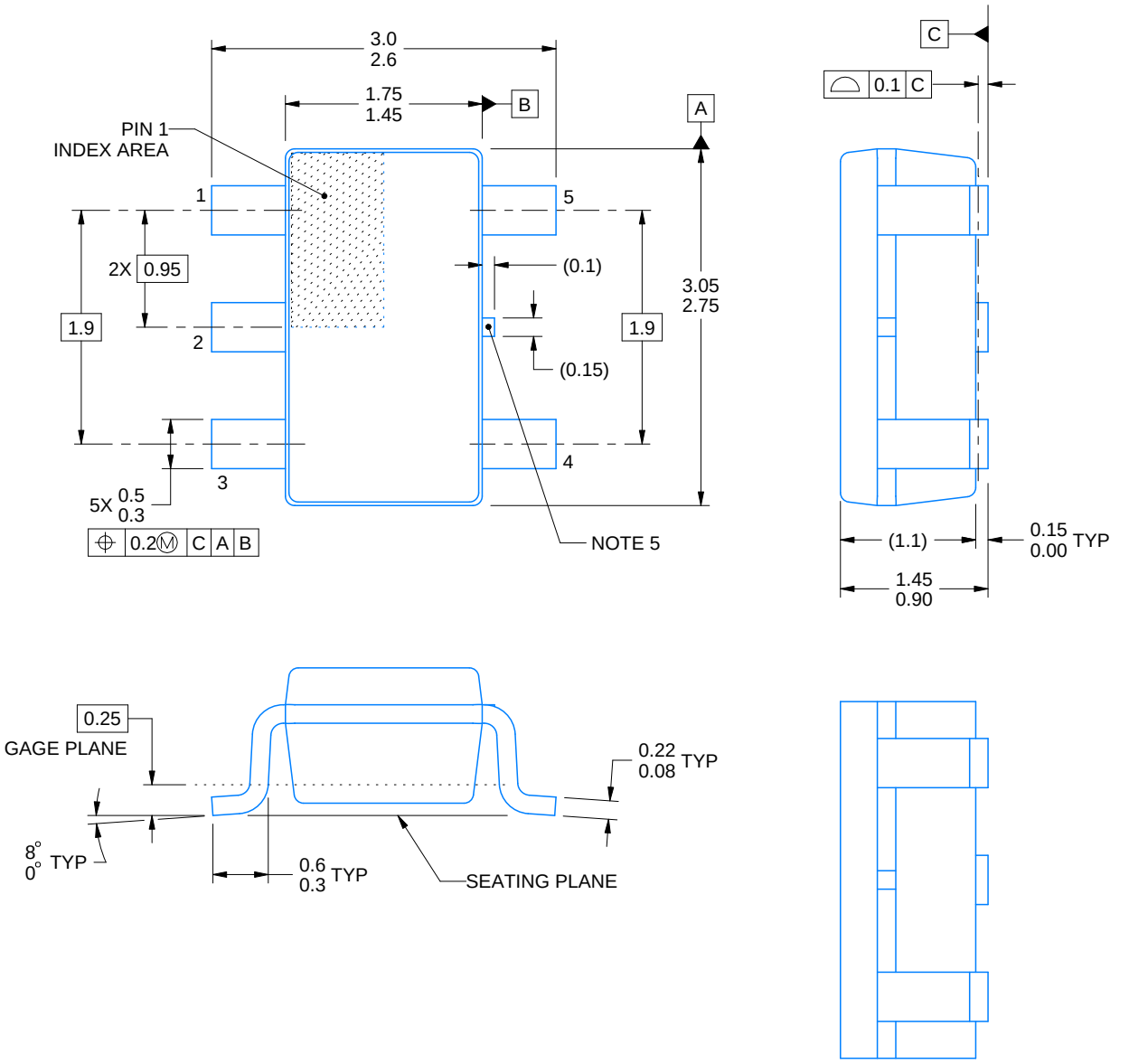
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN74LV1T32DBVR	SOT-23	DBV	5	3000	178.0	9.0	3.3	3.2	1.4	4.0	8.0	Q3
SN74LV1T32DBVR	SOT-23	DBV	5	3000	180.0	8.4	3.23	3.17	1.37	4.0	8.0	Q3
SN74LV1T32DBVRG4	SOT-23	DBV	5	3000	178.0	9.2	3.3	3.23	1.55	4.0	8.0	Q3
SN74LV1T32DCKR	SC70	DCK	5	3000	180.0	8.4	2.3	2.5	1.2	4.0	8.0	Q3
SN74LV1T32DCKRG4	SC70	DCK	5	3000	178.0	9.2	2.4	2.4	1.22	4.0	8.0	Q3

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN74LV1T32DBVR	SOT-23	DBV	5	3000	180.0	180.0	18.0
SN74LV1T32DBVR	SOT-23	DBV	5	3000	202.0	201.0	28.0
SN74LV1T32DBVRG4	SOT-23	DBV	5	3000	180.0	180.0	18.0
SN74LV1T32DCKR	SC70	DCK	5	3000	210.0	185.0	35.0
SN74LV1T32DCKRG4	SC70	DCK	5	3000	180.0	180.0	18.0

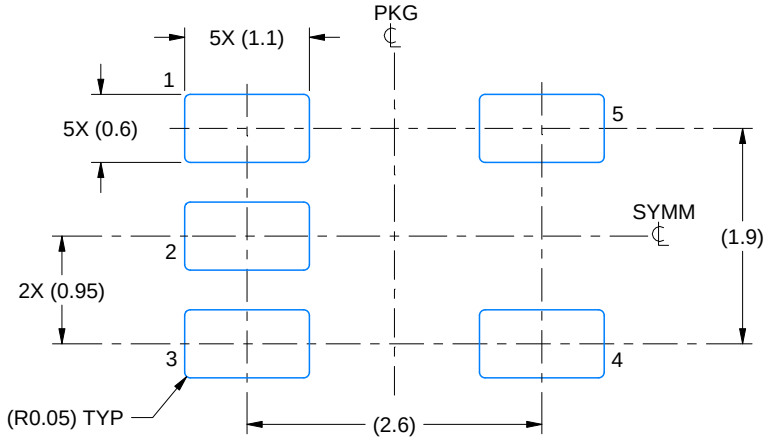


ALTERNATIVE PACKAGE SINGULATION VIEW

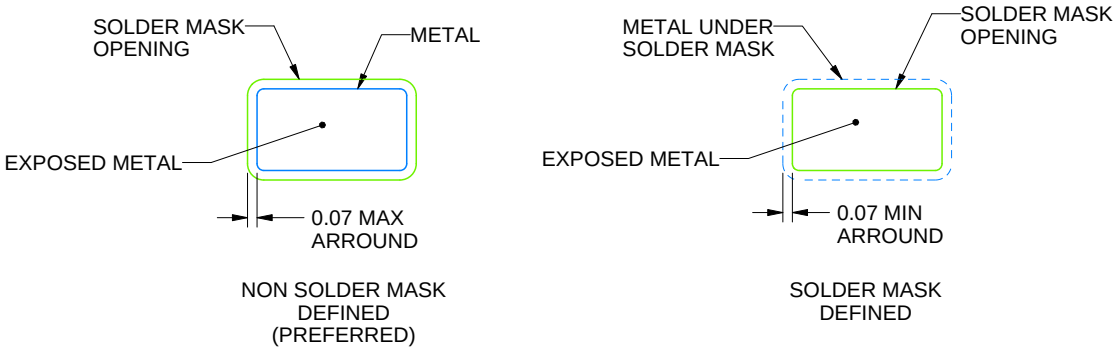
4214839/J 02/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-178.
4. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25 mm per side.
5. Support pin may differ or may not be present.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X

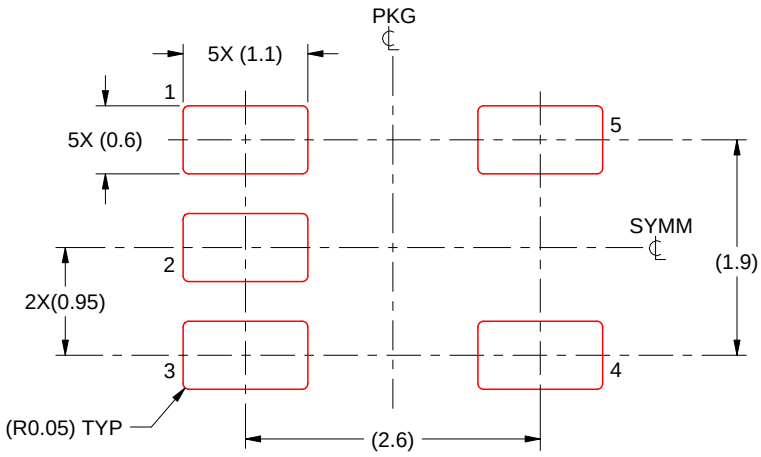


SOLDER MASK DETAILS

4214839/J 02/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

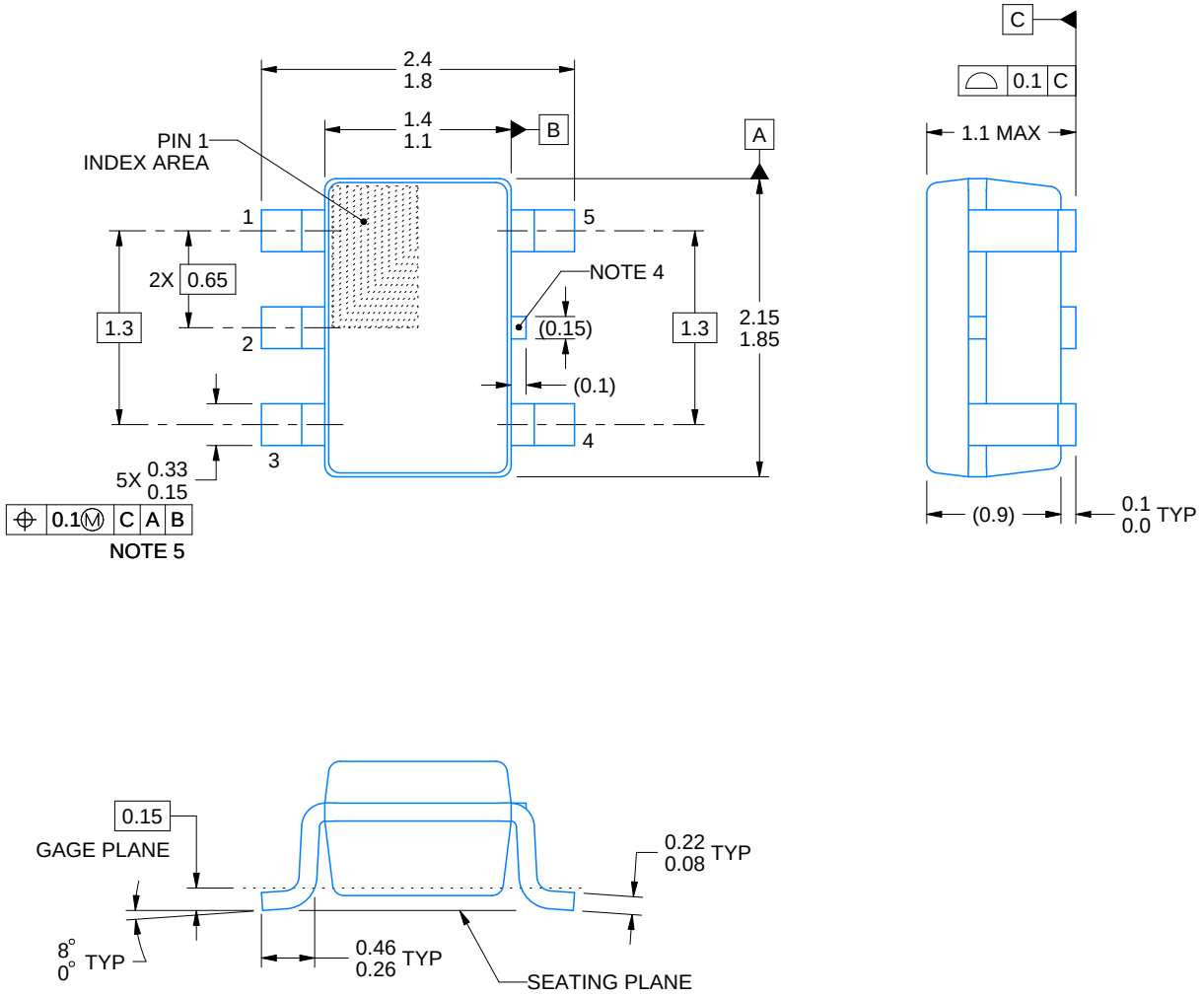


SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214839/J 02/2024

NOTES: (continued)

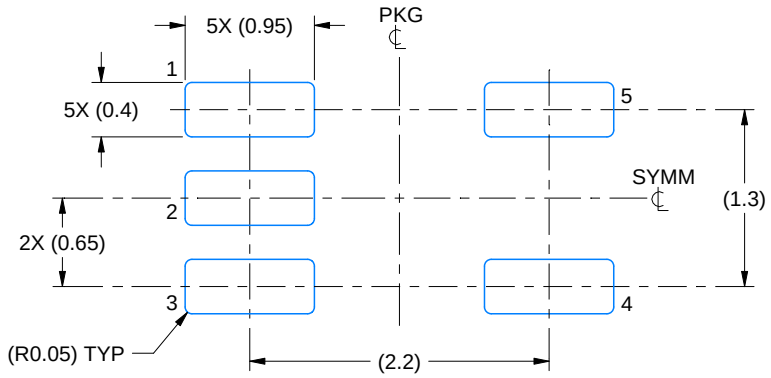
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.



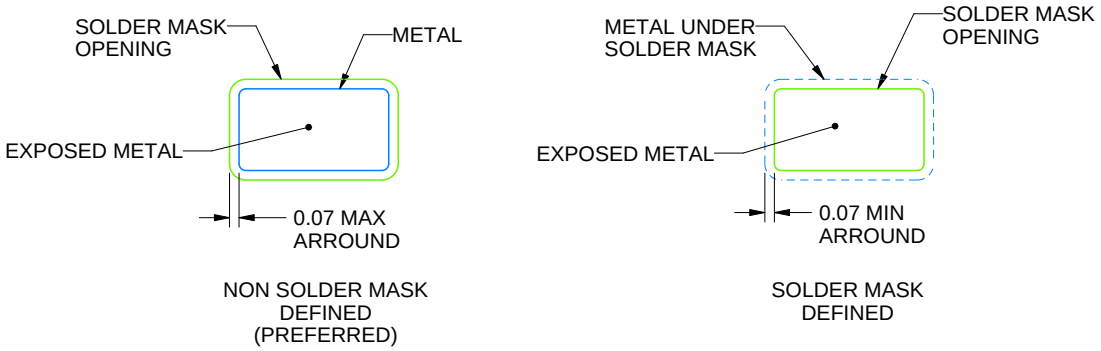
4214834/D 07/2023

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-203.
4. Support pin may differ or may not be present.
5. Lead width does not comply with JEDEC.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:18X

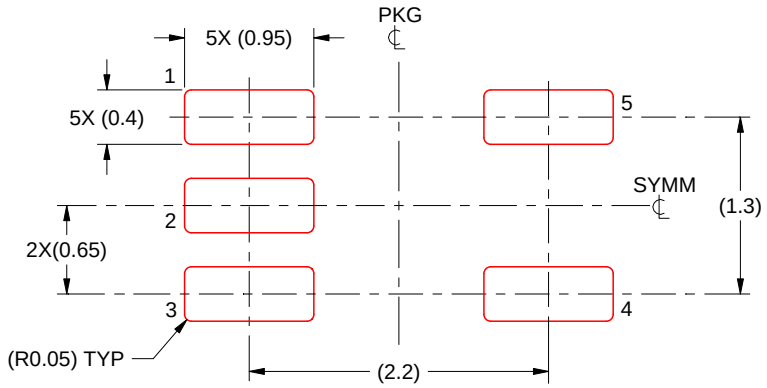


SOLDER MASK DETAILS

4214834/D 07/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 THICK STENCIL
SCALE:18X

4214834/D 07/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、TI の販売条件、または ti.com やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated