

SNx5LBC174A クワッド RS-485 差動ラインドライバ

1 特長

- TIA/EIA-485、TIA/EIA-422、ISO 8482 アプリケーション用に設計
- 信号レート¹ 最大 30 Mbps
- 伝搬遅延時間: < 11ns
- 低スタンバイ消費電力: 1.5mA 未満
- 出力 ESD 保護: 12kV
- ドライバの正および負の電流制限
- 活線挿抜アプリケーションでパワーアップ/パワーダウン時のグリッチなし
- サーマル シャットダウン保護機能
- SN75174、MC3487、DS96174、LTC487、MAX3042 と互換の業界標準ピン配置

2 アプリケーション

- モーター ドライブ
- ファクトリ オートメーション / 制御

3 概要

SN65LBC174A および SN75LBC174A は、3 ステート出力のクワッド差動ラインドライバであり、TIA/EIA-485 (RS-485)、TIA/EIA-422 (RS-422)、ISO 8482 アプリケーション用に設計されています。

このデバイスは、最大 30Mbps の信号レートでの平衡マルチポイントバス伝送用に最適化されています。伝送媒

体にはプリント基板のトレース、バックプレーン、ケーブルを使用できます。データ転送の最高速度および最大距離は、メディアの減衰特性と周囲からのノイズに依存します。

各ドライバは電流制限およびサーマル シャットダウン回路を備えているため、ノイズの多い環境の高速マルチポイントアプリケーションに適しています。これらのデバイスは LinBiCMOS® を使用して設計されており、低消費電力と堅牢性を実現しています。

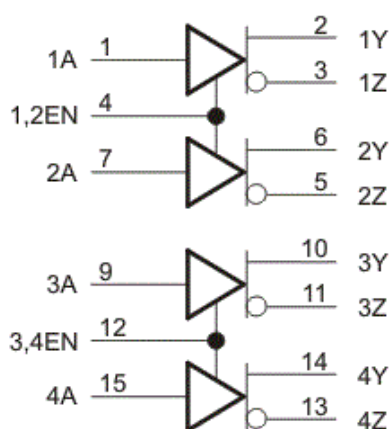
2 つのイネーブル (EN) 入力を備えているため、ペアごとにドライバをイネーブルできます。また、2 つのイネーブル入力を外部で接続して、4 つのドライバ全部を 1 つの信号でイネーブル制御することもできます。ディセーブルまたは電源オフ時には、ドライバの出力はバスに対して高インピーダンスになるため、システムの負荷を低減できます。

SN75LBC174A は 0°C~70°C の温度範囲で動作が規定されています。SN65LBC174A は -40°C~85°C の温度範囲で動作が規定されています。

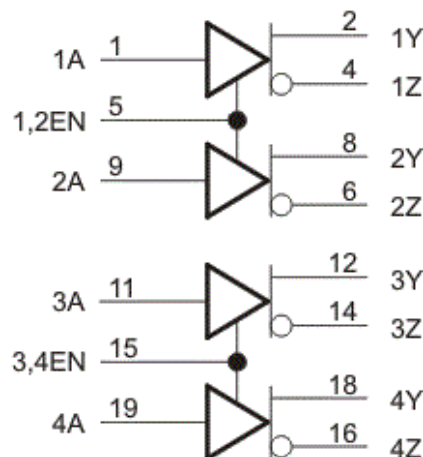
パッケージ情報

部品番号	パッケージ ⁽¹⁾	パッケージサイズ ⁽²⁾
SN65LBC174A SN75LBC174A	SOIC (DW, 16)	10.3mm × 10.3mm
	SOIC (DW, 20)	12.8mm × 10.3mm
	PDIP (N, 16)	19.3mm × 9.4mm

- (1) 詳細については、[セクション 11](#) を参照してください。
- (2) パッケージサイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



論理図 (正論理)



論理図 (正論理)

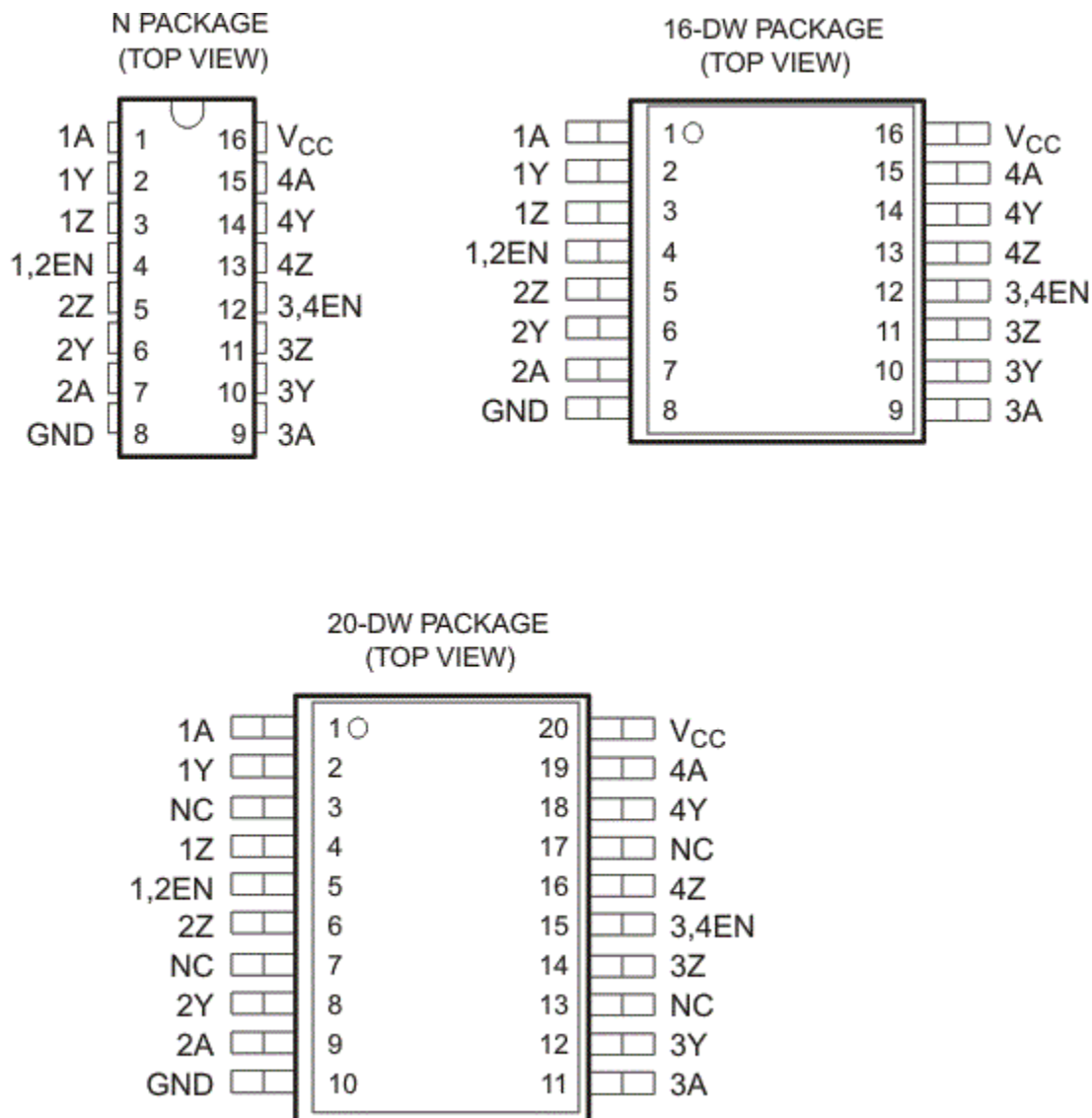
¹ ラインの信号レートとは、1 秒あたりの電圧遷移回数を bps (ビット/秒) 単位で表したものです。



Table of Contents

1 特長	1	7 Device Functional Modes	13
2 アプリケーション	1	8 Application and Implementation	14
3 概要	1	8.1 Application Information.....	14
4 Pin Configuration and Functions	3	9 Device and Documentation Support	15
5 Specifications	4	9.1 ドキュメントの更新通知を受け取る方法.....	15
5.1 Absolute Maximum Ratings.....	4	9.2 サポート・リソース.....	15
5.2 Dissipation Rating Table.....	4	9.3 Trademarks.....	15
5.3 Recommended Operating Conditions.....	4	9.4 静電気放電に関する注意事項.....	15
5.4 Thermal Information.....	5	9.5 用語集.....	15
5.5 Electrical Characteristics.....	6	10 Revision History	15
5.6 Switching Characteristics.....	6	11 Mechanical, Packaging, and Orderable	
5.7 Typical Characteristics.....	7	Information	16
6 Parameter Measure Information	8		

4 Pin Configuration and Functions



5 Specifications

5.1 Absolute Maximum Ratings

over operating free-air temperature range (unless otherwise noted)⁽¹⁾

			VALUE / UNIT
Supply voltage range, V_{CC} ⁽²⁾			–0.3 V to 6 V
Voltage range at any bus (DC)			–10 V to 15 V
Voltage range at any bus (transient pulse through 100 Ω , see Figure 6-8)			–30 V to 30 V
Input voltage range at any A or EN terminal, V_I			–0.5 V to $V_{CC} + 0.5$ V
Electrostatic discharge	Human body model ⁽³⁾	Y, Z, and GND	± 12 kV
		All pins	± 5 kV
	Charged-device model ⁽⁴⁾	All pins	± 1 kV
Storage temperature range, T_{stg}			–65°C to 150°C
Continuous power dissipation			See Dissipation Rating Table

- (1) Stresses beyond those listed under *Absolute Maximum Ratings* may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated under *Recommended Operating Conditions* is not implied. Exposure to absolute-maximum-rated conditions for extended periods may affect device reliability.
- (2) All voltage values, except differential I/O bus voltages, are with respect to GND.
- (3) Tested in accordance with JEDEC standard 22, Test Method A114-A.
- (4) Tested in accordance with JEDEC standard 22, Test Method C101.

5.2 Dissipation Rating Table

表 5-1. Dissipation Rating Table

PACKAGE ⁽¹⁾	JEDEC BOARD MODEL	$T_A \leq 25^\circ\text{C}$ POWER RATING	DERATING FACTOR ⁽²⁾ ABOVE $T_A = 25^\circ\text{C}$	$T_A = 70^\circ\text{C}$ POWER RATING	$T_A = 85^\circ\text{C}$ POWER RATING
16 DW	LOW K	1200 mW	9.6 mW/°C	769 mW	625 mW
	HIGH K	2240 mW	17.9 mW/°C	1434 mW	1165 mW
20 DW	LOW K	1483 mW	11.86 mW/°C	949 mW	771 mW
	HIGH K	2753 mW	22 mW/°C	1762 mW	1432 mW
16 N	LOW K	1150 mW	9.2 mW/°C	736 mW	598 mW

- (1) For the most current package and ordering information, see the Package Option Addendum at the end of this document, or see the TI website at www.ti.com.
- (2) This is the inverse of the junction-to-ambient thermal resistance when board-mounted and with no air flow.

5.3 Recommended Operating Conditions

		MIN	NOM	MAX	UNIT
Supply voltage, V _{CC}		4.75	5	5.25	V
Voltage at any bus terminal	Y, Z	−7		12	V
High-level input voltage, V _{IH}	A, EN	2		V _{CC}	V
Low-level input voltage, V _{IL}		0		0.8	
Output current		−60		60	mA
Operating free-air temperature, T _A	SN75LBC174A	0		70	°C
	SN65LBC174A	−40		85	

5.4 Thermal Information

THERMAL METRIC ⁽¹⁾		SN75ALS174A			UNIT
		N (PDIP)	DW (SOIC)	DW	
		16 PINS	16 PINS	20 PINS	
$R_{\theta JA}$	Junction-to-ambient thermal resistance	60.6	71.1	66.8	°C/W
$R_{\theta JC(top)}$	Junction-to-case (top) thermal resistance	48.1	37.4	34.4	°C/W
$R_{\theta JB}$	Junction-to-board thermal resistance	40.6	36.8	39.7	°C/W
Ψ_{JT}	Junction-to-top characterization parameter	27.5	13.3	8.9	°C/W
Ψ_{JB}	Junction-to-board characterization parameter	40.3	36.4	39	°C/W
$R_{\theta JC(bot)}$	Junction-to-case (bottom) thermal resistance	n/a	n/a	n/a	°C/W

(1) For more information about traditional and new thermal metrics, see the [Semiconductor and IC Package Thermal Metrics](#) application report.

5.5 Electrical Characteristics

over recommended operating conditions

PARAMETER		TEST CONDITIONS		MIN	TYP ⁽¹⁾	MAX	UNIT
V _{IK}	Input clamp voltage	I _I = -18 mA		−1.5	−0.77		V
V _O	Open-circuit output voltage	Y or Z, No load		0		V _{CC}	V
V _{OD(SS)}	Steady-state differential output voltage magnitude ⁽²⁾	No load (open circuit)		3		V _{CC}	V
		R _L = 54Ω, See 6-1		1	1.6	2.5	
		With common-mode loading, See 6-2		1	1.6	2.5	
ΔV _{OD(SS)}	Change in steady-state differential output voltage between logic states	See 6-1		−0.1		0.1	V
V _{OC(SS)}	Steady-state common-mode output voltage	See 6-3		2	2.4	2.8	V
ΔV _{OC(SS)}	Change in steady-state common-mode output voltage between logic states	See 6-3		−0.02		0.02	V
I _I	Input current	A, EN		−50		50	μA
I _{OS}	Short-circuit output current	V _{TEST} = -7V to 12V, See 6-7	V _I = 0V	−200		200	mA
			V _I = V _{CC}				
I _{OZ}	High-impedance-state output current		EN at 0V	−50		50	μA
I _{O(OFF)}	Output current with power off		V _{CC} = 0V	−10		10	
I _{CC}	Supply current	V _I = 0V or V _{CC} , No load	All drivers enabled			23	mA
			All drivers disabled			1.5	
C _{IN}	Input Capacitance	A inputs			13		pF
		EN inputs			21		pF

(1) All typical values are at $V_{CC} = 5\text{V}$ and 25°C .

(2) The minimum V_{OD} may not fully comply with TIA/EIA-485-A at operating temperatures below 0°C . System designers should take the possibly lower output signal into account in determining the maximum signal transmission distance.

5.6 Switching Characteristics

over recommended operating conditions

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
t_{PLH}	Propagation delay time, low-to-high level output	5.5	8	11	ns
t_{PHL}	Propagation delay time, high-to-low level output	5.5	8	11	ns
t_r	Differential output voltage rise time	2	7.5	11	ns
t_f	Differential output voltage fall time	2	7.5	11	ns
$t_{sk(p)}$	Pulse skew $ t_{PLH} - t_{PHL} $	$R_L = 54\Omega$, $C_L = 50\text{pF}$, See 6-4	0.6	2	ns
			0.6	2	
$t_{sk(o)}$	Output skew ⁽¹⁾			2	ns
$t_{sk(pp)}$	Part-to-part skew ⁽²⁾			3	ns
t_{PZH}	Propagation delay time, high-impedance-to-high-level output			25	ns
t_{PHZ}	Propagation delay time, high-level-output-to-high impedance			25	ns
t_{PZL}	Propagation delay time, high-impedance-to-low-level output			30	ns
t_{PLZ}	Propagation delay time, low-level-output-to-high impedance			20	ns

(1) Output skew ($t_{sk(o)}$) is the magnitude of the time delay difference between the outputs of a single device with all of the inputs connected together.

(2) Part-to-part skew ($t_{sk(pp)}$) is the magnitude of the difference in propagation delay times between any specified terminals of two devices when both devices operate with the same input signals, the same supply voltages, at the same temperature, and have identical packages and test circuits.

5.7 Typical Characteristics

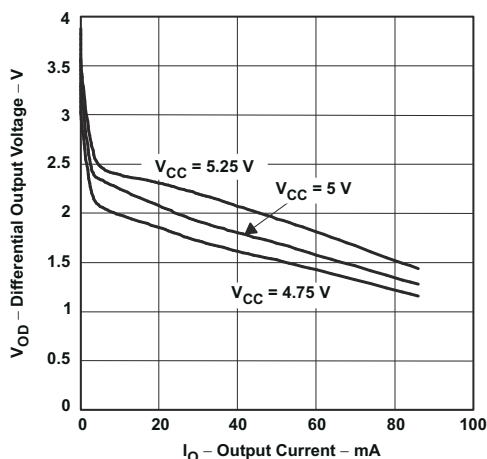


図 5-1. Differential Output Voltage vs Output Current

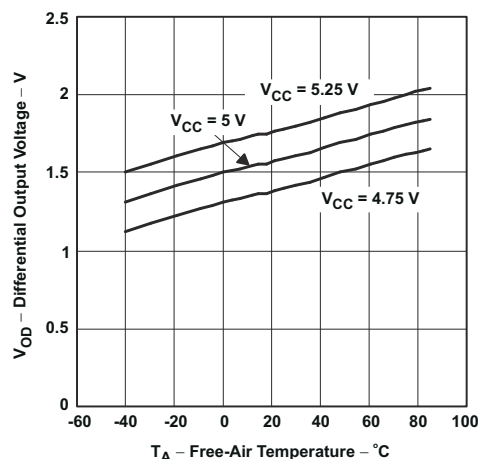


図 5-2. Differential Output Voltage vs Free-air Temperature

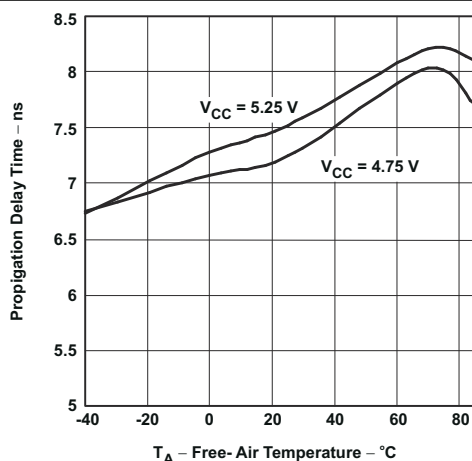


図 5-3. Propagation Delay Time vs Free-air Temperature

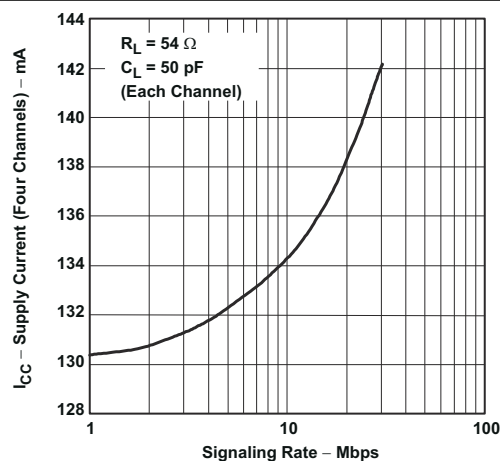


図 5-4. Supply Current (Four Channels) vs Signaling Rate

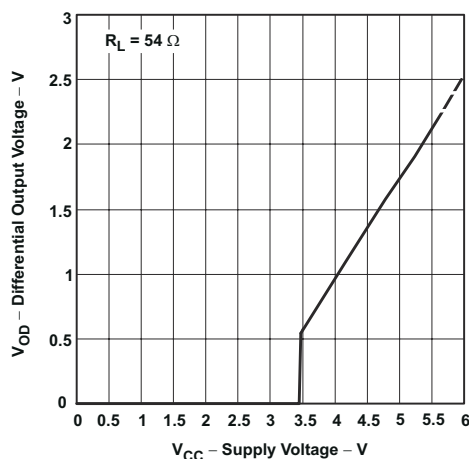


図 5-5. Differential Output Voltage vs Supply Voltage

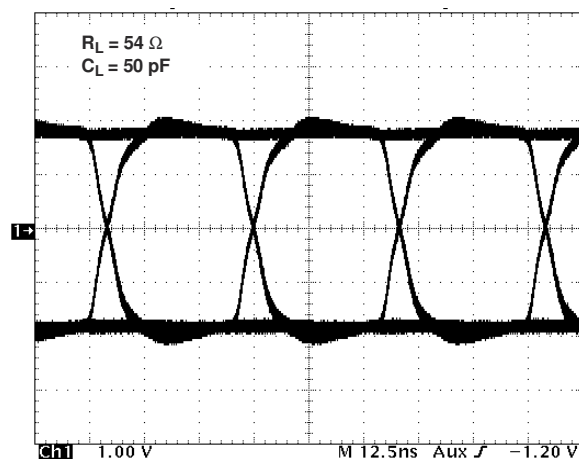


図 5-6. Eye Pattern, Pseudorandom Data at +30Mbps

6 Parameter Measure Information

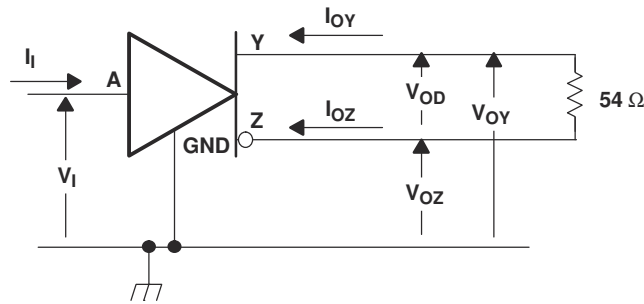


図 6-1. Test Circuit, V_{OD} Without Common-Mode Loading

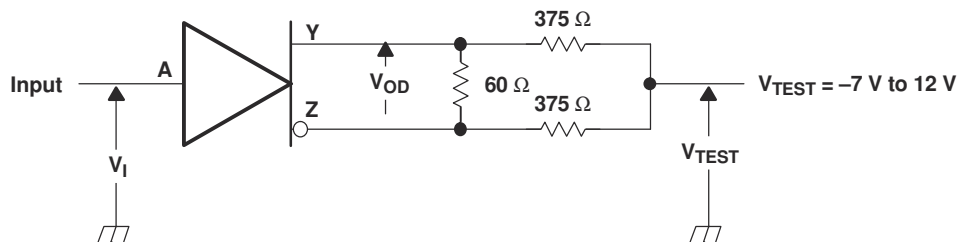
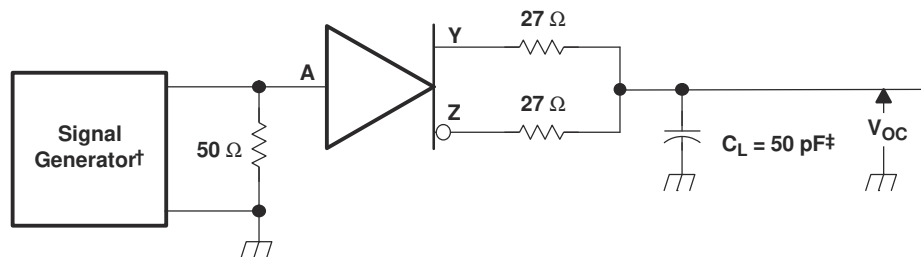


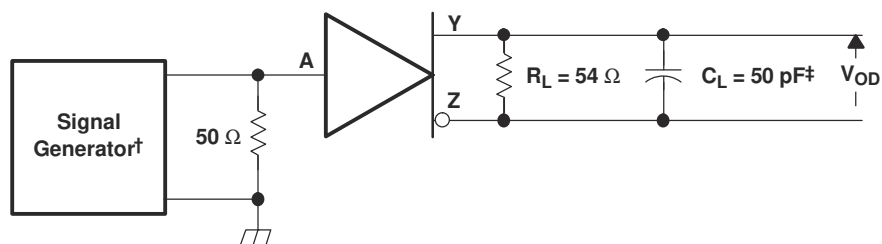
図 6-2. Test Circuit, V_{OD} With Common-Mode Loading



† PRR = 1 MHz, 50% Duty Cycle, $t_r < 6$ ns, $t_f < 6$ ns, $Z_O = 50 \Omega$

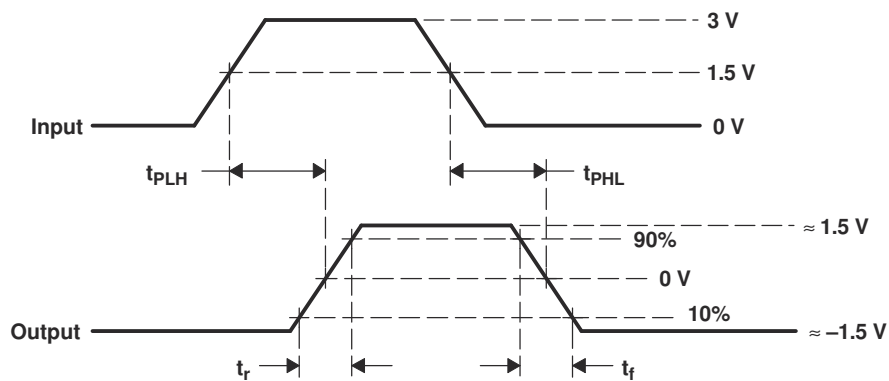
‡ Includes probe and jig capacitance

図 6-3. V_{OC} Test Circuit

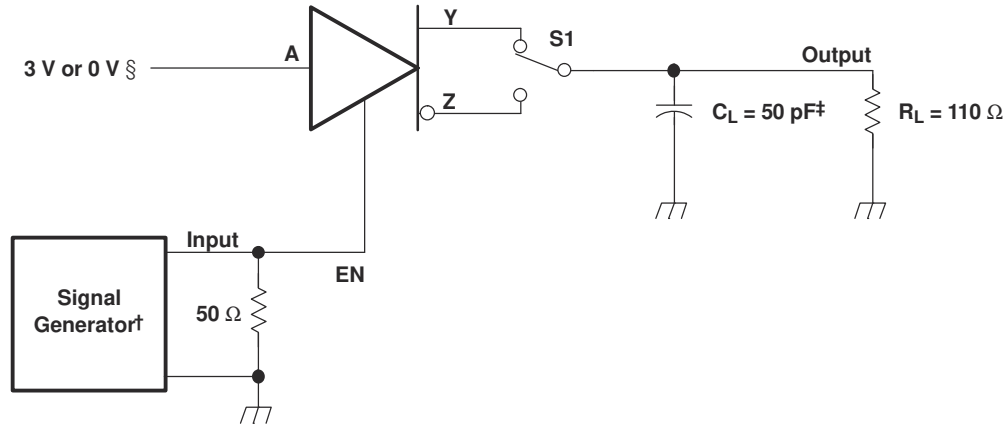


[†] PRR = 1 MHz, 50% Duty Cycle, $t_r < 6$ ns, $t_f < 6$ ns, $Z_O = 50 \Omega$

‡ Includes probe and jig capacitance



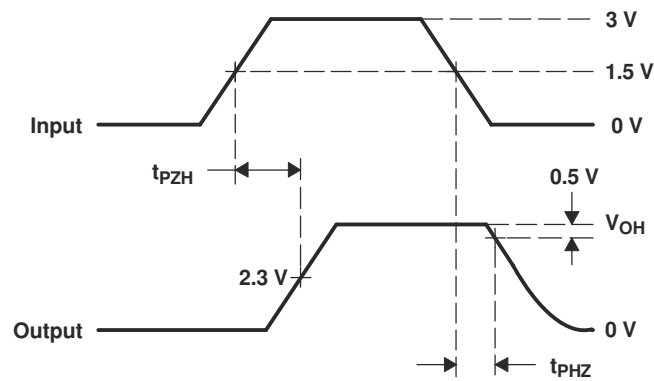
6-4. Output Switching Test Circuit and Waveforms



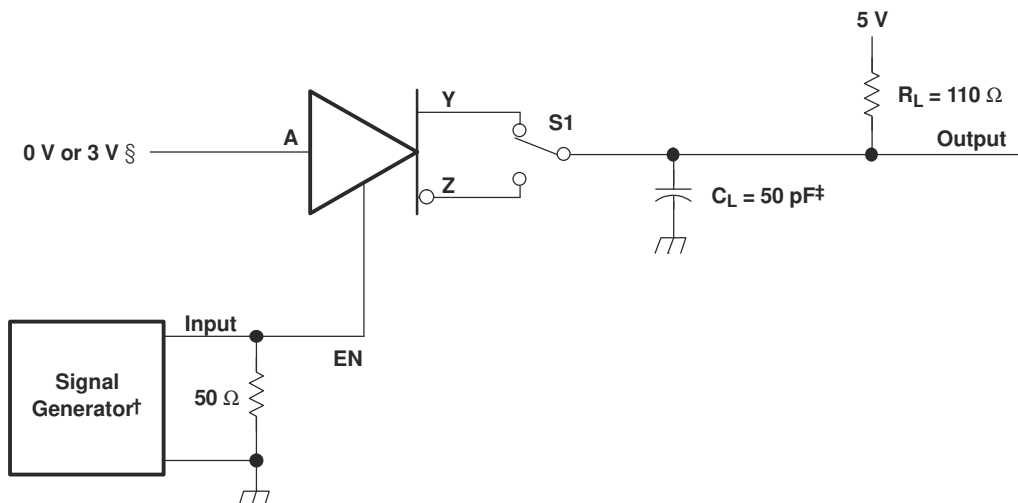
† PRR = 1 MHz, 50% Duty Cycle, $t_r < 6$ ns, $t_f < 6$ ns, $Z_O = 50 \Omega$

‡ Includes probe and jig capacitance

§ 3 V if testing Y output, 0 V if testing Z output



6-5. Enable Timing Test Circuit and Waveforms, t_{PZH} and t_{PHZ}



† PRR = 1 MHz, 50% Duty Cycle, $t_r < 6$ ns, $t_f < 6$ ns, $Z_O = 50 \Omega$

‡ Includes probe and jig capacitance

§ 3 V if testing Y output, 0 V if testing Z output

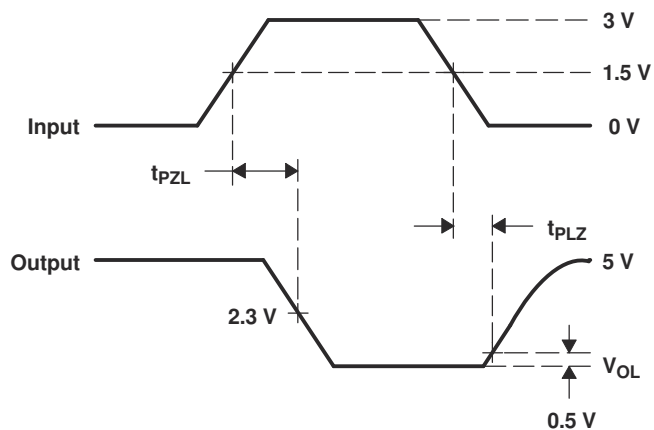


图 6-6. Enable Timing Test Circuit and Waveforms, t_{PZL} and t_{PLZ}

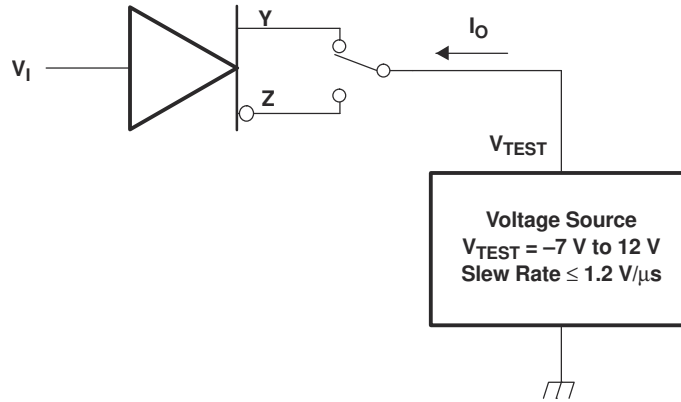


図 6-7. Test Circuit, Short-Circuit Output Current

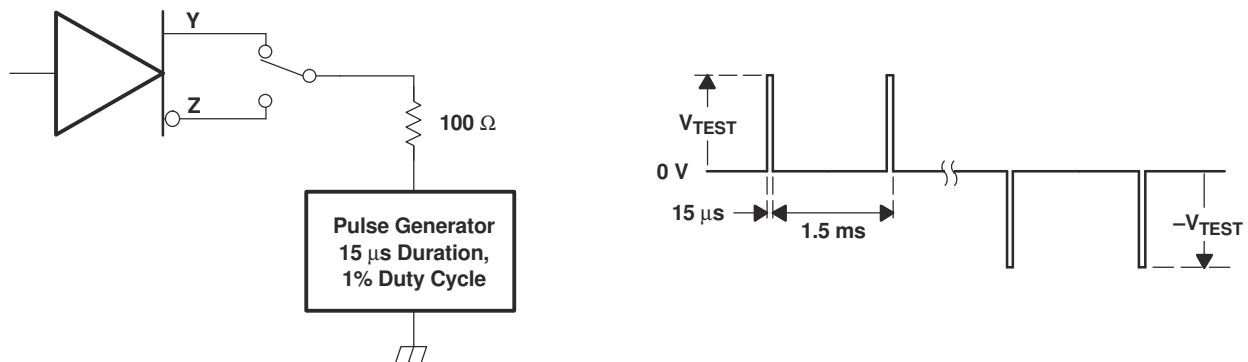


図 6-8. Test Circuit Waveform, Transient Overvoltage Test

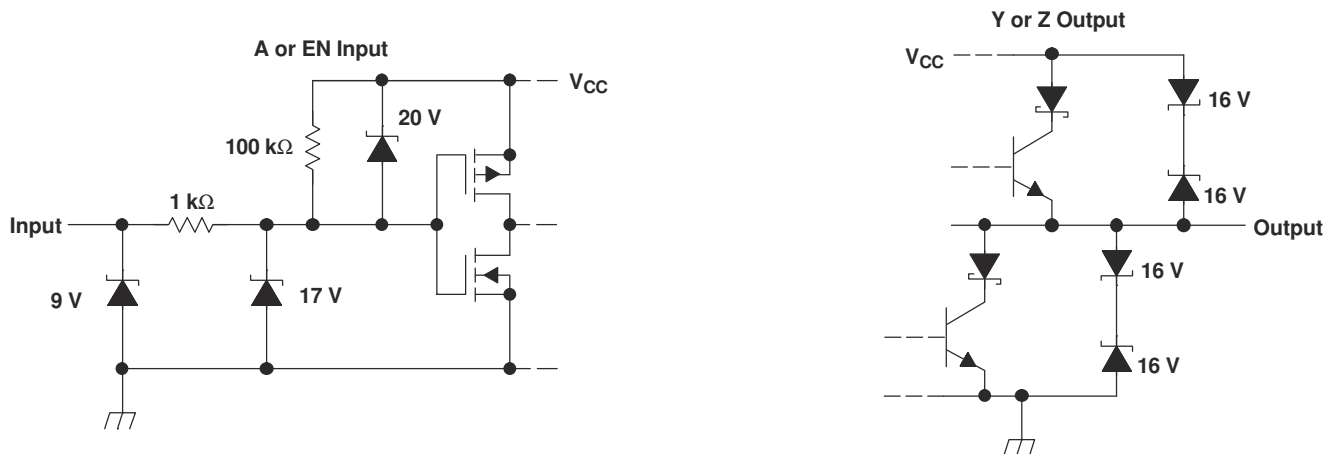


図 6-9. Equivalent Input and Output Schematic Diagrams

7 Device Functional Modes

表 7-1. Function table (each driver)

INPUT ⁽¹⁾	ENABLE	OUTPUT	OUTPUT
A	EN	Y	Z
L	H	L	H
H	H	H	L
OPEN	H	H	L
L	OPEN	L	H
H	OPEN	H	L
OPEN	OPEN	H	L
X	L	Z	Z

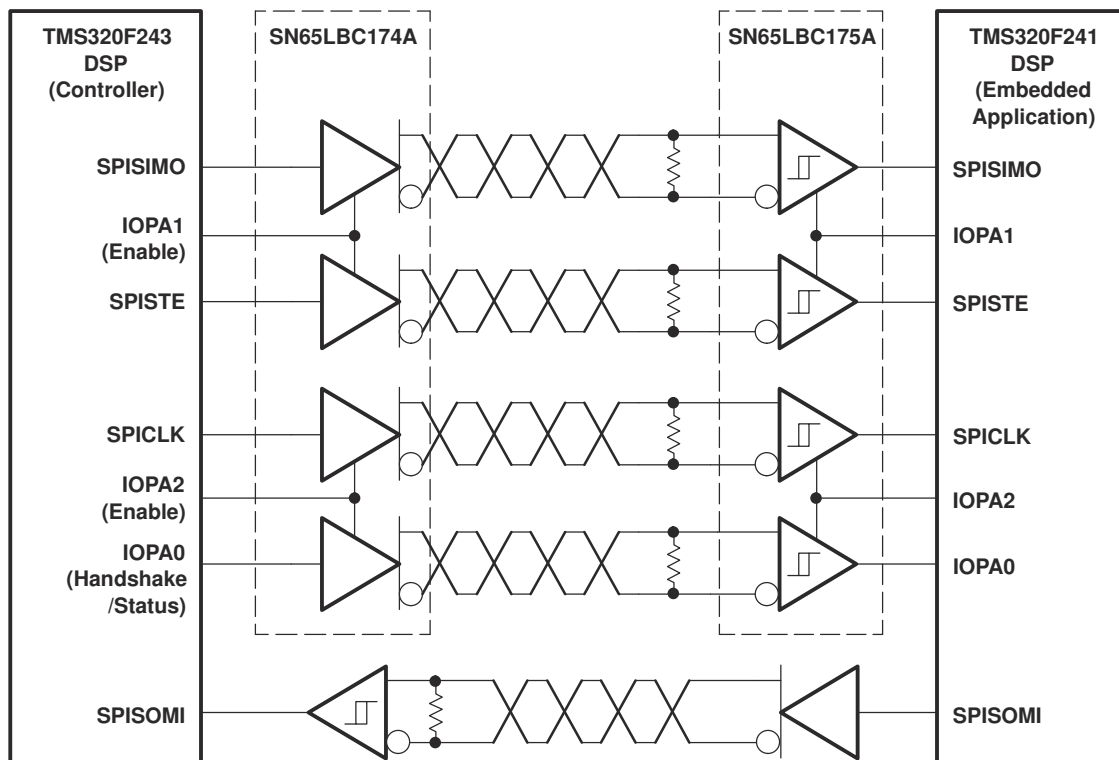
(1) H = high level, L = low level, X = irrelevant, Z = high impedance (off)

8 Application and Implementation

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 Application Information



■ 8-1. Typical Application Circuit, DSP-to-DSP Link via Serial Peripheral Interface

9 Device and Documentation Support

TI offers an extensive line of development tools. Tools and software to evaluate the performance of the device, generate code, and develop solutions are listed below.

9.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

9.3 Trademarks

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

LinBiCMOS® is a registered trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

9.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.5 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

10 Revision History

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision F (October 2009) to Revision G (April 2024) Page

- ドキュメント全体にわたって表、図、相互参照の採番方法を変更..... [1](#)
- Added the *Thermal Information* table..... [5](#)

Changes from Revision E (July 2008) to Revision F (October 2009) Page

- Added C_{IN} - Input Capacitance to the Electrical Characteristics table..... [6](#)
- Changed the location of [図 6-9](#) [8](#)
- Changed [表 7-1](#) header From: ENABLE G To: ENABLE EN..... [13](#)

Changes from Revision D (June 2008) to Revision E (July 2008) Page

- 「特長」の項目を下記のように変更「11 kV を超える出力 ESD 保護」から出力 ESD 保護: 12 kV..... [1](#)
- Changed Electrostatic discharge-Human body model-Y, Z, and GND From: 11kV To: 12kV..... [4](#)

• From: A, G, $\bar{G}$ To: A, EN.....	6
--	---

Changes from Revision C (June 2008) to Revision D (July 2008)	Page
--	-------------

• Changed Electrostatic discharge-Human body model-Y, Z, and GND From: 13kV To: 11kV.....	4
• Changed the <i>Dissipation Rating Table</i>	4

Changes from Revision B (June 2001) to Revision C (May 2003)	Page
---	-------------

• 「特長」の項目を下記のように変更「13kV を超える出力 ESD 保護」から出力 ESD 保護: 11 kV.....	1
• 「特長」で、業界標準の箇条書き項目を「SN75174、MC3487、DS96174 と互換」から「SN75174、MC3487、DS96174、LTC487、MAX3042 と互換」に変更.....	1

Changes from Revision A (February 2001) to Revision B (June 2001)	Page
--	-------------

• Changed DW Package appearance.....	3
• Added  5-5	7

Changes from Revision * (October 2000) to Revision A (February 2001)	Page
---	-------------

• データシート全体にわたって複数の項目を変更.....	1
------------------------------	---

11 Mechanical, Packaging, and Orderable Information

The following pages include mechanical, packaging, and orderable information. This information is the most current data available for the designated devices. This data is subject to change without notice and revision of this document. For browser-based versions of this data sheet, refer to the left-hand navigation.

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
SN65LBC174A16DW	LIFEBUY	SOIC	DW	16	40	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 85	65LBC174A	
SN65LBC174A16DWR	ACTIVE	SOIC	DW	16	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 85	65LBC174A	Samples
SN65LBC174A16DWRG4	ACTIVE	SOIC	DW	16	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 85	65LBC174A	Samples
SN65LBC174ADW	LIFEBUY	SOIC	DW	20	25	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 85	65LBC174A	
SN65LBC174ADWR	ACTIVE	SOIC	DW	20	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 85	65LBC174A	Samples
SN65LBC174AN	ACTIVE	PDIP	N	16	25	RoHS & Green	NIPDAU	N / A for Pkg Type	-40 to 85	65LBC174A	Samples
SN75LBC174A16DW	LIFEBUY	SOIC	DW	16	40	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	0 to 70	75LBC174A	
SN75LBC174A16DWR	LIFEBUY	SOIC	DW	16	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	0 to 70	75LBC174A	
SN75LBC174ADW	ACTIVE	SOIC	DW	20	25	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	0 to 70	75LBC174A	Samples
SN75LBC174ADWR	ACTIVE	SOIC	DW	20	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	0 to 70	75LBC174A	Samples
SN75LBC174AN	LIFEBUY	PDIP	N	16	25	RoHS & Green	NIPDAU	N / A for Pkg Type	0 to 70	75LBC174A	

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSELETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

⁽⁵⁾ Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "-" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

⁽⁶⁾ Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF SN65LBC174A :

- Enhanced Product : [SN65LBC174A-EP](#)

NOTE: Qualified Version Definitions:

- Enhanced Product - Supports Defense, Aerospace and Medical Applications

TAPE AND REEL INFORMATION


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN65LBC174A16DWR	SOIC	DW	16	2000	330.0	16.4	10.75	10.7	2.7	12.0	16.0	Q1
SN65LBC174ADWR	SOIC	DW	20	2000	330.0	24.4	10.8	13.3	2.7	12.0	24.0	Q1
SN75LBC174A16DWR	SOIC	DW	16	2000	330.0	16.4	10.75	10.7	2.7	12.0	16.0	Q1
SN75LBC174ADWR	SOIC	DW	20	2000	330.0	24.4	10.8	13.3	2.7	12.0	24.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN65LBC174A16DWR	SOIC	DW	16	2000	350.0	350.0	43.0
SN65LBC174ADWR	SOIC	DW	20	2000	367.0	367.0	45.0
SN75LBC174A16DWR	SOIC	DW	16	2000	350.0	350.0	43.0
SN75LBC174ADWR	SOIC	DW	20	2000	350.0	350.0	43.0

TUBE


*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μm)	B (mm)
SN65LBC174A16DW	DW	SOIC	16	40	506.98	12.7	4826	6.6
SN65LBC174ADW	DW	SOIC	20	25	506.98	12.7	4826	6.6
SN65LBC174ADW	DW	SOIC	20	25	507	12.83	5080	6.6
SN65LBC174AN	N	PDIP	16	25	506	13.97	11230	4.32
SN75LBC174A16DW	DW	SOIC	16	40	506.98	12.7	4826	6.6
SN75LBC174ADW	DW	SOIC	20	25	506.98	12.7	4826	6.6
SN75LBC174ADW	DW	SOIC	20	25	507	12.83	5080	6.6
SN75LBC174AN	N	PDIP	16	25	506	13.97	11230	4.32

GENERIC PACKAGE VIEW

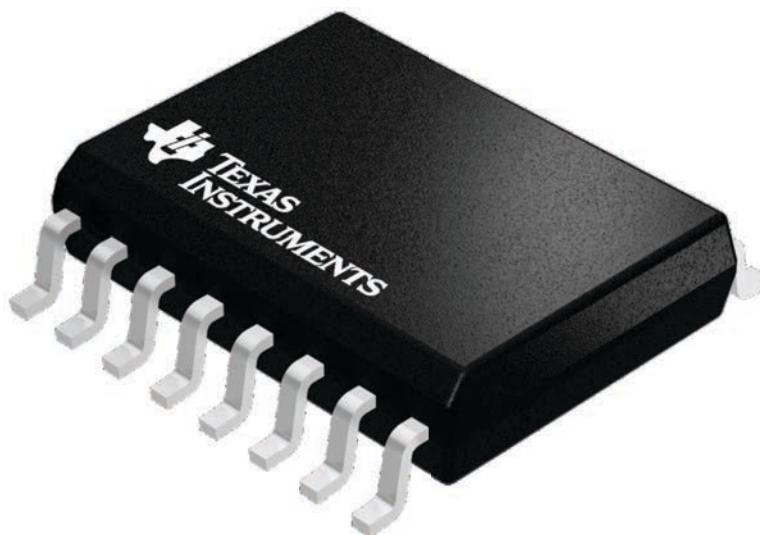
DW 16

SOIC - 2.65 mm max height

7.5 x 10.3, 1.27 mm pitch

SMALL OUTLINE INTEGRATED CIRCUIT

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4224780/A

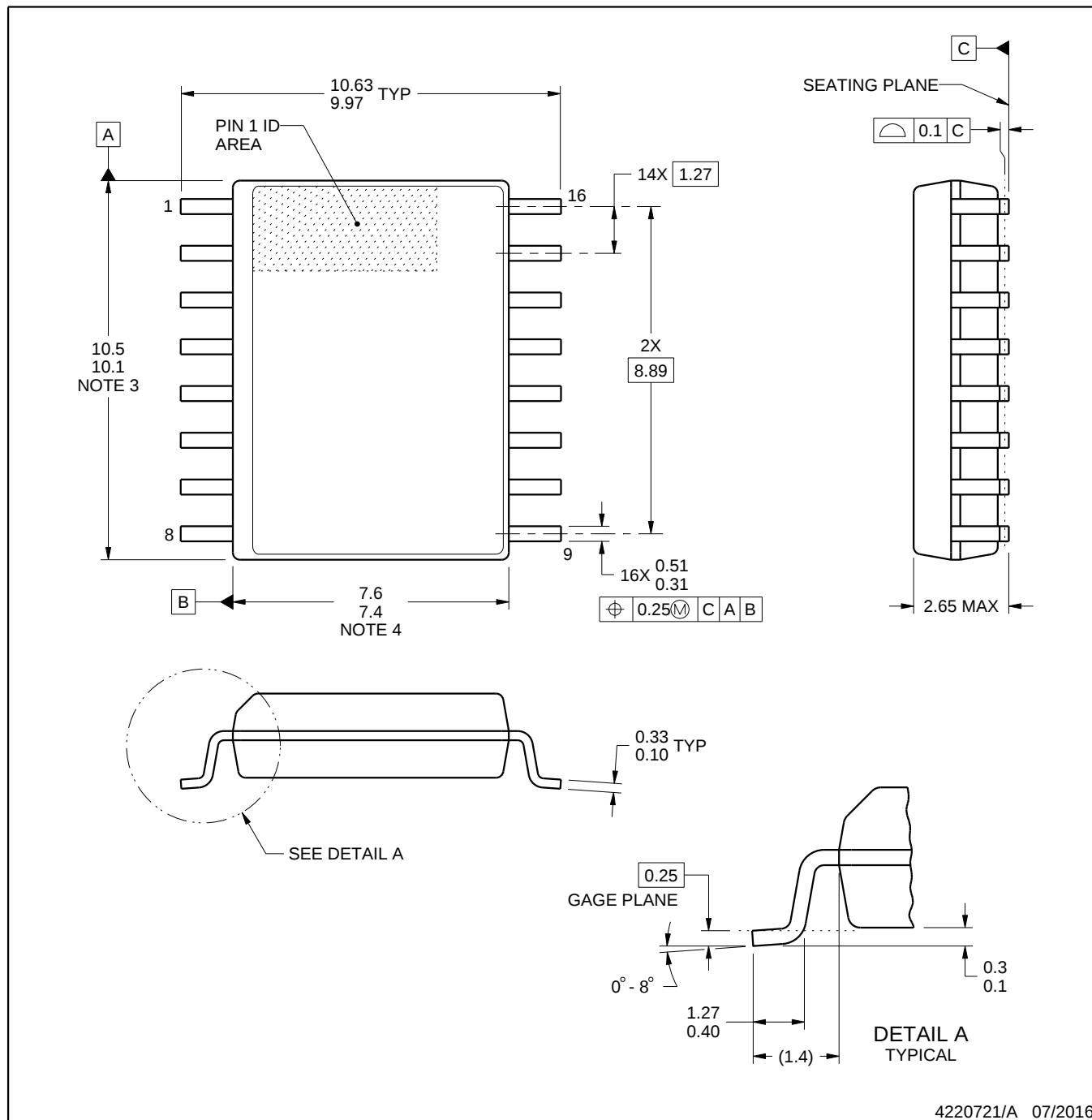


DW0016A

PACKAGE OUTLINE

SOIC - 2.65 mm max height

SOIC



4220721/A 07/2016

NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm, per side.
5. Reference JEDEC registration MS-013.

EXAMPLE BOARD LAYOUT

DW0016A

SOIC - 2.65 mm max height

SOIC



LAND PATTERN EXAMPLE
SCALE:7X



SOLDER MASK DETAILS

4220721/A 07/2016

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DW0016A

SOIC - 2.65 mm max height

SOIC



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:7X

4220721/A 07/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

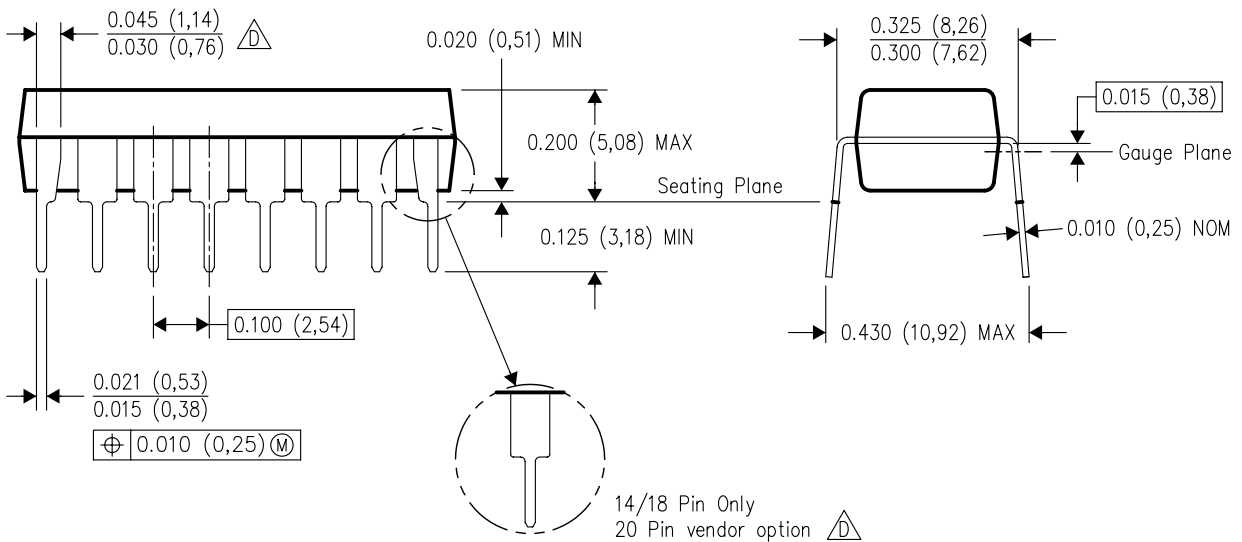
N (R-PDIP-T**)

16 PINS SHOWN

PLASTIC DUAL-IN-LINE PACKAGE



PINS **	14	16	18	20
DIM				
A MAX	0.775 (19,69)	0.775 (19,69)	0.920 (23,37)	1.060 (26,92)
A MIN	0.745 (18,92)	0.745 (18,92)	0.850 (21,59)	0.940 (23,88)
MS-001 VARIATION	AA	BB	AC	AD



4040049/E 12/2002

- NOTES:
- A. All linear dimensions are in inches (millimeters).
 - B. This drawing is subject to change without notice.
 - C. Falls within JEDEC MS-001, except 18 and 20 pin minimum body length (Dim A).
 - D. The 20 pin end lead shoulder width is a vendor option, either half or full width.



NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm per side.
5. Reference JEDEC registration MS-013.

EXAMPLE BOARD LAYOUT

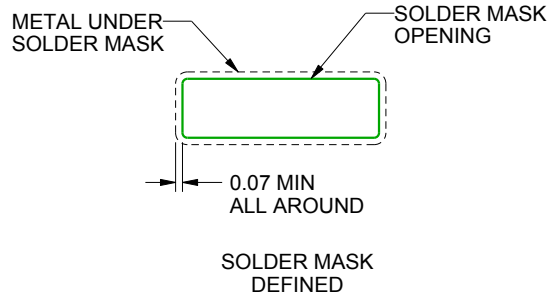
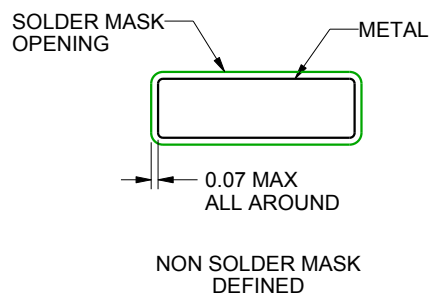
DW0020A

SOIC - 2.65 mm max height

SOIC



LAND PATTERN EXAMPLE
SCALE:6X



SOLDER MASK DETAILS

4220724/A 05/2016

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DW0020A

SOIC - 2.65 mm max height

SOIC



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:6X

4220724/A 05/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、または [ti.com](#) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated