



高精度、電圧-電流 コンバータ / トランスミッタ

特長

- 設計しやすい入力/出力範囲：0mA～20mA、4mA～20mA、5mA～25mA、および電圧出力
- 非直線性：0.002%
- 低いオフセット・ドリフト：1μV/°C
- 精度：0.015%
- 単電源動作
- 広い電源範囲：7V～44V
- 出力エラー・フラグ (EF)
- 出力ディスエーブル (OD)
- 可変電圧レギュレータ：3V～15V

アプリケーション

- ユニバーサルな電圧制御電流源
- 3線式センサ・システムの電流または電圧出力
- PLC出力によるプログラマブル・ドライバ
- 電流モードのセンサ励起

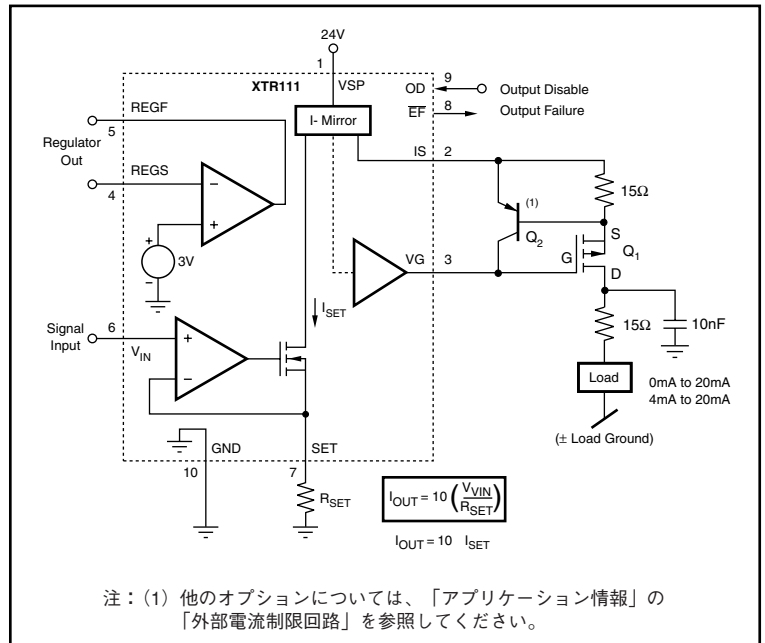
概要

XTR111は、標準の0mA～20mAまたは4mA～20mAアナログ信号向けに設計された高精度の電圧-電流コンバータであり、最大で36mAを供給できます。入力電圧と出力電流の比は、1個の抵抗 R_{SET} によって設定されます。また、電圧出力用に回路を変更することもできます。

外付けのP-MOSFETトランジスタにより、高出力抵抗と、電源電圧 V_{VSP} より2V下からGND以下の十分低い電圧まで、幅広い追従電圧範囲が確保されます。

調整可能な3V～15Vのサブレギュレータ出力により、追加回路に対して電源電圧を供給できます。

XTR111は、MSOPおよびDFNの表面実装パッケージで供給されます。



すべての商標および登録商標は、それぞれの所有者に帰属します。

この資料は、Texas Instruments Incorporated (TI) が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ (日本TI) が英文から和文へ翻訳して作成したものです。資料によっては正規英語版資料の更新に対応していないものがあります。日本TIによる和文資料は、あくまでもTI正規英語版をご理解頂くための補助的参考資料としてご使用下さい。製品のご検討およびご採用にあたりましては必ず正規英語版の最新資料をご確認下さい。TIおよび日本TIは、正規英語版にて更新の情報を提供しているにもかかわらず、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。



静電気放電対策

これらのデバイスは、限定的なESD（静電破壊）保護機能を内蔵しています。保存時または取り扱い時に、MOSゲートに対する静電破壊を防止するために、リード線どうしを短絡しておくか、デバイスを導電性のフォームに入れる必要があります。

製品情報⁽¹⁾

製品名	パッケージ・端子	パッケージ・コード	パッケージ捺印
XTR111	DFN-10	DRC	BSV
	MSOP-10	DGQ	CCM

(1) 最新のパッケージおよびご注文情報については、このドキュメントの巻末にある「付録：パッケージ・オプション」を参照するか、TIのWebサイト (www.ti.com または www.tij.co.jp) をご覧ください。

絶対最大定格⁽¹⁾⁽²⁾

	XTR111	単位
電源電圧、 V_{VSP}	+44	V
SETの電圧 ⁽³⁾	-0.5 ~ +14	V
ISの電圧 ⁽³⁾⁽⁴⁾	$(V_{VSP}) - 5.5 \sim (V_{VSP}) + 0.5$	V
REGS、REGF、VIN、OD、 \overline{EF} の電圧	-0.5 ~ $(V_{VSP}) + 0.5$	V
REGF、VGの電圧	-0.5 ~ $(V_{VSP}) + 0.5$	V
任意のピンへの電流 ⁽³⁾⁽⁴⁾⁽⁵⁾	± 25	mA
出力短絡時間 ⁽⁶⁾ ：		
VG	コモンおよび V_{VSP} に対して連続	
REGF	コモンおよび V_{VSP} に対して連続	
動作温度	-55 ~ +125	°C
保存温度	-65 ~ +150	°C
ESDレーティング (HBM)	2000	V

(1) 絶対最大定格以上のストレスは、致命的なダメージを製品に与えることがあります。絶対最大定格の状態に長時間置くと、本製品の信頼性に影響を与えることがあります。これはストレスの定格のみについて示してあり、このデータシートに示された値を越える状態での本製品の機能動作は含まれていません。

(2) リード温度定格については、このドキュメントの巻末にある「付録：パッケージ・オプション」を参照してください。

(3) 入力端子は、電源レールにダイオード・クランプされています。電源レールよりも0.5V以上スイングする入力信号は、電流制限される必要があります。

(4) ISピンの電流の絶対最大定格は、+25mAおよび-50mAです。

(5) 安全な電圧範囲および電流については、「アプリケーション情報」の「ピン機能の説明」、「外部MOSFET」、および「電圧レギュレータ」を参照してください。

(6) 安全な電圧範囲および電流については、「アプリケーション情報」の本文を参照してください。

電気的特性

太字は、温度範囲 $T_A = -40^{\circ}\text{C} \sim +85^{\circ}\text{C}$ で仕様が規定されています。

$T_A = +25^{\circ}\text{C}$ 、 $V_{VSP} = +24\text{V}$ 、 $R_{SET} = 2.0\text{k}\Omega$ 、REGFをREGSに接続、OD = Low、外付けFET (特に記述のない限り)。

パラメータ	測定条件	XTR111			単位
		MIN	TYP	MAX	
トランスミッタ					
伝達関数		$I_{OUT} = 10 \times V_{VIN} / R_{SET}$			
仕様出力電流 I_{OUT}	仕様性能 ⁽¹⁾	0.1		25	mA
	ディレーティング性能 ⁽²⁾		0 ~ 36		mA
出力電流の電流制限			42 ± 6		mA
非直線性、 I_{OUT} / I_{SET} ⁽²⁾⁽³⁾	0.1mA ~ 25mA		0.002	0.02	% of Span
	0.1mA ~ 36mA		0.004		% of Span
オフセット電流 I_{OS}	$I_{OUT} = 4\text{mA}$ ⁽¹⁾		0.002	0.02	% of Span
対 温度 $T_A = -40^{\circ}\text{C} \sim +85^{\circ}\text{C}$			0.0002	0.001	% of Span/°C
対 電源、 V_{VSP}	8V ~ 40Vの電源		0.0001	0.005	% of Span/V
スパン誤差、 I_{OUT} / I_{SET} ⁽²⁾	0.1mA ~ 25mA		0.015	0.1	% of Span
対 温度 ⁽¹⁾⁽²⁾ $T_A = -40^{\circ}\text{C} \sim +85^{\circ}\text{C}$			5		ppm/°C
対 電源 ⁽¹⁾			0.0001		% of Span/V
出力抵抗	Q_{EXT} のドレインから ⁽⁴⁾		> 1		GΩ
出カリーク電流	OD = high		< 1		μA
入力インピーダンス (V_{IN})			2.4/30		GΩ/pF
入力バイアス電流 (V_{IN}) I_B			15	25	nA
入力オフセット電圧 ⁽²⁾ V_{OS}	$V_{VIN} = 20\text{mV}$		0.3	1.5	mV
対 温度 $T_A = -40^{\circ}\text{C} \sim +85^{\circ}\text{C}$			1.5		μV/°C
入力電圧範囲 ⁽⁵⁾ $T_A = -40^{\circ}\text{C} \sim +85^{\circ}\text{C}$ V_{VIN}			0 ~ 12		V
ノイズ、入力を基準 ⁽²⁾	0.1Hz ~ 10Hz; $I_{OUT} = 4\text{mA}$		2.5		μV _{PP}
ダイナミック応答			「ダイナミック特性」を参照		

(1) 入力アンプを含みますが、 R_{SET} の公差は含みません。オフセット電流は、 I_{SET} と I_{IS} (出力電流)の電流比からの偏差です。

(2) 代表的特性を参照してください。

(3) スパンは、入力電圧のフルスケール変化の結果として生じる出力電流の変化です。

(4) Q_{EXT} の直線動作に必要な (+ $V_{VSP} - 2\text{V}$) + V_{DS} によって制限されるコンプライアンス範囲内です。

(5) 「アプリケーション情報」の「入力電圧」部を参照してください。

電気的特性

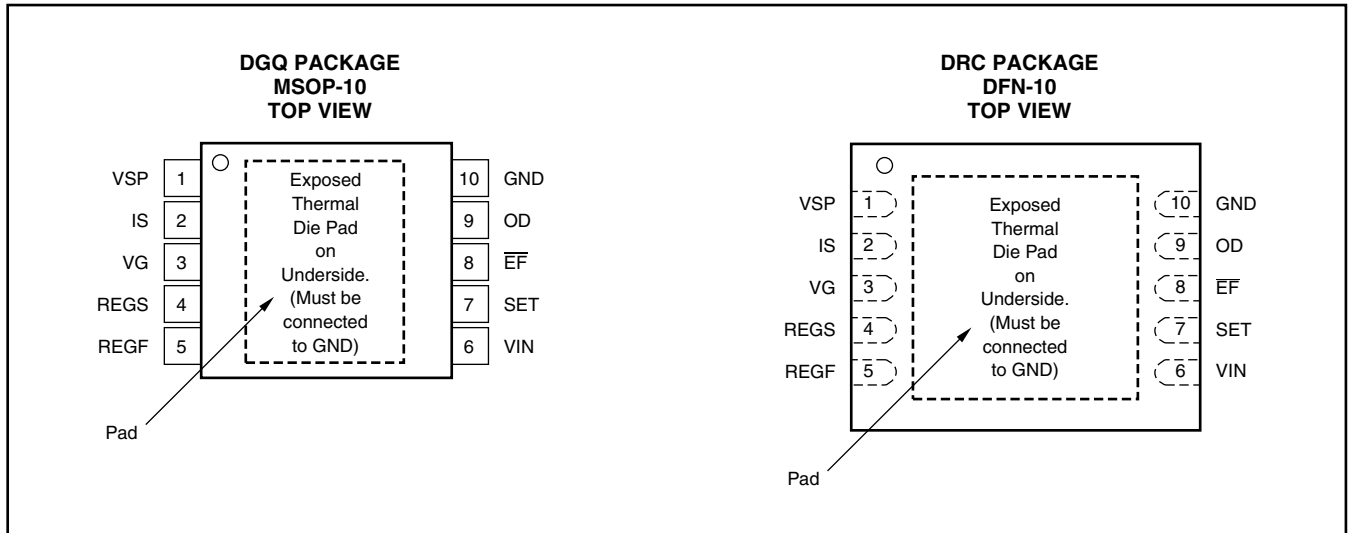
太字は、温度範囲 $T_A = -40^{\circ}\text{C} \sim +85^{\circ}\text{C}$ で仕様が規定されています。

$T_A = +25^{\circ}\text{C}$ 、 $V_{VSP} = +24\text{V}$ 、 $R_{SET} = 2.0\text{k}\Omega$ 、REGFをREGSに接続、OD = Low、外付けFET(特に記述のない限り)。

パラメータ	測定条件	XTR111			単位
		MIN	TYP	MAX	
電圧レギュレータ出力 (REGF)					
電圧リファレンス ⁽⁶⁾	$R_{LOAD} = 5\text{k}\Omega$	2.85	3.0	3.15	V
対温度 ⁽⁶⁾ $T_A = -40^{\circ}\text{C} \sim +85^{\circ}\text{C}$			30		ppm/ $^{\circ}\text{C}$
対電源 ⁽⁶⁾			0.1		mV/V
REGSへのバイアス電流 ⁽⁶⁾			0.8		μA
負荷レギュレーション	0.6mA ~ 5mA		3	5	mV/mA
電源レギュレーション ⁽⁶⁾	$R_{LOAD} = 5\text{k}\Omega$		0.01		mV/V
出力電流		5			mA
短絡出力電流			21		mA
デジタル入力 (OD)					
V_{IL} "Low" レベル・スレッシュヨルド				0.6	V
V_{IH} "High" レベル・スレッシュヨルド		1.8			V
内部プルアップ電流	$V_{OD} < 5.5\text{V}$		4		μA
デジタル出力 (EF)					
I_{OH} リーク電流 (オープン・ドレイン)			1		μA
V_{OL} "Low" レベル出力電圧	$I_{EF} = 2.2\text{mA}$			0.8	V
I_{OL} 400mVレベルへの電流	$V_{EF} = 400\text{mV}$		2		mA
電源					
仕様電圧範囲		+8		+40	V
動作電圧			+7 ~ +44		V
静止電流 ⁽⁶⁾ I_Q	$I_{OUT} = 0\text{mA}$		450	550	μA
温度範囲					
仕様範囲		-40		+85	$^{\circ}\text{C}$
動作範囲		-55		+125	$^{\circ}\text{C}$
パッケージ熱抵抗、 θ_{JA}					
DFN			70		$^{\circ}\text{C}/\text{W}$
MSOP			63		$^{\circ}\text{C}/\text{W}$

(6) 代表的特性を参照してください。

ピン配置



ピン構成

ピン	名称	機能
1	VSP	正電源
2	IS	ソース接続
3	VG	ゲート・ドライブ
4	REGS	レギュレータ・センス
5	REGF	レギュレータ・フォース
6	VIN	入力電圧
7	SET	トランスコンダクタンス設定
8	\overline{EF}	エラー・フラグ(アクティブLow)
9	OD	出力ディスエーブル(アクティブHigh)
10	GND	負電源
Pad	Pad	サーマル・パッドはGNDに接続します。

代表的特性

$T_A = +25^\circ\text{C}$ および $V_{VSP} = +24\text{V}$ (特に記述のない限り)

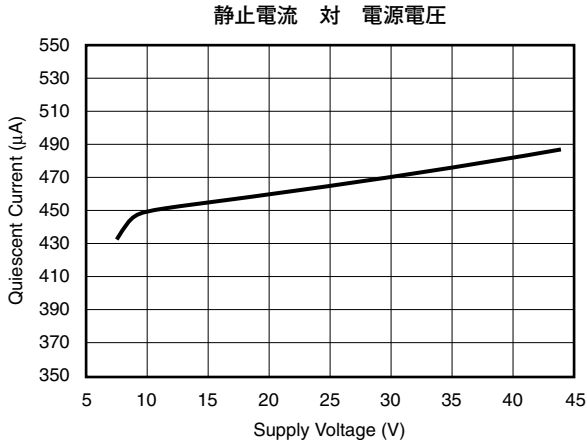


図 1

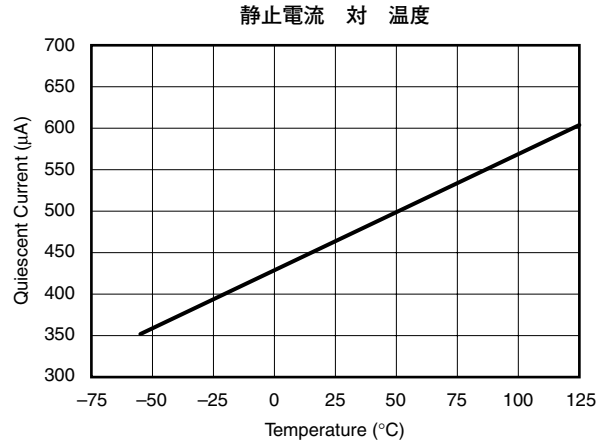


図 2

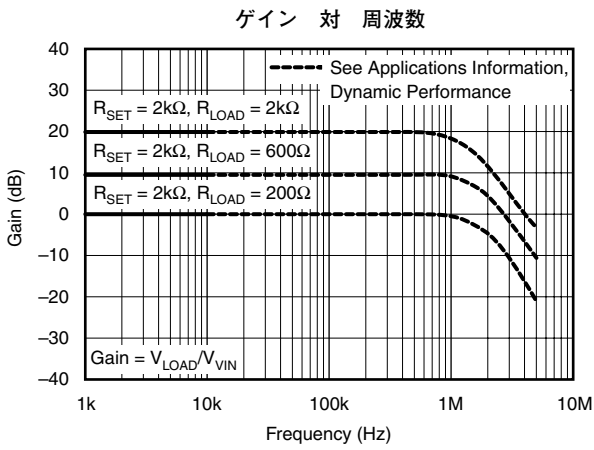


図 3

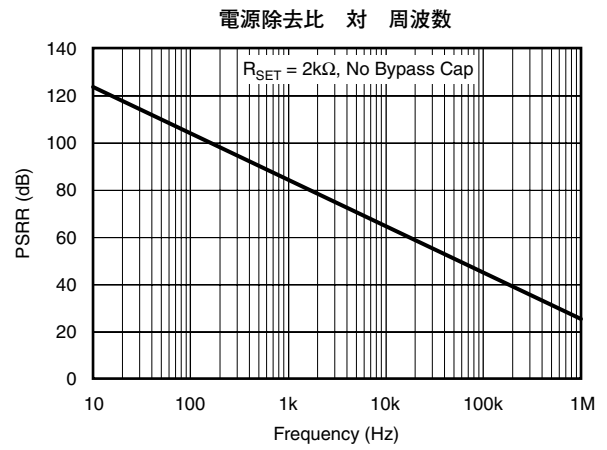


図 4

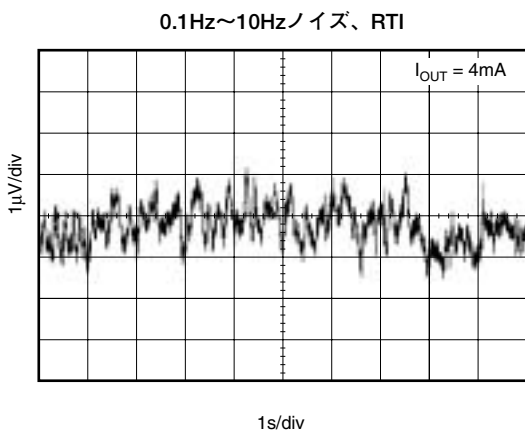


図 5

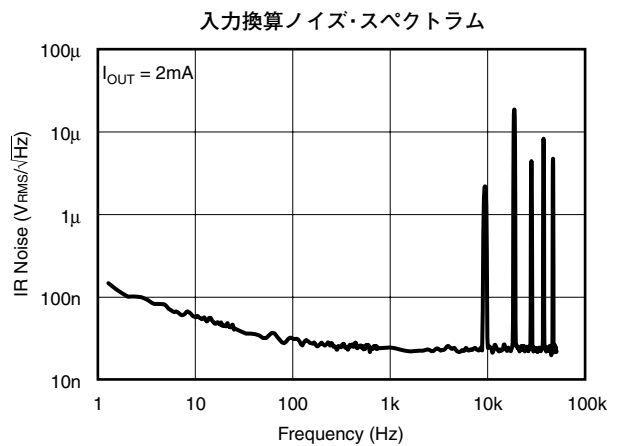


図 6

代表的特性

$T_A = +25^\circ\text{C}$ および $V_{VSP} = +24\text{V}$ (特に記述のない限り)

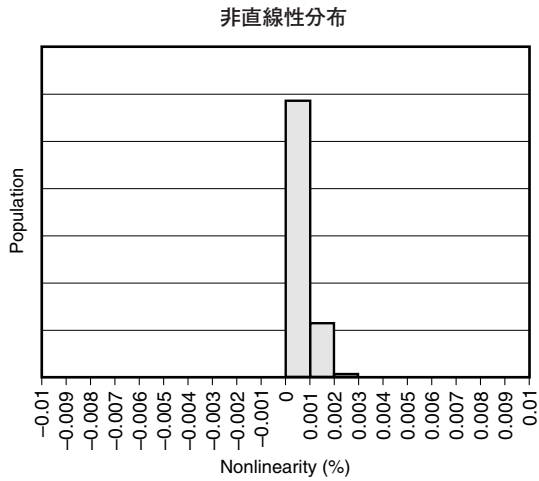


図 7

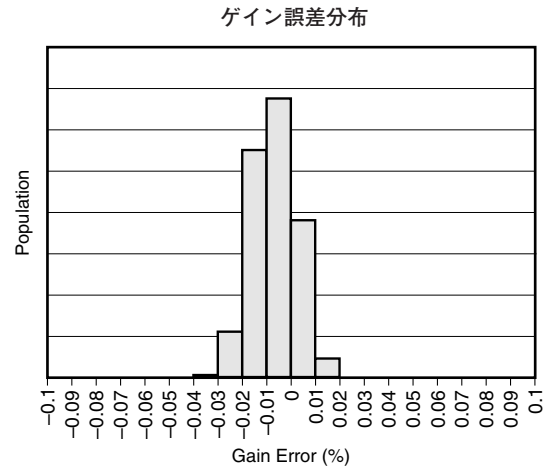


図 8

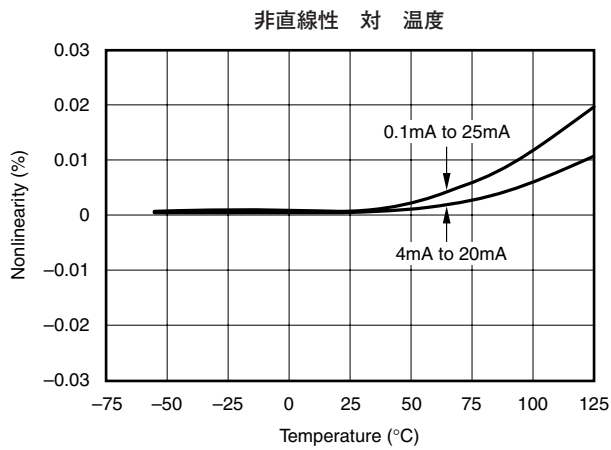


図 9

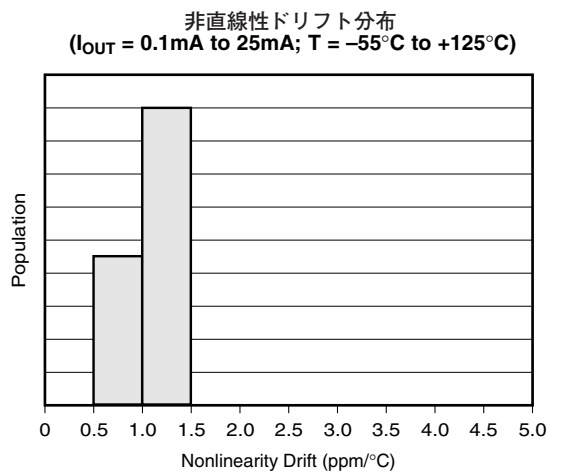


図 10

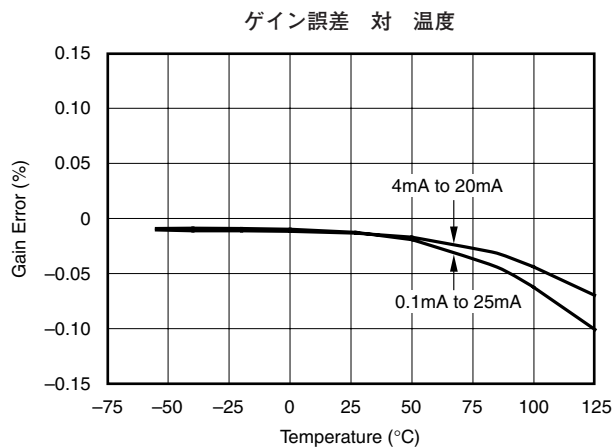


図 11

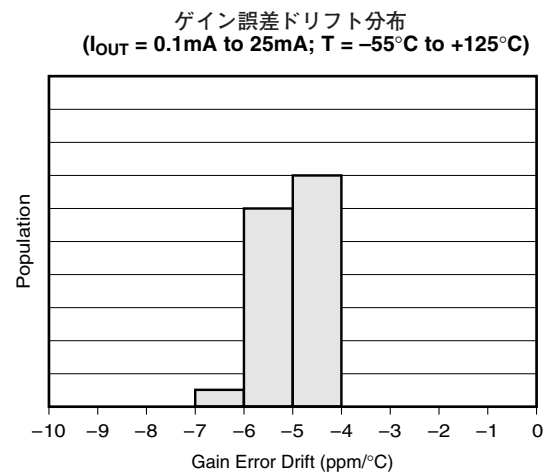


図 12

代表的特性

$T_A = +25^\circ\text{C}$ および $V_{VSP} = +24\text{V}$ (特に記述のない限り)

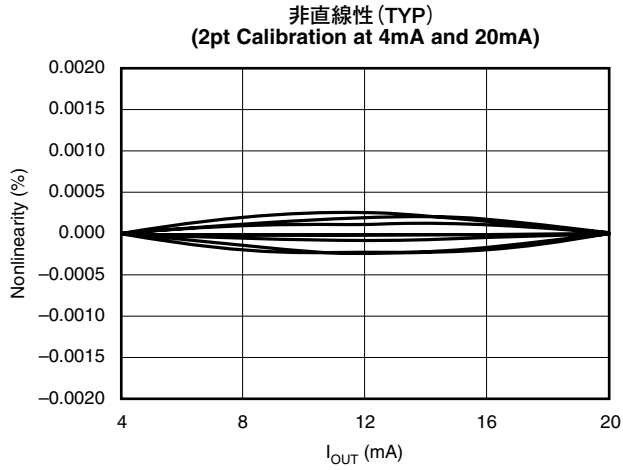


図 13

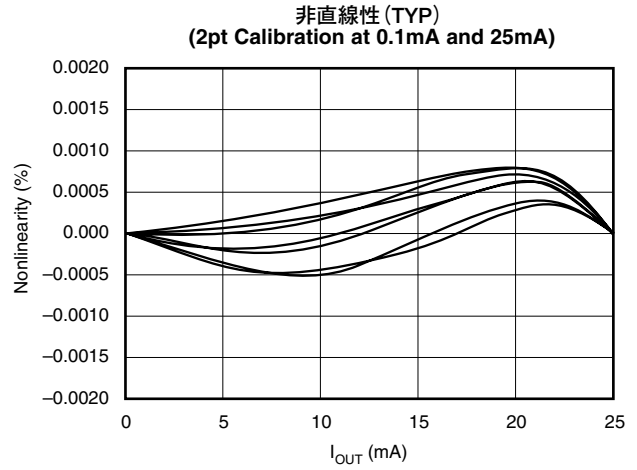


図 14

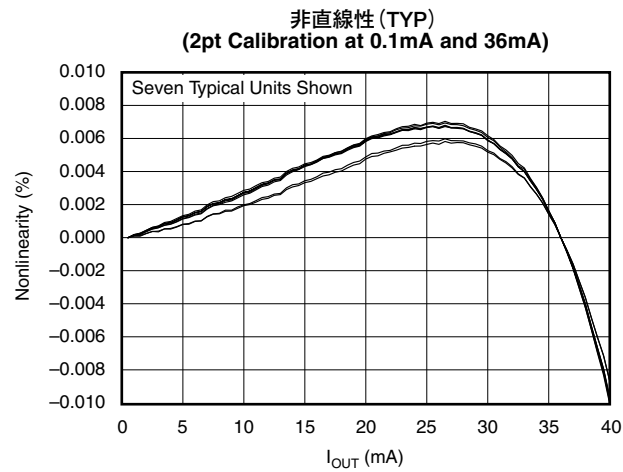


図 15

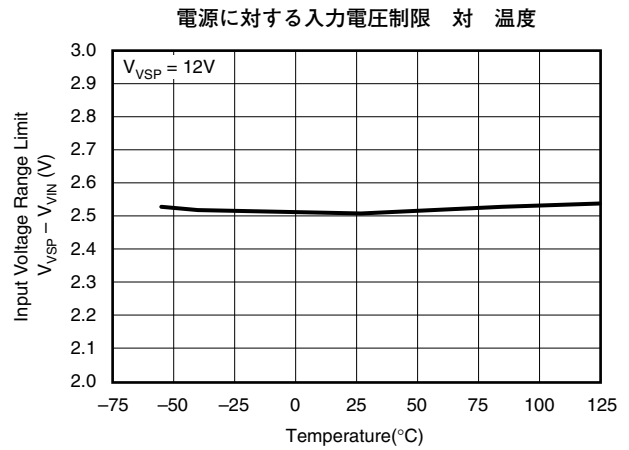


図 16

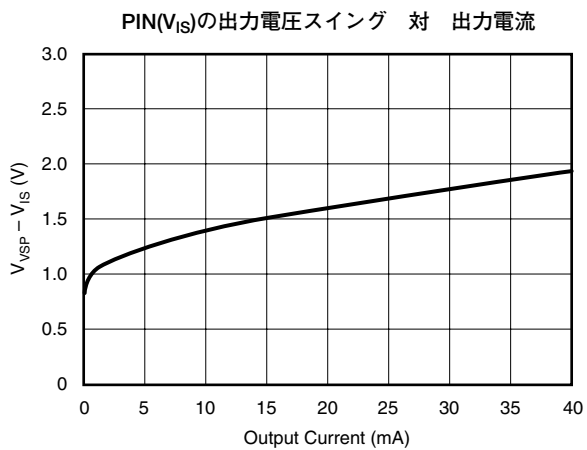


図 17

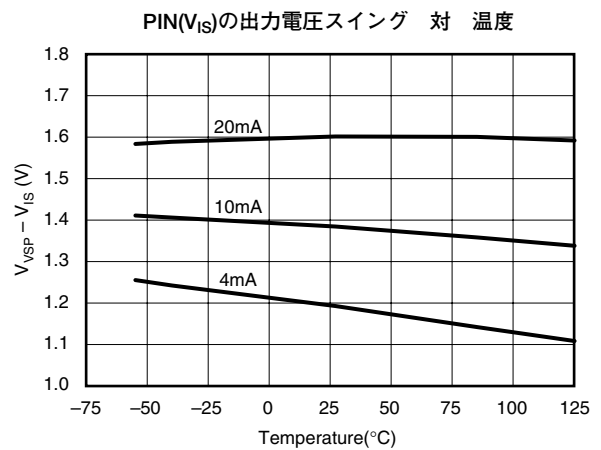


図 18

代表的特性

$T_A = +25^\circ\text{C}$ および $V_{VSP} = +24\text{V}$ (特に記述のない限り)

入力オフセット電圧分布

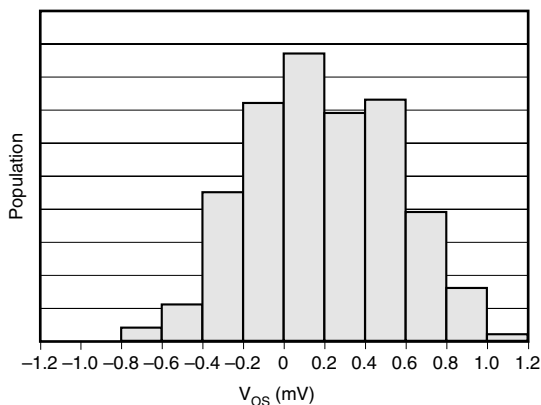


図 19

入力オフセット電圧ドリフト分布

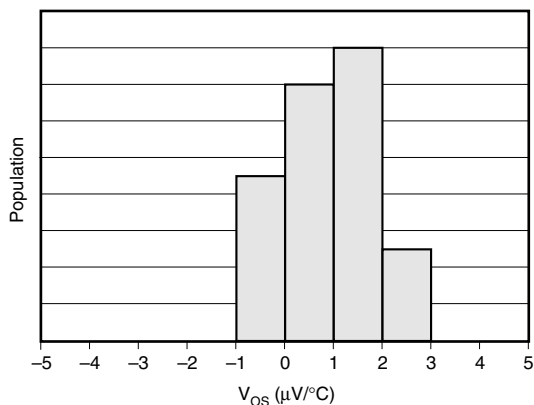


図 20

入力オフセット電圧 対 電源電圧

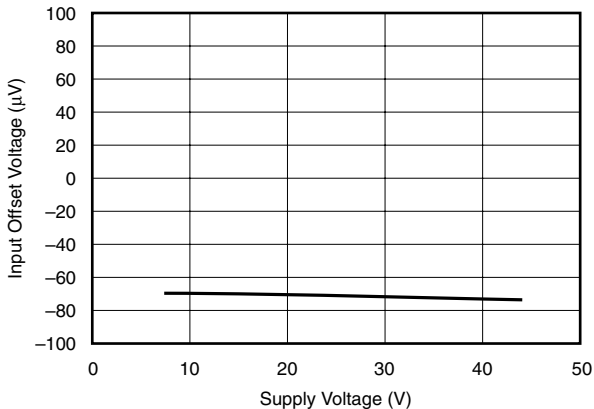


図 21

アンプ入力バイアス電流 対 温度

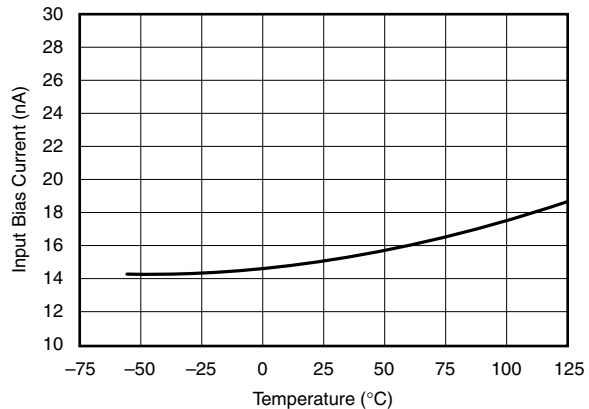


図 22

出力電流制限分布

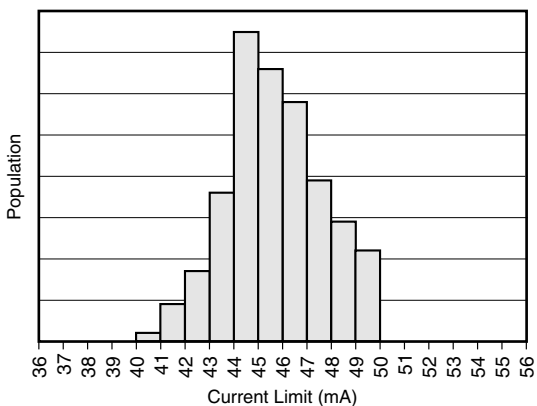


図 23

出力電流制限 対 温度

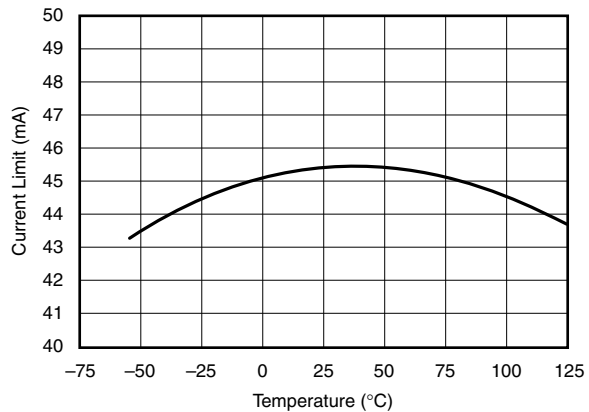


図 24

代表的特性

$T_A = +25^\circ\text{C}$ および $V_{VSP} = +24\text{V}$ (特に記述のない限り)

レギュレータ電圧分布

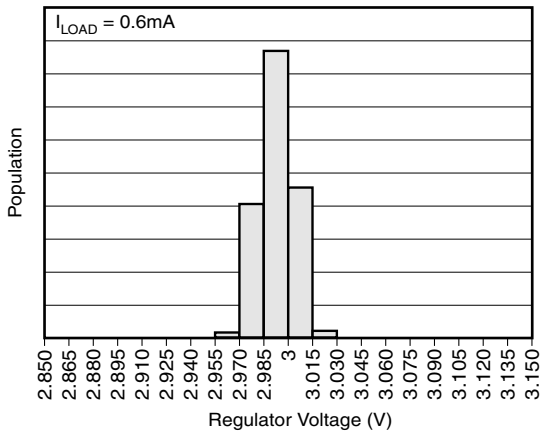


図 25

レギュレータ電圧ドリフト分布

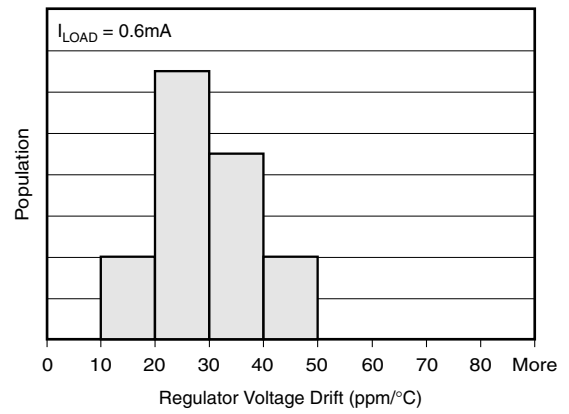


図 26

レギュレータ入力バイアス電流分布
(Current into REGS Pin)

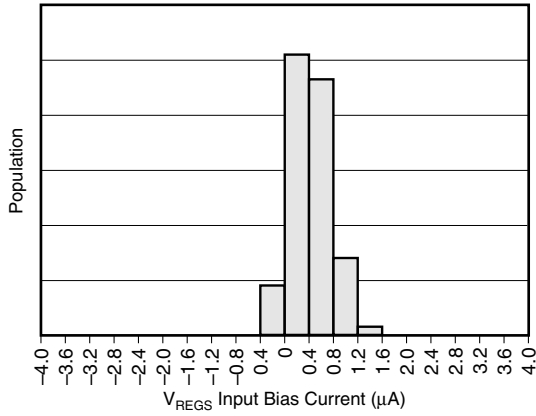


図 27

レギュレータ入力バイアス電流ドリフト分布
(Drift of Current into REGS Pin)

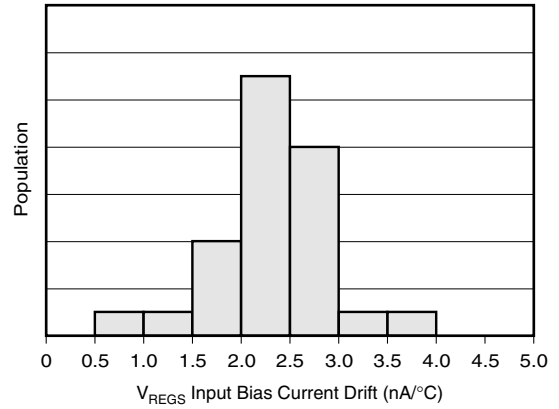


図 28

レギュレータ電圧 対 電源電圧

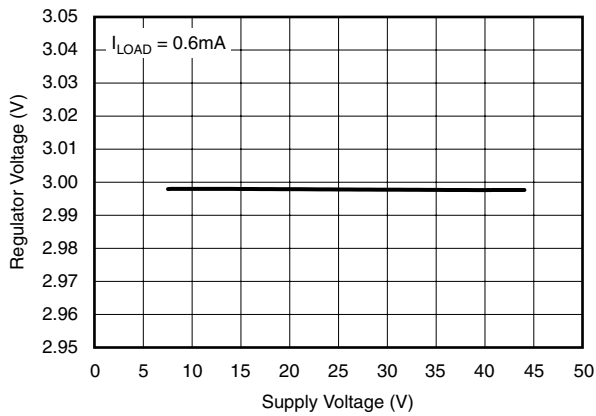


図 29

レギュレータ電圧 対 温度

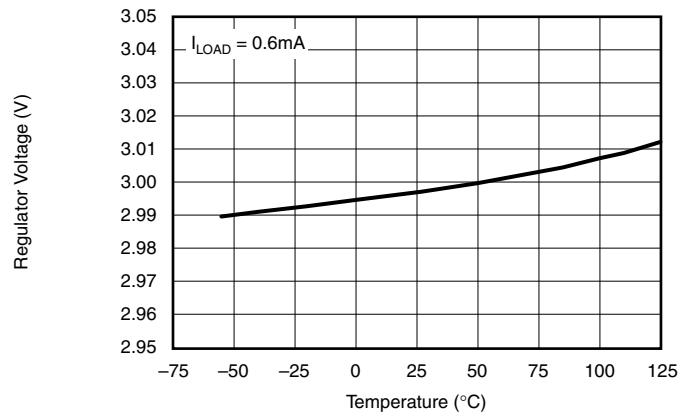


図 30

代表的特性

$T_A = +25^\circ\text{C}$ および $V_{VSP} = +24\text{V}$ (特に記述のない限り)

ステップ応答: $V_{FS} = 4\text{V}$, $R_{SET} = 2\text{k}\Omega$, $R_{LD} = 600\Omega$
(Rising Edge Depends on C_{GATE} at VG Pin)

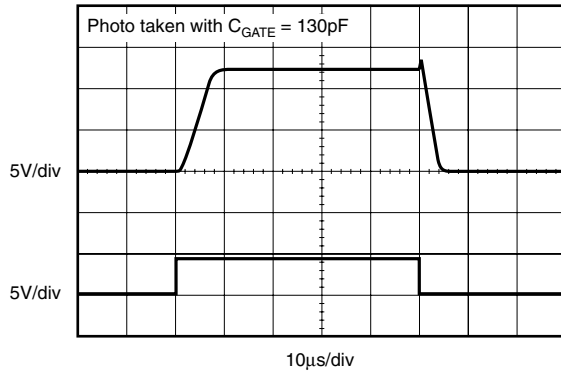


図 31

ステップ応答: $V_{FS} = 2.5\text{V}$, $R_{SET} = 1.25\text{k}\Omega$, $R_{LD} = 600\Omega$
(Rising Edge Depends on C_{GATE} at VG Pin)

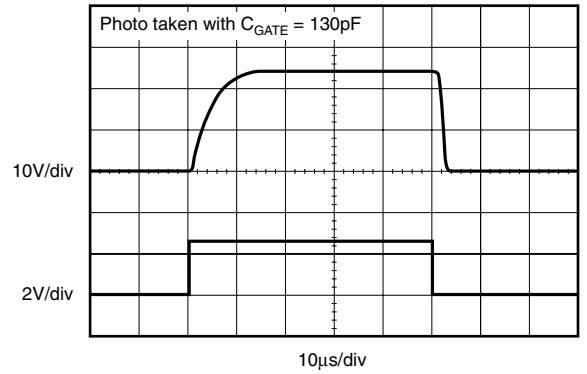


図 32

レギュレータ・ロード・トランジェント
(V_{REG} Gain = 1V, $V_{REGF} = 3\text{V}$, $C_L = 470\text{nF}$,
 $I_{LOAD} = 3\text{mA} \pm 0.3\text{mA}$)

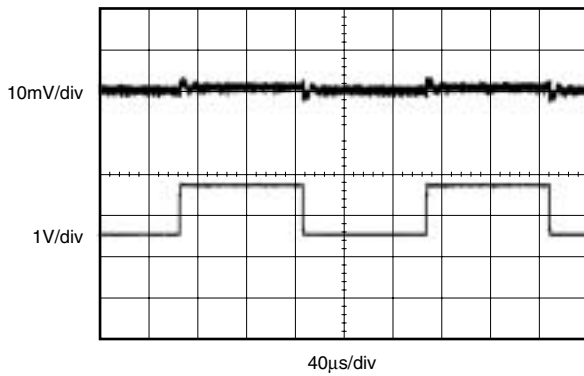


図 33

レギュレータ・ロード・トランジェント
(V_{REG} Gain = 4V, $V_{REGF} = 12\text{V}$, $C_L = 470\text{nF}$,
 $I_{LOAD} = 3\text{mA} \pm 0.3\text{mA}$)

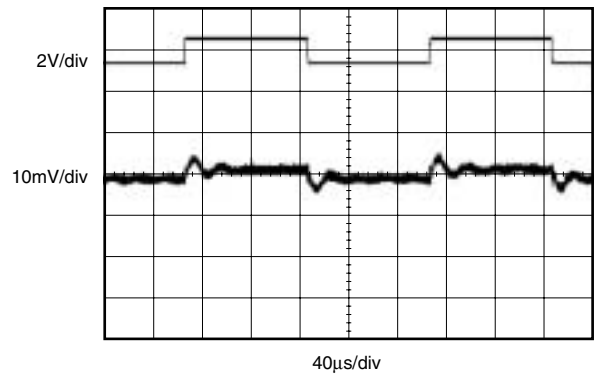


図 34

最大レギュレータ電流 対 温度

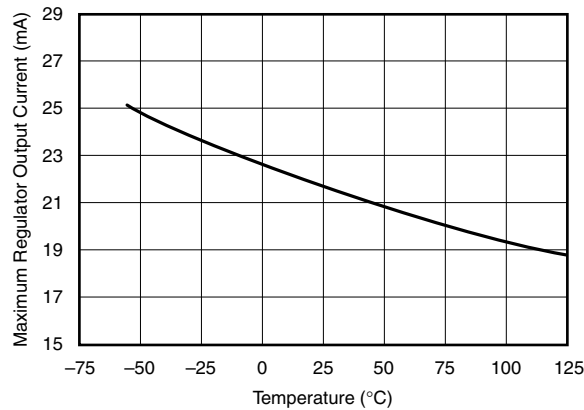


図 35

ピン機能の説明

VIN：この入力、内部オペアンプ (OPA) の通常の非反転ハイインピーダンス入力です。電源との間のクランプ・ダイオードによって内部回路が保護されています。また、約18Vに接続されている追加のクランプによっても内部回路が保護されます。XTR111に電源が供給されなくても電圧がかかる可能性がある場合には、入力と直列に小さな抵抗を配置して、保護部分への電流を制限する必要があります。バイアス電流をキャンセルするために、 R_{SET} に等しい抵抗値を考慮してください。

SET：このピンとVINリファレンスとの間に接続される合成抵抗によって、トランスコンダクタンスが設定されます。追加の直列抵抗を使用すると、精度とドリフト性能が低下する可能性があります。このピンは14Vを超える電圧に対して保護されていないため、このピンの電圧が14Vを超えないようにしてください。

IS：この出力ピンは、外付けFETのトランジスタ・ソースに接続されます。ISへの出力電流の精度は、電流ミラーでの動的な誤差補正によって達成されます。このピンは、正電源から6.5V以上低くしてはなりません。回路を保護するために内部クランプが備えられていますが、外部で50mA未満に電流制限する必要があります。

VG：外付けFETのゲート駆動は、電源およびGNDへの短絡に対して保護されています。回路はクランプされているため、正電源より18V以上低くは駆動されません。このゲートが外部で定格以上に駆動される可能性がある場合は、外付けFETを保護する必要があります。

REGF：レギュレータ・バッファの出力は、最大5mAの電流をソースできますが、シンク能力は大きく制限されています (50 μ A未満)。最大短絡電流は15mA~25mAの範囲であり、温度によって変化します。

REGS：このピンは、電圧レギュレータのセンス入力です。内部の3Vリファレンス回路を基準としています。入力バイアス電流は、最大2 μ Aです。電圧レギュレータのループ安定性を低下させる可能性があるため、REGSに容量性負荷を使用することは避けてください。

VSP：最大44Vの電源電圧により、過酷な産業環境での動作が可能となり、過電圧保護を容易にするヘッドルームが得られます。十分に大きな (> 100nF) バイパス・コンデンサと、最終的に制動インダクタまたは小さな抵抗 (5 Ω) を使用して、24V電源で一般に見られるノイズからXTR111の電源をデカップリングします。

EF：このアクティブLowのエラー・フラグ (論理出力) は、この出力を使用したときの動作の信頼性を高めるため、論理“High”に外部プルアップして使用するよう設計されています。ただし、内部に5Vへのウィーク・プルアップを備えており、未使用時には未接続にすることもできます。

OD：この制御入力は、4 μ Aの内部プルアップによって、出力をディセーブルにします。出力をアクティブにするには、プル

ダウンするか、GNDに短絡する必要があります。ODを制御することで、パワーオンおよびパワーオフ時の出力グリッチが低減されます。この論理入力は、出力を制御します。未使用時には、GNDに接続してください。

レギュレータは、ODで制御されません。

外部電流制限

XTR111は、外付けFETを低インピーダンスにした場合に内部で電流を制限する機能を備えていません。内部電流源によって電流は制御されますが、ISからGNDへ高電流が流れると、VSPとISの間の内部電圧クランプがオンになります。その結果、低抵抗のパスが生じ、電流は負荷インピーダンスと外部FETの電流容量によってのみ制限されます。高電流が流れるとICが破壊される可能性があります。電流ループが中断される (負荷が切断されると、外部MOSFETが完全にオンとなり、大きなゲート・ソース間電圧がゲート容量に蓄積されます。ループが閉じた (負荷が接続された) 瞬間に、電流が負荷へと流れ込みます。しかし、最初の数マイクロ秒の間、MOSFETはオンのままであり、負荷インピーダンスによっては破壊的な電流が流れる場合があります。

この状況からXTR111を保護するために、外部電流制限を設けることを推奨します。図37aに、電流制限回路の例を示します。電流は50mAに制限する必要があります。15 Ω の抵抗 (R_6) により、電流は約37mA (高温時33mA) に制限されます。PNPトランジスタは、数百mAのピーク電流を許容する必要があります。例で使用している部品は (KST) 2907です。ピーク電流の時間は数マイクロ秒程度なので、通常、消費電力は重要ではありません。ただし、ISからVGへのトランジスタ経路のリーク電流は監視してください。この電流制限トランジスタおよび R_6 を追加しても、外部MOSFETのゲートを放電する時間が必要となります。 R_7 および C_3 は、この理由により、および外部の歪パルスの急峻性を制限するために追加されています。アプリケーションによっては、さらに追加のEMI保護および過電圧保護が必要になる場合があります。

図37bは、汎用の基本的な電流制限回路であり、ソース (ISとSの間) またはドレイン出力 (電流パスと直列) に接続可能なPNPまたはNPNトランジスタを使用しています。この回路によってリーク電流が増加することはありません。この制限回路に R_7 と C_3 のような出力フィルタを追加することを考慮してください。

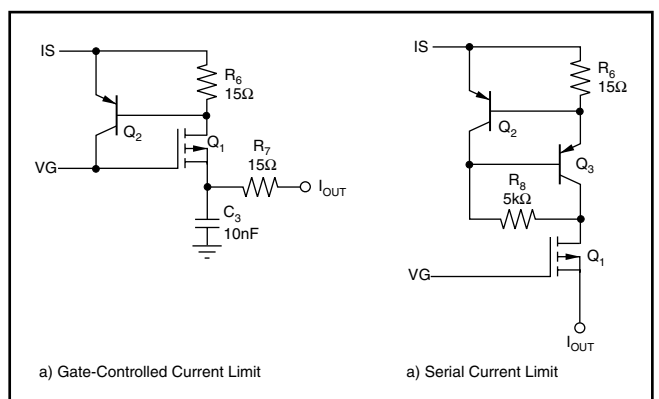


図 37. 外部電流制限回路

外付けMOSFET

XTR111は、ISピンの高精度な出力電流を供給します。通常、このピンの電圧は、 V_{VSP} より1.4V低くなります。

この出力には、電流出力に対してカスコードを形成する外付けトランジスタ (Q_{EXT}) が必要です。このトランジスタは、 V_{OUT} の最大電圧に対応した定格を持ち、 V_{OUT} での電流および電圧によって生じる電力を消費できる必要があります。

ゲート駆動 (VG) は、正電源レール付近から、正電源電圧 (V_{VSP}) から16V下までの範囲で駆動できます。現在のMOSFETのほとんどは、最大20Vの V_{GS} で使用できます。大きなドレイン・ゲート容量によってゲートにMOSFETの定格以上のパルスが印加される可能性がある場合にのみ、保護クランプが必要となります。ODピンを“High”にすると、ゲート・ドライバがディセーブルになり、VSPピンからVGピンの間に内部の $3k\Omega$ 抵抗を接続するスイッチが閉じます。この抵抗により、外部FETのゲートが放電され、チャンネルが閉じられます。図38を参照してください。

表1に、SOパッケージのデバイスの例をいくつか示しています。ただし、他のデバイスを使用することもできます。ISに外部容量を使用することは避けてください。この容量は、VG-IS間に容量を追加することで補償可能ですが、この補償を行うと出力が低速になる場合があります。

ドレイン・ソース間の降伏電圧は、アプリケーションに対して十分に高く選択する必要があります。負の過電圧に対するサージ電圧保護が必要となる場合もあります。正の過電圧に対しては、FETを逆電圧から防ぐために、24V電源との間にクランプ・ダイオードの接続を推奨します。

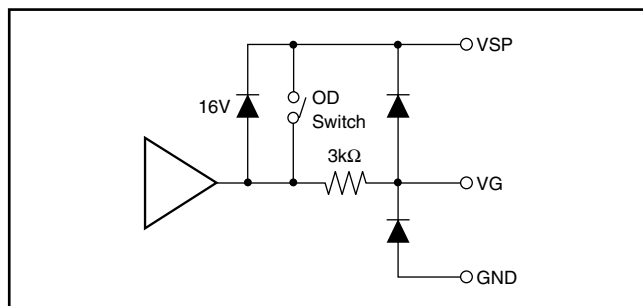


図 38. ゲート駆動およびディセーブル・スイッチの等価回路

メーカー	型式名	降伏VGS	パッケージ	ゲート容量
Infineon	BSP170P	-60V	SOT-223	328pF
NEC	2SJ326-Z	-60V	Spec.	320pF
ON Semiconductor	NTF2955	-60V	SOT-223	492pF
Supertex Inc.	TP2510	-100V	TO-243AA	80pF

表 1. PチャネルMOSFET (例)⁽¹⁾

(1) 発行済みの製品データシートからのデータです。確認はしていません。

ダイナミック特性

出力電流の立ち上がり時間は、主に外付けFETのゲート容量によって決まります。

電流ミラーの精度は、複数の個別の電流源のダイナミックなマッチングに依存します。最大分解能へと安定するまでに、約100 μ sの完全な1サイクルを要する場合があります。図39に、個々の電流源の値から生成されるリップルの例を示しています。これらの値の平均によって1サイクル全体の仕様精度が決まります。

出力グリッチの大きさは、内部電流源のミスマッチに依存します。これは、出力電流レベルにほぼ比例し、負荷抵抗の値によって直接増減します。また、デバイス間でわずかに異なります。出力のフィルタリングの効果を図40および図41に示します。

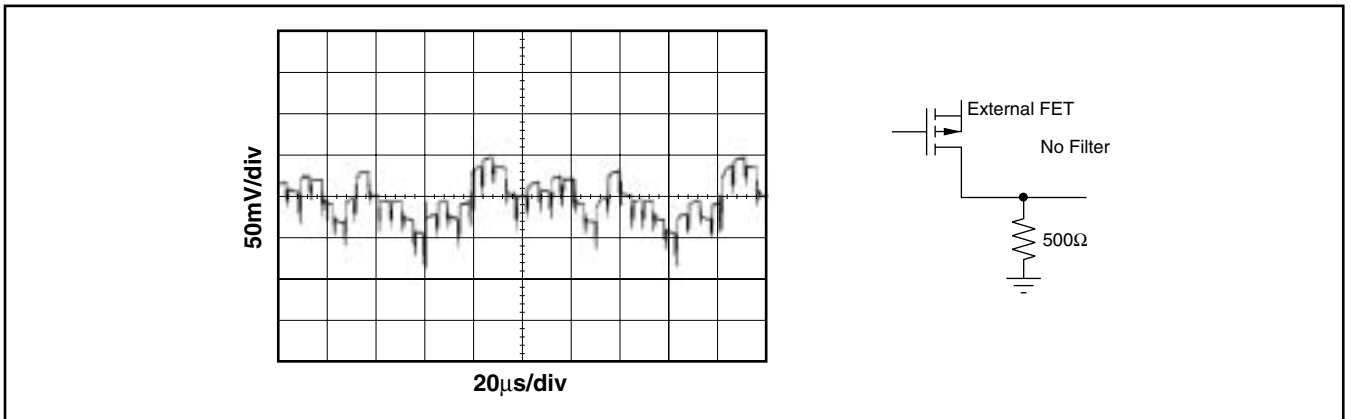


図 39. 500 Ω でのフィルタなしの出力ノイズ

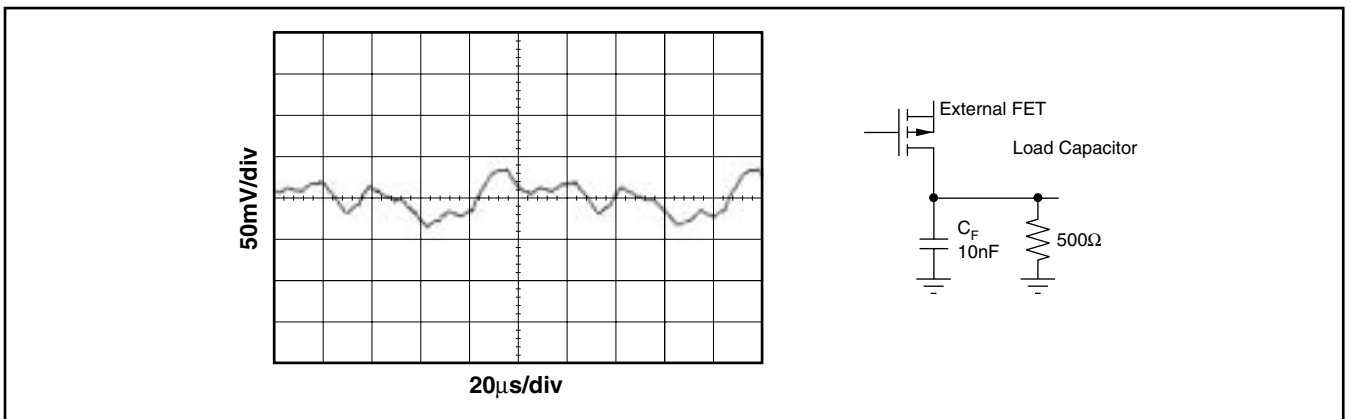


図 40. 10nFと500 Ω を並列に接続した場合の出力

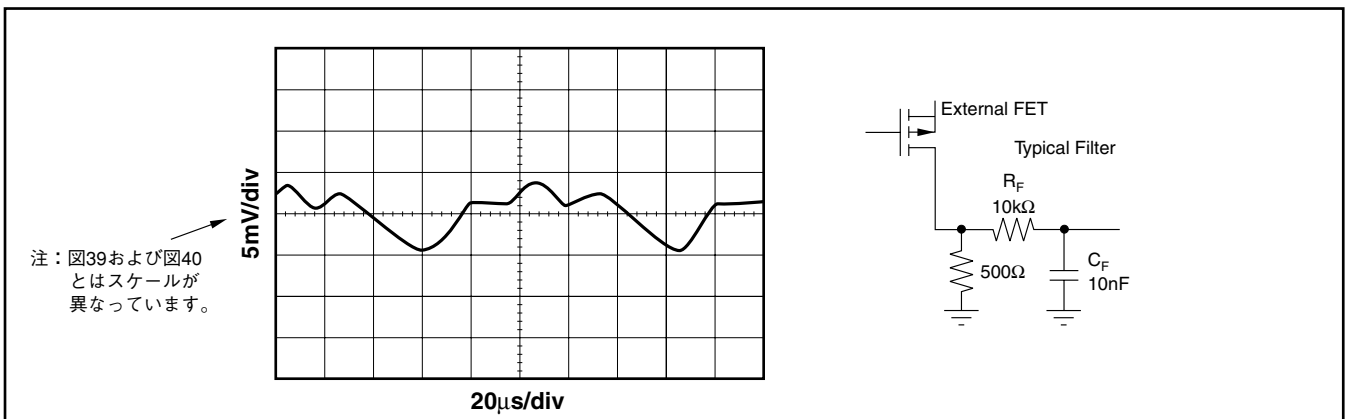


図 41. フィルタを追加した場合の出力

出力エラー・フラグおよびディスエーブル入力

XTR111には、出力電流の誤差を検出するための追加の内部回路があります。断線、高負荷抵抗、または出力電圧が正電源レベルに近づいたことなどによって、制御された出力電流を流すことができない場合には、オープン・ドレイン論理出力であるエラー・フラグ (EF) が“Low”になります。このデジタル出力を使用する場合は、論理“High”への外部プルアップが必要となります (内部プルアップ電流は $2\mu\text{A}$)。

出力ディスエーブル (OD) は、5Vに内部プルアップされた約 $4\mu\text{A}$ の論理入力です。ODピンが“Low”になるまでの間、XTR111の出力はディスエーブルになっています。このピンが“High”のとき、出力電流はゼロです。このピンは、校正用、パワーオン/パワーオフ時のグリッチ低減用、および同じ端子に接続された他の出力との出力多重化時に使用できます。

出力がディスエーブル (OD = “High”) の間にパワーオンを行った場合でも、出力グリッチを完全には抑制できません。電源電圧が $3\text{V}\sim 4\text{V}$ の範囲を通過する間に、内部回路がオンになります。VGピンとISピンの間に容量を追加することで、グリッチを抑制できます。ODピンをオープンにすると、現れるグリッチ・エネルギーは最小となります。ただし、実用的な観点から、論理電圧がより早く得られる場合には、 24V 電源を印加する前に、このピンを $10\text{k}\Omega$ の抵抗を通して“High”に駆動できます。または、内部プルアップ電流を使用して、オープン・ドレイン・ドライバでこのピンを制御することもできます。内部レギュレータにプルアップすると、レギュレータ電圧上昇の遅延のために、グリッチ・エネルギーが増加する傾向があります (最初の数ポルトでの電源電圧上昇時間に依存)。

入力電圧

特定の出力電流スパンに対する入力電圧範囲は、伝達関数に従って R_{SET} により設定されます。抵抗のドリフトはそのまま出力電流のドリフトとして現れるため、最良の性能を得るには、高精度/低ドリフトの抵抗を選択してください。また、注意深いレイアウトによって、 R_{SET} および V_{IN} リファレンス・ポイントと直列の抵抗を、最小限に抑える必要があります。

入力電圧は、 R_{SET} のグラウンド・ポイントが基準となります。したがって、このポイントは他の電流による歪みを避ける必要があります。 20mA の出力電流に対して 5V のフルスケール入力を仮定すると、 R_{SET} は $2.5\text{k}\Omega$ となります。わずか 2.5Ω の抵抗の不確実性により、精度は既に 0.1% 以下に低下しています。

直線入力電圧範囲は、 0V から、 12V または (正電源電圧 -2.3V) のいずれか低い方までとなります。最小定格電源電圧は、最大 5V までの入力電圧範囲を許容します。発生する可能性のあるクリッピングは誤差信号によって検出されないため、ガード・バンドによる安全な設計を推奨します。

入力をGNDから 300mV 以上負側に駆動してはなりません。それ以上の負電圧では、内部の保護ダイオードがオンになります。パワーオン/パワーオフ時、または他の過渡状況中に、結果として負の信号が発生する可能性がある場合には、入力と直列に抵抗を挿入してください。可能な電流を 0.3mA に制限する

抵抗値を選択します。それより高い電流でも破壊的ではありませんが (「絶対最大定格」を参照)、ディスエーブル・モード以外では出力電流グリッチを生じる可能性があります。

図42に示すように、標準のダイオードと $2.2\text{k}\Omega$ の抵抗を使用して、負入力信号に対する保護を強化できます。

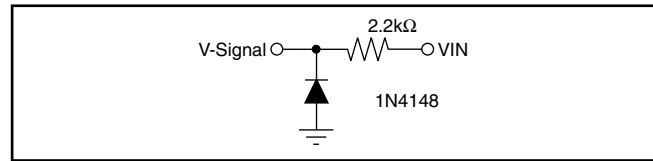


図 42. V_{IN} の負の過負荷に対する保護の強化

4mA~20mA出力

XTR111には、 0V の入力信号で 4mA を生成する内部回路は備えられていません。入力信号をシフトする最も一般的な方法は、図43に示すように、電圧リファレンスおよび信号源に接続された2個の抵抗回路です。この構成により、上限と下限の範囲を簡単に調整できます。この例では、フルスケール信号電圧に等しい 5V のリファレンス (V_{REF}) と、 $4\text{mA}\sim 20\text{mA}$ ($I_{\text{MIN}}\sim I_{\text{MAX}}$) の出力に対応する $0\text{V}\sim 5\text{V}$ の信号スパンを仮定しています。

電圧レギュレータ出力、またはより高精度なリファレンスを V_{REF} として使用できます。抵抗および電圧リファレンスのドリフトによって追加される可能性のあるドリフトを観測する必要があります。

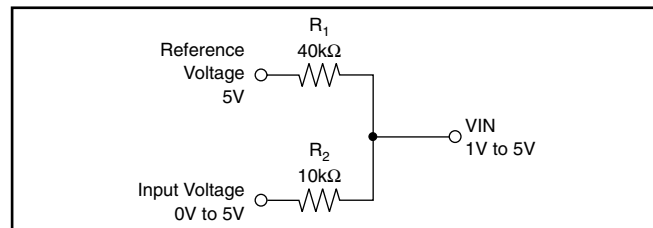


図 43. $0\text{V}\sim V_{\text{FS}}$ の信号源による $I_{\text{MIN}}\sim I_{\text{MAX}}$ 出力 ($4\text{mA}\sim 20\text{mA}$) のための抵抗分圧回路

0V入力のレベル・シフトおよびトランスコンダクタンスの調整

XTR111は、入力でのオフセット電圧誤差が小さいため、通常はキャンセルを必要としません。単電源回路で信号源が 0V を供給できない場合は、SETピンと正リファレンス電圧またはレギュレータ出力との間に抵抗を追加することで (図44)、入力 (V_{IN}) のゼロ・レベルを正の電圧へとシフトできます。それにより、信号源はこの値を正の電圧範囲内で駆動できます。例では、信号入力に対して $+100\text{mV}$ (102.04mV) のオフセットが生成されています。ただし、このオフセットが大きくなると、出力信号におけるそのドリフトと不正確さの影響も大きくなります。直線動作のためには、SETの電圧が 12V を超えないようにしてください。

トランスコンダクタンス (入力電圧と出力電流の比) は R_{SET} によって設定されます。2つの抵抗の組み合わせを選択して、目的の抵抗値を求めることができます。

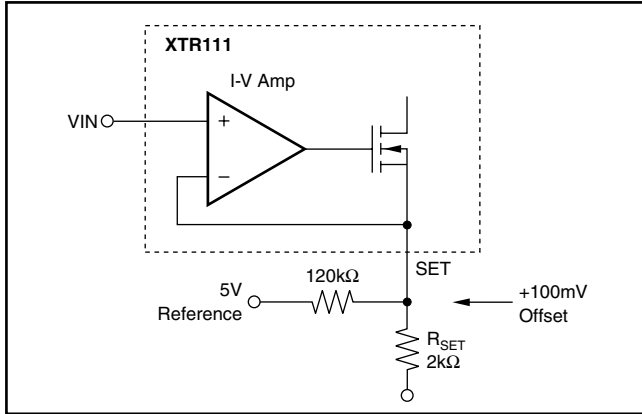


図 44. 0mAの出力電流に対する入力電圧レベルのシフト

電圧レギュレータ

外部で調整可能な電圧レギュレータは、最大5mAの電流を供給できます。図45に示すように、ドライブ (REGF) とセンス (REGS) によって出力電圧の外部設定を可能にしています。センス入力 (REGS) は、3.0Vを基準とし、これは調整可能な最小電圧レベルを表しています。外部の抵抗分圧回路によって V_{REGF} が設定されます。

$$V_{REGF} = V_{REGS} \cdot (R_1 + R_2) / R_2$$

表2に、レギュレータの調整抵抗の値の例を示します。

$V_{REGF}^{(1)}$	R_1	R_2
3V	0	—
3.3V	3.3kΩ	33kΩ
5V	5.6kΩ	8.2kΩ
12.4V	27kΩ	8.6kΩ

表2. レギュレータ電圧を設定する抵抗値の例

(1) 値は丸められています

REGFの電圧は、電源電圧によって制限されます。電源電圧が設定電圧付近まで降下した場合、ドライバの出力は飽和し、電源に合わせて1V未満 (負荷電流および温度によって異なる) の電圧降下が生じます。

良好な安定性と過渡応答を得るには、470nF以上の負荷容量を使用します。センス入力 (REGS) へのバイアス電流は、一般に1μA未満です。この電流は、電圧を低下させ温度依存性を高めるため、電圧設定に対して高い抵抗値を選択する場合には考慮が必要です。

REGF出力は、電流をシンクできません。電源電圧が失われた場合に備えて、出力は内部の保護ダイオードによって負荷コンデンサからの放電電流に対して保護されています。ピーク電流は25mAを超えないようにしてください。

電圧レギュレータの出力を使用しない場合は、2.2nFのコンデンサを配置したREGS (3Vモード) にREGFを接続します。または、ループをオーバードライブしてREGSを “High” にします (図45dを参照)。

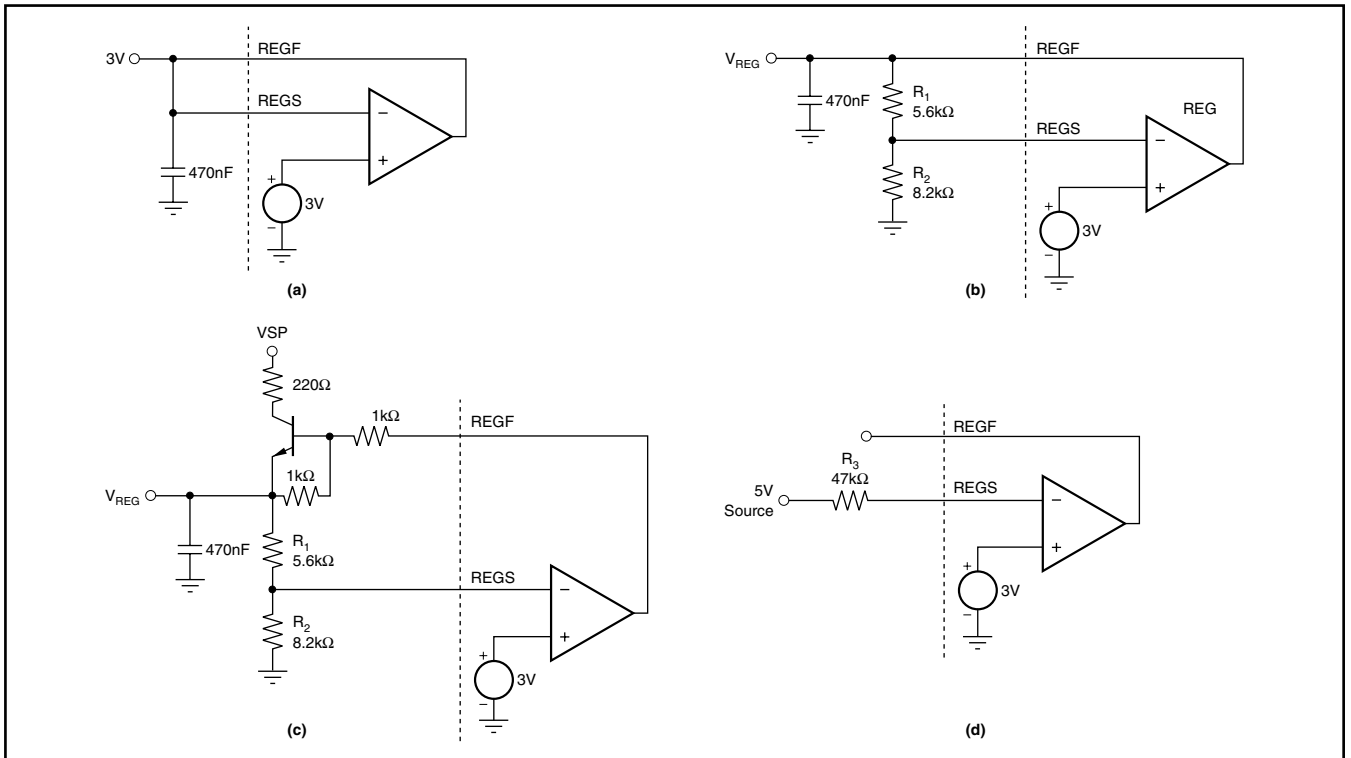


図45. 電圧レギュレータの基本的な接続

アプリケーション・ブロック図

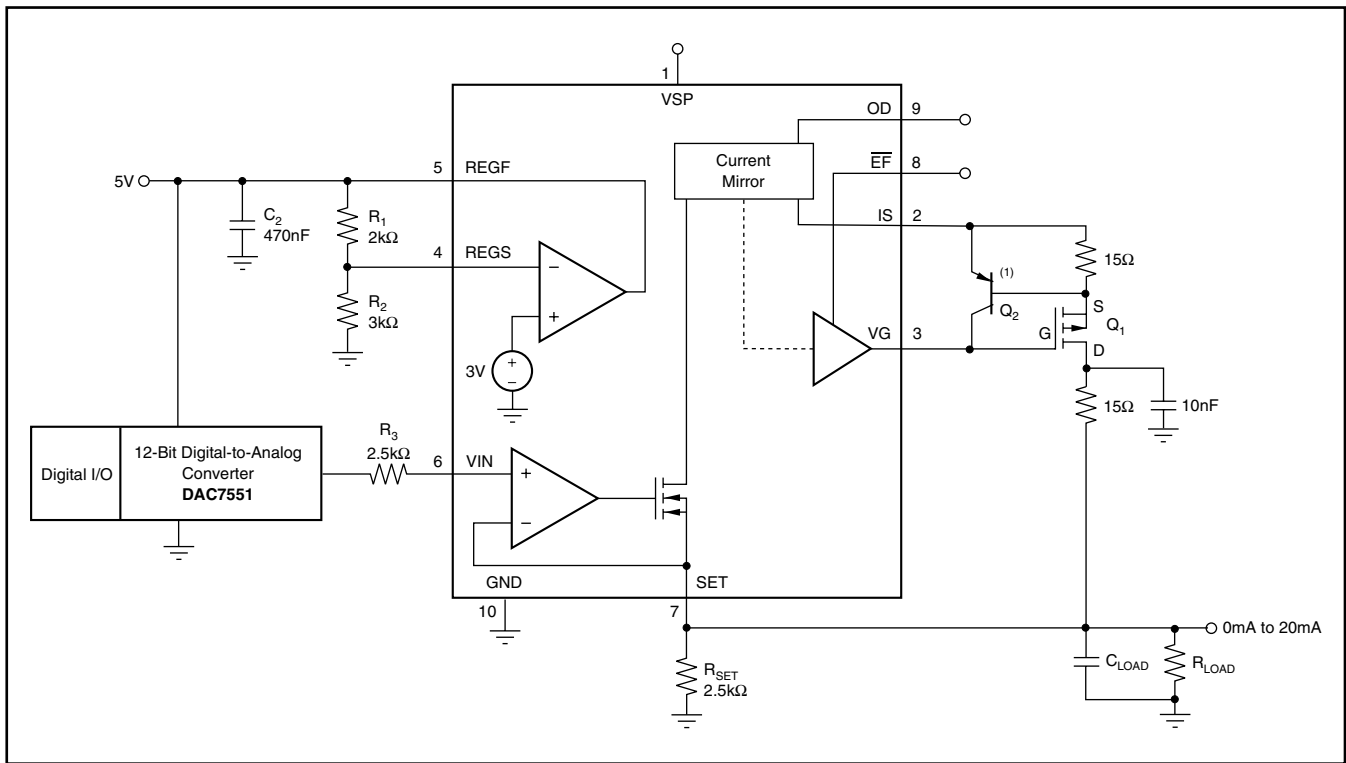


図46. 12ビットD/AコンバータDAC7551からの0V~5V入力を使用した電流出力の例

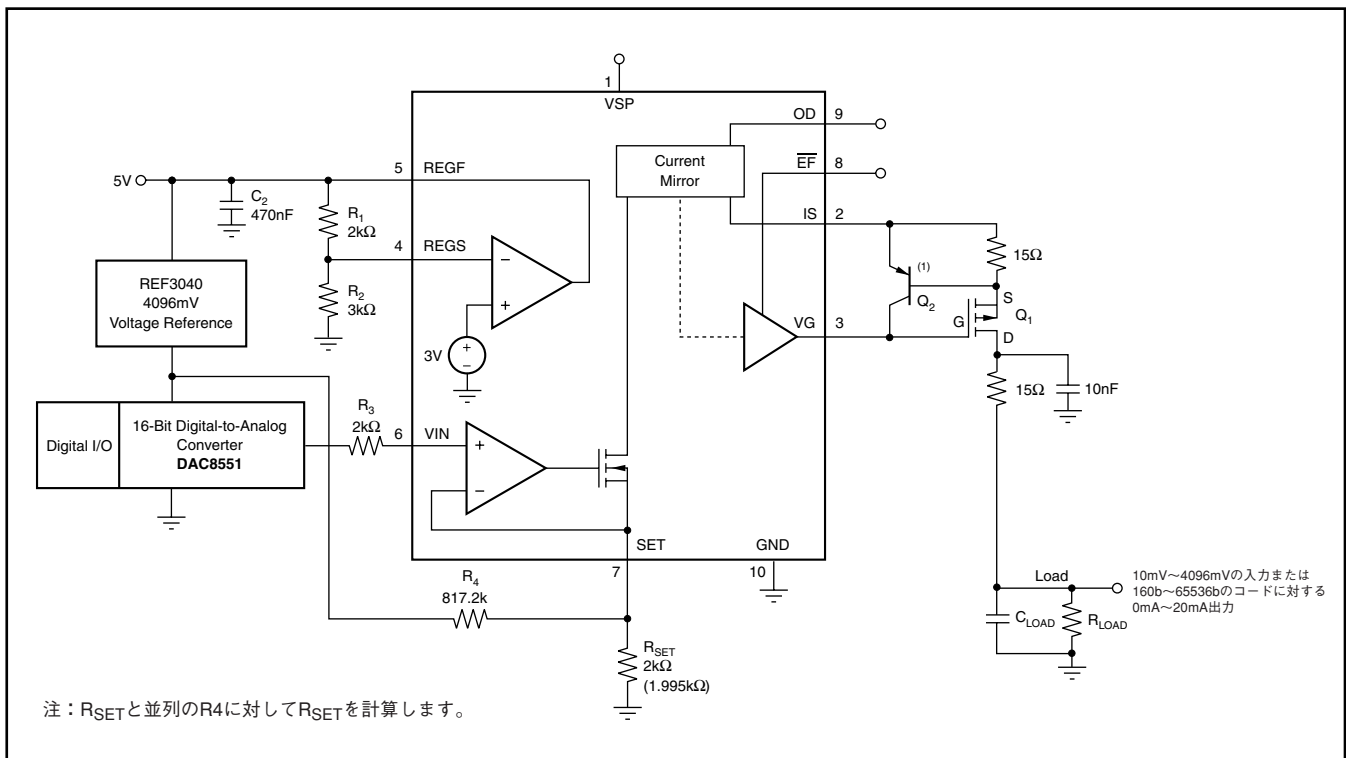


図47. 16ビットDACからの信号による高精度電流出力の例。ゼロ調整範囲に対して入力オフセットを10mVシフト (R₄)

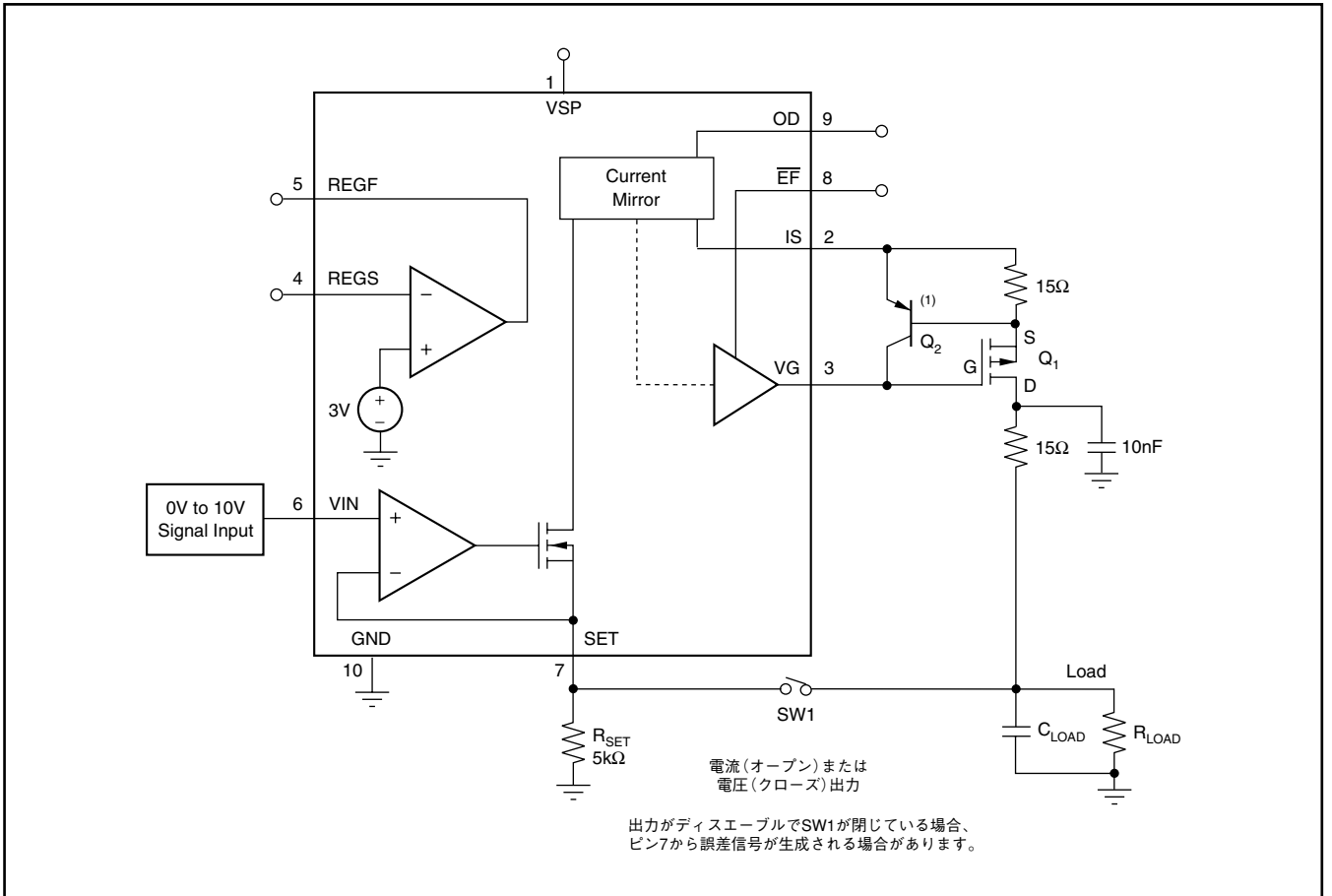


図48. 0V~10Vまたは0mA~20mA出力をジャンパ(SW1)で選択する例

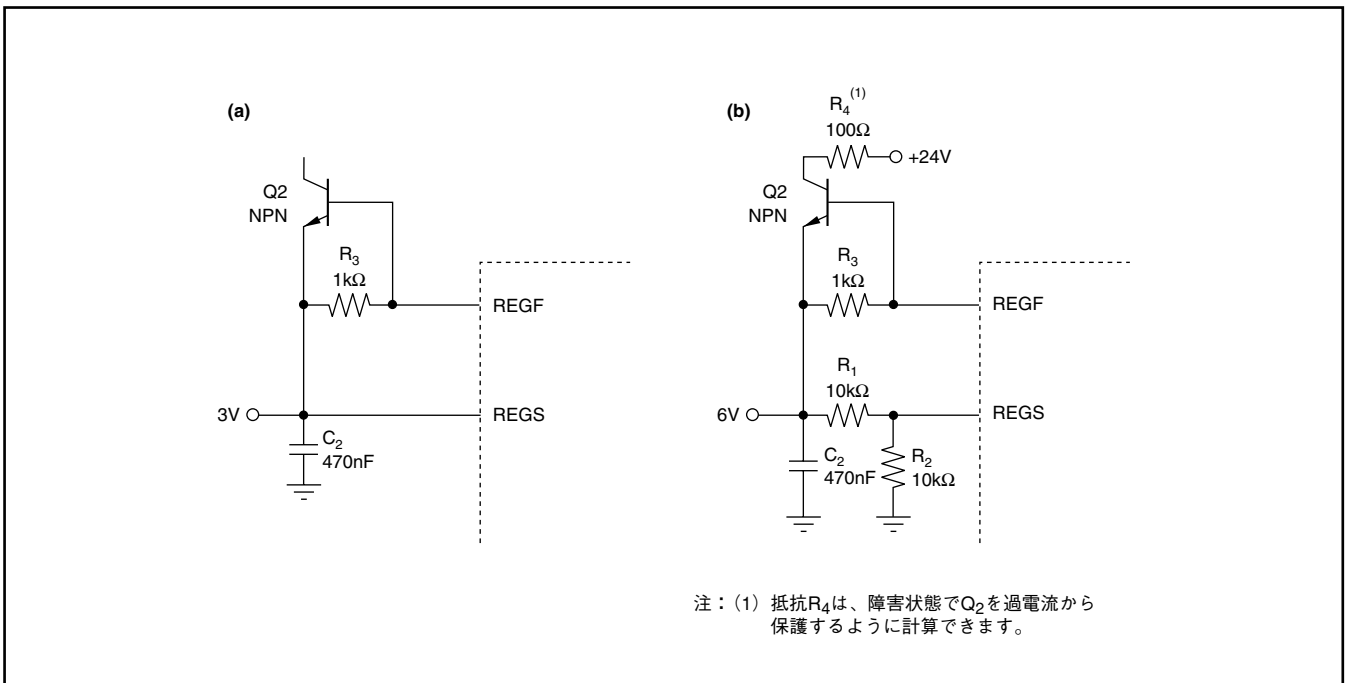


図49. 標準NPNトランジスタを使用した電圧レギュレータの電流ブーストの例

パッケージとヒートシンク

電流出力に対する消費電力の大半は、外部FETで消費されます。

XTR111で電源電圧から熱を発生するのは、静止電流、出力電流の1/10の内部信号電流、およびレギュレータの電流と内部電圧降下によるものだけです。

XTR111パッケージの底面にある露出したサーマル・パッドにより、デバイスからプリント基板(PCB)へ優れた放熱が行われます。

サーマル・パッド

サーマル・パッドは、デバイスのGNDピンと同じ電位に接続する必要があります。

露出したサーマル・パッドを持つパッケージは、効率よく放熱を行うよう特別に設計されたものですが、全体の放熱には基板のレイアウトが大きく影響します。接合部周囲間の熱抵抗(T_{JA})は、露出したサーマル・パッドを正規化されたPCBに半田付けした状態のパッケージについて規定されています。技術資料『PowerPAD Thermally Enhanced Package』(TI文献番号SLMA002)を参照してください。また、EIA/JEDEC仕様のJESD51-0~7、さらに『QFN/SON PCB Attachment』(SLUA271)および『Quad Flatpack No-Lead Logic Packages』(SCBA017)も参照してください。これらのドキュメントは、www.ti.comからダウンロードできます。

注：すべてのサーマル・モデルには、20%の精度誤差があります。

放熱は、部品の実装、パターンレイアウト、層、およびエアフローによって大きく左右されます。ワーストケースの負荷条件を実際の環境でテストし、適切な熱条件を確認してください。接合部温度が+125°Cよりも十分に低い場合の適切な長時間の動作について、熱ストレスを最小限に抑える必要があります。

レイアウト・ガイドライン

リードフレーム・ダイ・パッドは、PCBのサーマル・パッドに半田付けする必要があります。このデータシートの巻末に、レイアウト例を示したメカニカル・データシートが添付されています。アセンブリ・プロセスの要件に基づいて、このレイアウトに調整が必要になる場合があります。このデータシートの巻末にあるメカニカル図面には、パッケージおよびパッドの物理的寸法が記載されています。ランド・パターンにある5つの穴はオプションであり、リードフレーム・ダイ・パッドをPCB上のヒートシンク領域に接続するサーマル・ビアとともに使用することを意図したものです。

露出したパッドを半田付けすることで、温度サイクル、キーの押し付け、パッケージの剪断、その他同様な基板レベルの試験時に、基板レベルの信頼性が大きく向上します。消費電力の低いアプリケーションの場合でも、構造的な完全性と長期的な信頼性を得るために、露出したパッドをPCBに半田付けする必要があります。

パッケージ・オプション

製品情報

Orderable Device	Status ⁽¹⁾	Package Type	Package Drawing	Pins	Package Qty	Eco Plan ⁽²⁾	Lead/Ball Finish	MSL Peak Temp ⁽³⁾
XTR111AIDGQR	ACTIVE	MSOP-Power PAD	DGQ	10	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
XTR111AIDGQRG4	ACTIVE	MSOP-Power PAD	DGQ	10	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
XTR111AIDGQT	ACTIVE	MSOP-Power PAD	DGQ	10	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
XTR111AIDGQTG4	ACTIVE	MSOP-Power PAD	DGQ	10	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
XTR111AIDRCR	ACTIVE	SON	DRC	10	3000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
XTR111AIDRCRG4	ACTIVE	SON	DRC	10	3000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
XTR111AIDRCT	ACTIVE	SON	DRC	10	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
XTR111AIDRCTG4	ACTIVE	SON	DRC	10	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR

(1) マーケティング・ステータスは次のように定義されています。

ACTIVE：製品デバイスが新規設計用に推奨されています。

LIFEBUY：TIによりデバイスの生産中止予定が発表され、ライフタイム購入期間が有効です。

NRND：新規設計用に推奨されていません。デバイスは既存の顧客をサポートするために生産されていますが、TIでは新規設計にこの部品を使用することを推奨していません。

PREVIEW：デバイスは発表済みですが、まだ生産が開始されていません。サンプルが提供される場合と、提供されない場合があります。

OBSOLETE：TIによりデバイスの生産が中止されました。

(2) エコ・プラン - 環境に配慮した製品分類プランであり、Pb-Free (RoHS)、Pb-Free (RoHS Expert) およびGreen (RoHS & no Sb/Br) があります。最新情報および製品内容の詳細については、<http://www.ti.com/productcontent> でご確認ください。

TBD：Pb-Free/Green変換プランが策定されていません。

Pb-Free (RoHS)：TIにおける“Lead-Free”または“Pb-Free”(鉛フリー)は、6つの物質すべてに対して現在のRoHS要件を満たしている半導体製品を意味します。これには、同種の材質内で鉛の重量が0.1%を超えないという要件も含まれます。高温で半田付けするように設計されている場合、TIの鉛フリー製品は指定された鉛フリー・プロセスでの使用に適しています。

Pb-Free (RoHS Exempt)：この部品は、1) ダイとパッケージの間に鉛ベースの半田バンプ使用、または 2) ダイとリードフレーム間に鉛ベースの接着剤を使用、が除外されています。それ以外は上記の様にPb-Free (RoHS) と考えられます。

Green (RoHS & no Sb/Br)：TIにおける“Green”は、“Pb-Free”(RoHS互換)に加えて、臭素 (Br) およびアンチモン (Sb) をベースとした難燃材を含まない(均質な材質中のBrまたはSb重量が0.1%を超えない)ことを意味しています。

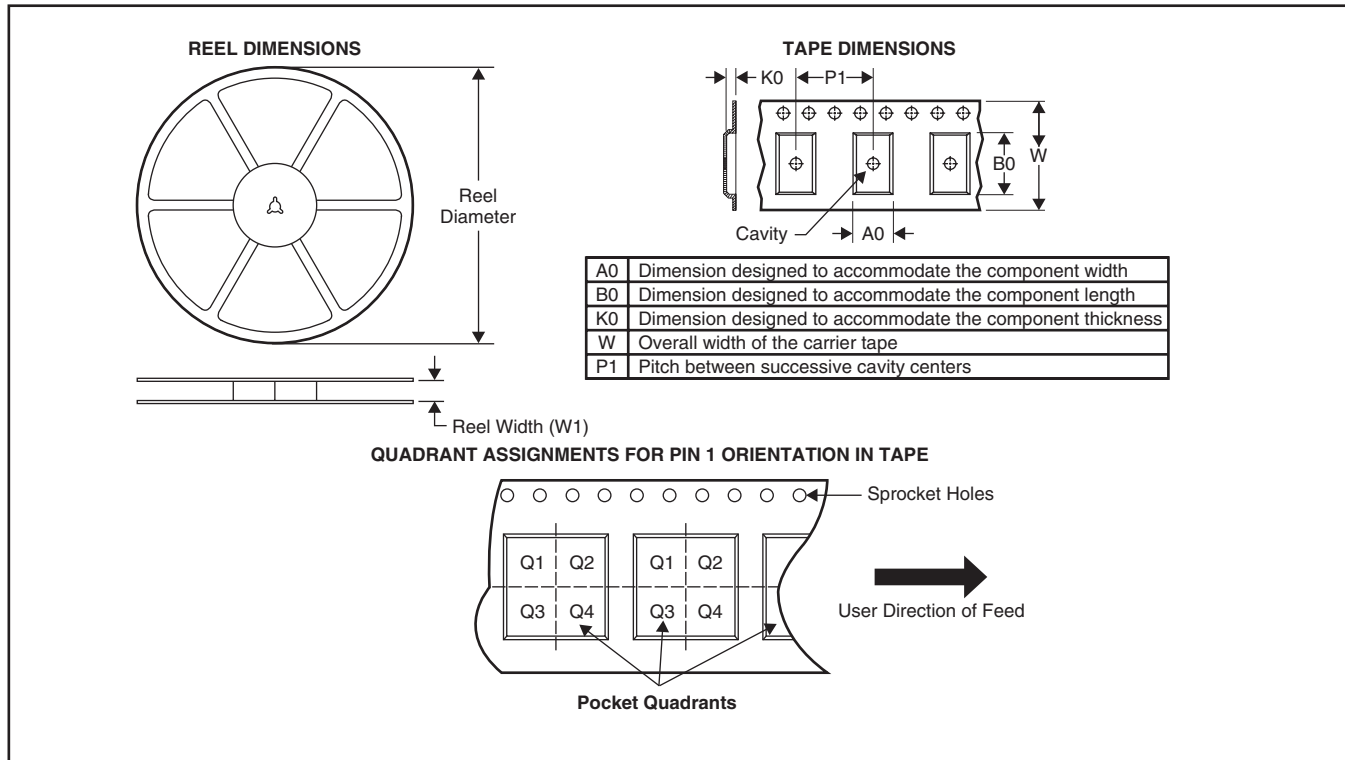
(3) MSL、ピーク温度 -- JEDEC業界標準分類に従った耐湿性レベル、およびピーク半田温度です。

重要な情報および免責事項：このページに記載された情報は、記載された日付時点でのTIの知識および見解を表しています。TIの知識および見解は、第三者によって提供された情報に基づいており、そのような情報の正確性について何らの表明および保証も行うものではありません。第三者からの情報をより良く統合するための努力は続けております。TIでは、事実を適切に表す正確な情報を提供すべく妥当な手順を踏み、引き続きそれを継続してゆきますが、受け入れる部材および化学物質に対して破壊試験や化学分析は実行していない場合があります。TIおよびTI製品の供給者は、特定の情報を機密情報として扱っているため、CAS番号やその他の制限された情報が公開されない場合があります。

TIは、いかなる場合においても、かかる情報により発生した損害について、TIがお客様に1年間に販売した本書記載の問題となった TIパーツの購入価格の合計金額を超える責任を負いかねます。

パッケージ・マテリアル情報

テープおよびリール・ボックス情報

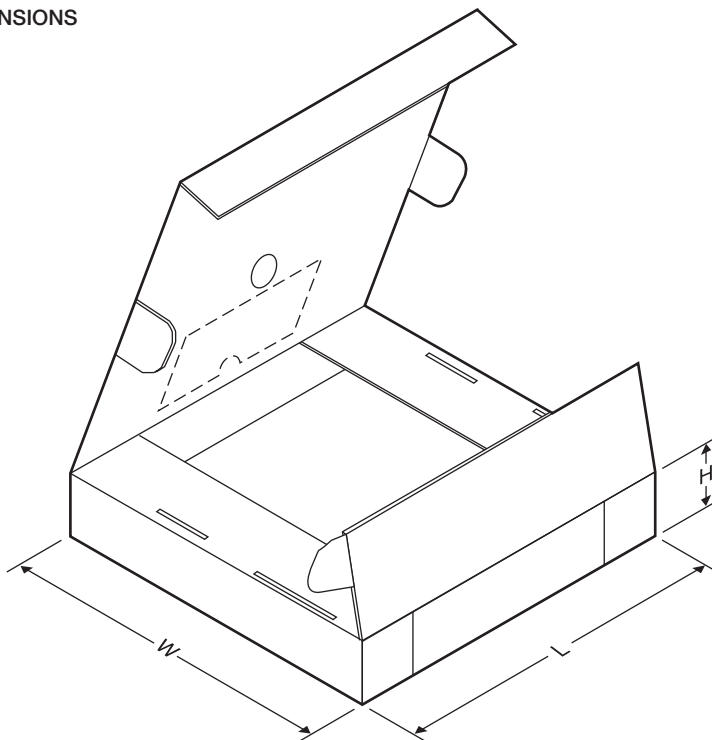


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
XTR111AIDGQR	MSOP-Power PAD	DGQ	10	2500	330.0	12.4	5.3	3.3	1.3	8.0	12.0	Q1
XTR111AIDGQT	MSOP-Power PAD	DGQ	10	250	180.0	12.4	5.3	3.3	1.3	8.0	12.0	Q1
XTR111AIDRCR	SON	DRC	10	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
XTR111AIDRCT	SON	DRC	10	250	180.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2

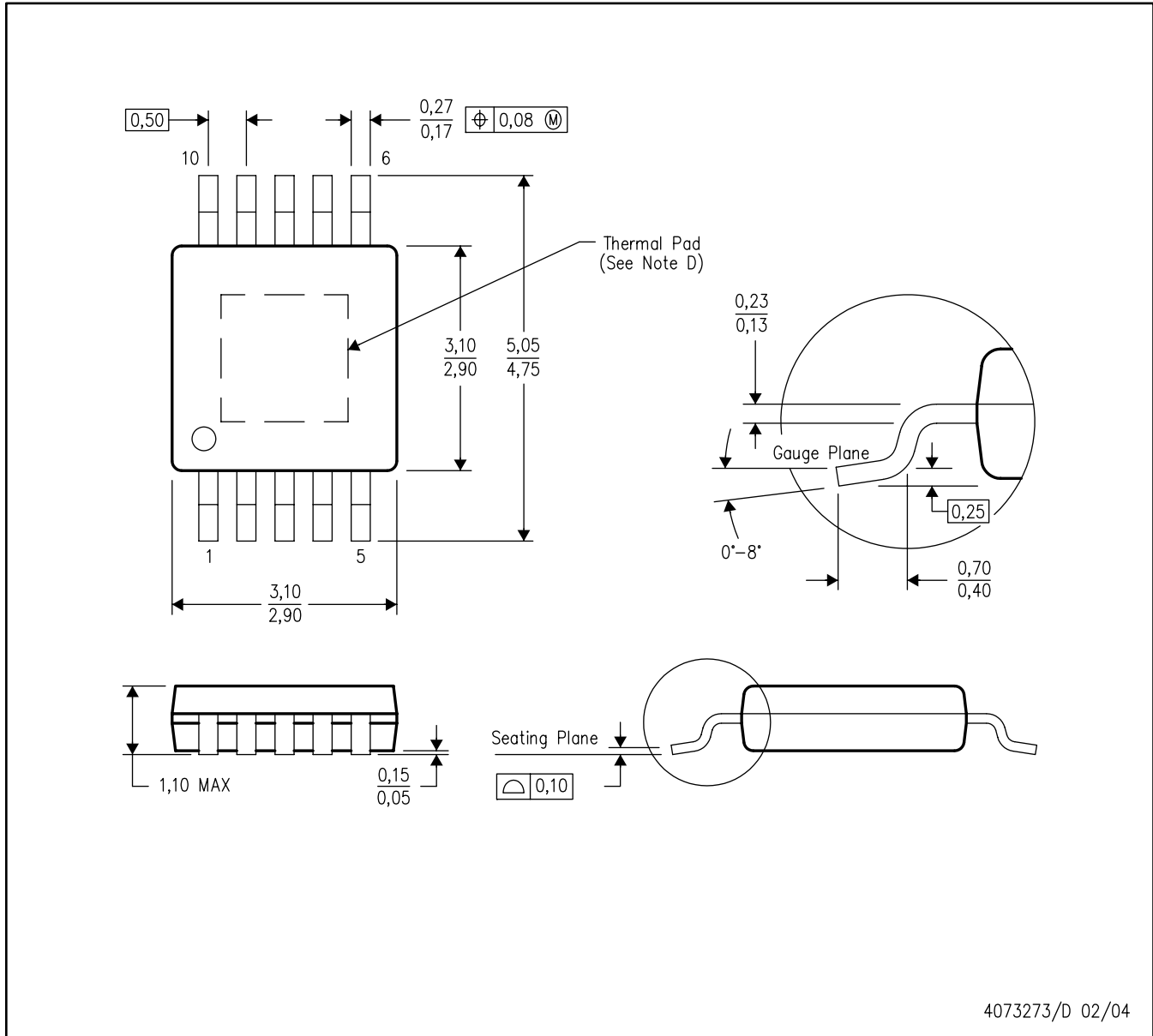
パッケージ・マテリアル情報

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
XTR111AIDGQR	MSOP-PowerPAD	DGQ	10	2500	370.0	355.0	55.0
XTR111AIDGQT	MSOP-PowerPAD	DGQ	10	250	195.0	200.0	45.0
XTR111AIDRCR	SON	DRC	10	3000	346.0	346.0	29.0
XTR111AIDRCT	SON	DRC	10	250	190.5	212.7	31.8



4073273/D 02/04

注： A. 全ての線寸法の単位はミリメートルです。

B. 図は予告なく変更することがあります。

C. 本体寸法にはバリや突起を含みません。

D. このパッケージは、基板上のサーマル・パッドに半田付けされるように設計されています。推奨基板レイアウトについては、テクニカル・ブリーフ『PowerPAD Thermally Enhanced Package』（TI文献番号SLMA002）を参照してください。これらのドキュメントは、ホームページwww.ti.comで入手できます。

E. JEDEC MO-153に適合しています。

サーマルパッド・メカニカル・データ

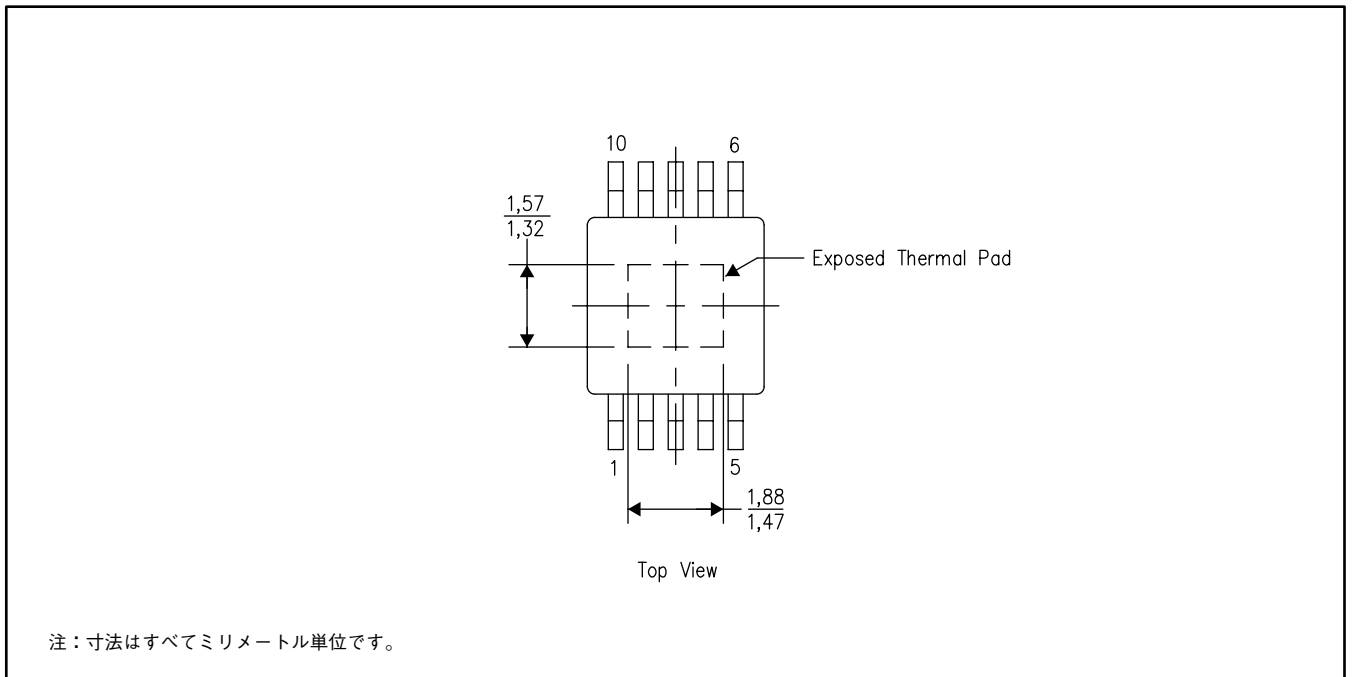
DGQ (S-PDSO-G10)

熱特性について

このPowerPAD™パッケージには、外部ヒートシンクに直接接続するように設計された、露出したサーマルパッドが装備されています。このサーマルパッドは、プリント基板(PCB)に直接半田付けする必要があります。半田付け後は、PCBをヒートシンクとして使用できます。また、サーマルビアを使用して、サーマルパッドをデバイスの回路図に示された適切な銅プレーンに直接接続するか、あるいはPCB内に設計された特別なヒートシンク構造に接続することができます。この設計により、ICからの熱伝導が最適化されます。

PowerPAD™パッケージについての追加情報及びその熱放散能力の利用法については、テクニカルブリーフ『PowerPAD Thermally Enhanced Package』(TI文献番号SLMA002)およびアプリケーションブリーフ『PowerPAD Made Easy』(TI文献番号SLMA004)を参照してください。いずれもホームページ www.ti.com で入手できます。

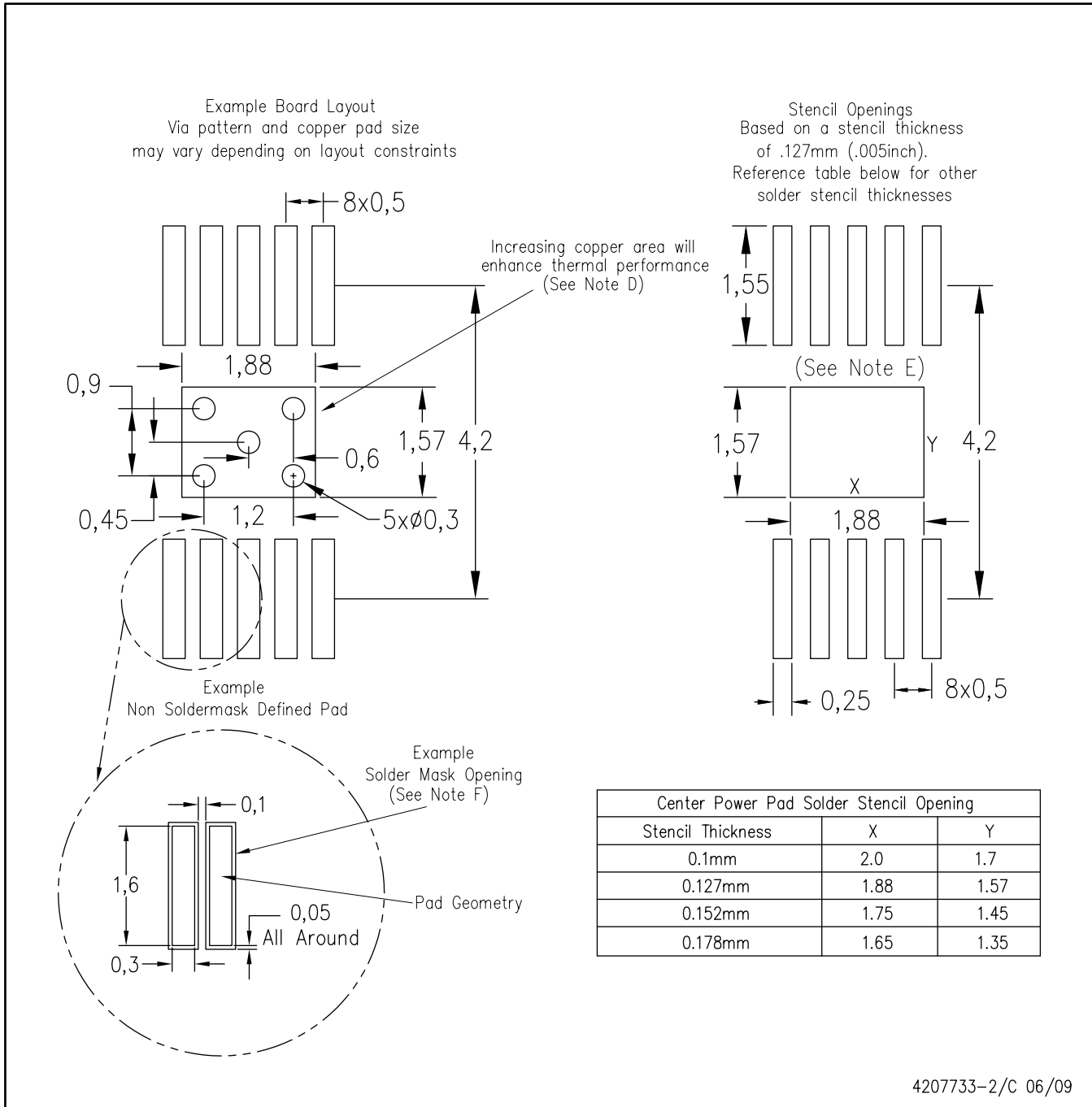
このパッケージの露出したサーマルパッドの寸法を次の図に示します。



露出サーマルパッドの寸法

ランド・パターン

DGQ (R-PDSO-G10) PowerPAD™



- 注： A. 全ての線寸法の単位はミリメートルです。
 B. 図は予告なく変更することがあります。
 C. 中央の半田マスク定義パッドを変更しないように、回路基板組み立て図に注記を書き込んでください。
 D. このパッケージは、基板上的のサーマル・パッドに半田付けされるように設計されています。推奨基板レイアウトについては、テクニカル・ブリーフ『PowerPAD Thermally Enhanced Package』(TI文献番号SLMA002)を参照してください。これらのドキュメントは、ホームページwww.ti.comで入手できます。代替設計については、資料IPC-7351を推奨します。
 E. レーザ切断開口部の壁面を台形にし、角に丸みを付けることで、ペーストの離れがよくなります。ステンシル設計要件については、基板組み立て拠点にお問い合わせください。例に示したステンシル設計は、50%容積のメタルロード半田ペーストに基づいています。ステンシルに関する他の推奨事項については、IPC-7525を参照してください。
 F. 信号パッド間および信号パッド周囲の半田マスク許容差については、基板組み立て拠点にお問い合わせください。

サーマルパッド・メカニカル・データ

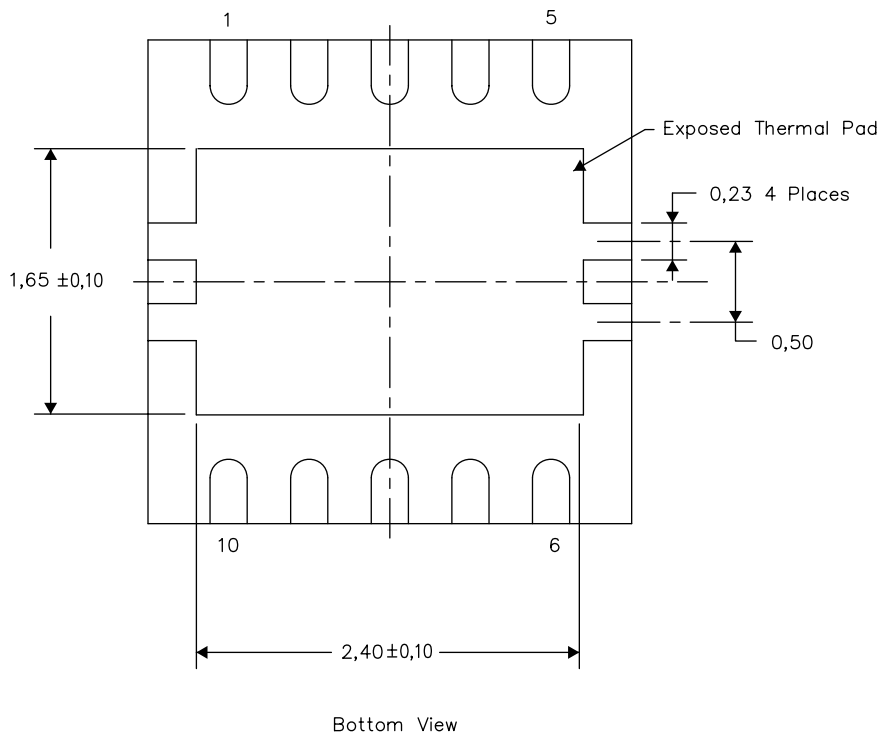
DRC (S-PVSON-N10)

熱的特性に関する資料

このパッケージは外部のヒートシンクに直接接続できるように設計された露出したサーマルパッドをもっています。サーマルパッドはプリント回路基板 (PCB) に直接はんだ付けされなければなりません。はんだ付けされることにより、PCBはヒートシンクとして使用できます。さらに、サーマルビアを使用することにより、サーマルパッドはグラウンドまたは電源プレーン (どちらか当てはまる方)、またはもう1つの方法としてPCBに設計された特別なヒートシンク構造に直接接続することができます。この設計により、集積回路 (IC) からの熱の移動が最適化されます。

クワッド・フラットパック・ノーリード (QFN) パッケージとその利点についての情報はアプリケーションレポート “Quad Flatpack No-Lead Logic Packages” TI文献番号SLUA271を参照してください。この文献はホームページwww.ti.comで入手できます。

このパッケージのサーマルパッドの寸法は以下の図に示されています。

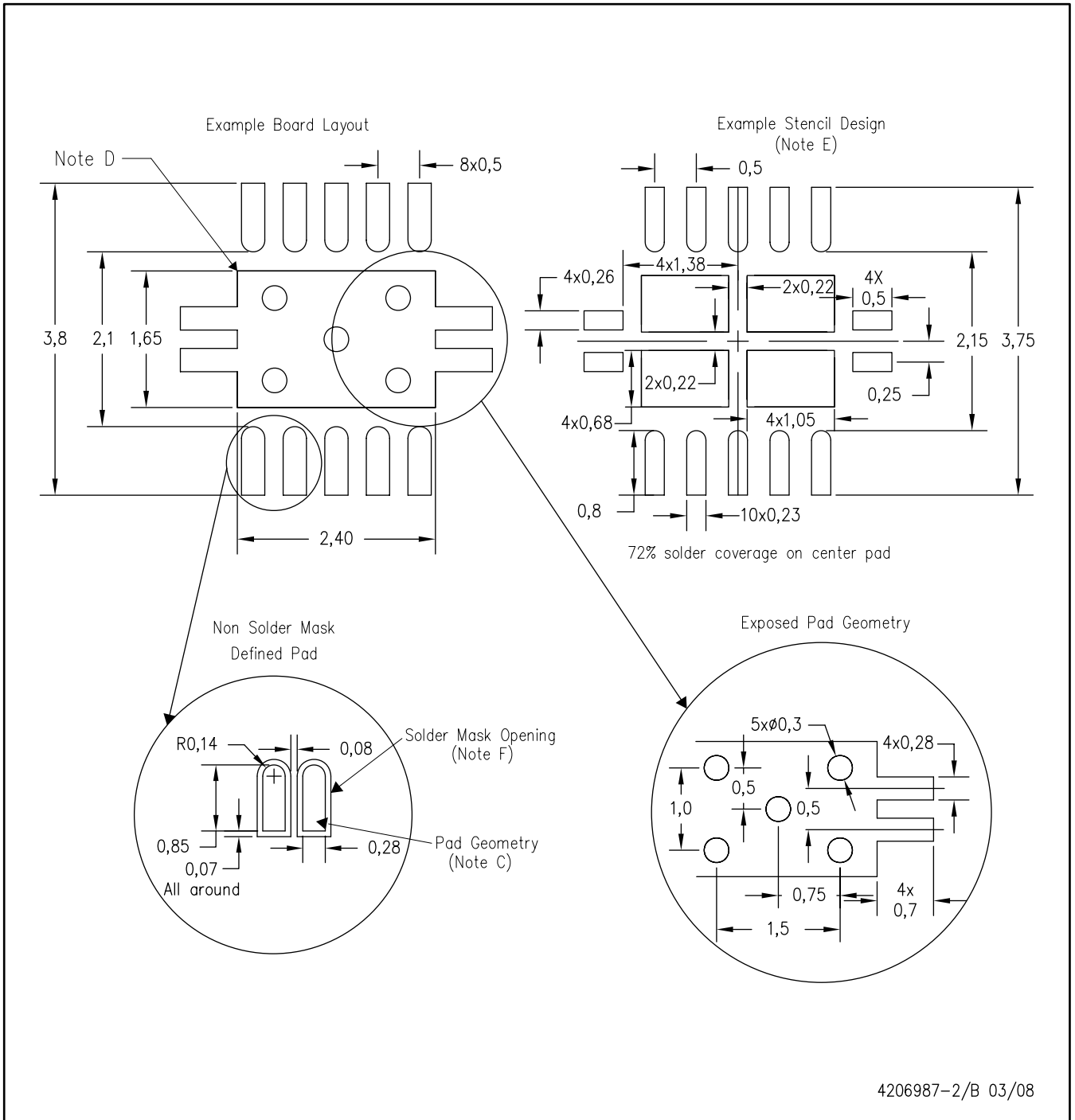


注：全ての線寸法の単位はミリメートルです。

サーマルパッド寸法図

ランド・パターン

DRC (S-PVSON-N10)



- 注： A. 全ての線寸法の単位はミリメートルです。
 B. 図は予告なく変更することがあります。
 C. 代替設計については、資料IPC-7351を推奨します。
 D. このパッケージは、基板上のサーマル・パッドに半田付けされるように設計されています。熱に関する具体的な情報、ビア要件、および推奨基板レイアウトについては、アプリケーション・ノート『Quad Flat-Pack Packages』(TI文献番号SCBA017、SLUA271)および製品データシートを参照してください。これらのドキュメントは、ホームページwww.ti.comで入手できます。
 E. レーザ切断開口部の壁面を台形にし、角に丸みを付けることで、ペーストの離れがよくなります。ステンシル設計要件については、基板組み立て拠点にお問い合わせください。ステンシル設計上の考慮事項については、IPC 7525を参照してください。
 F. 半田マスクの許容差については、基板組み立て拠点にお問い合わせください。

(SBOS375A)

ご注意

日本テキサス・インスツルメンツ株式会社(以下TIJといたします)及びTexas Instruments Incorporated(TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIJといたします)は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIJとの間に取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIJは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIJが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメータに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIJは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIJは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしていません。TIJが第三者の製品もしくはサービスについて情報を提供することは、TIJが当該製品もしくはサービスを使用することについてライセンスを与えるとか、保証もしくは承認をすることを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIJは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIJにより示された数値、特性、条件その他のパラメータと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIJは、そのような説明については何の義務も責任もありません。

TIJは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション(例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの)に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIJがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されていません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIJが特別に指定した製品である場合は除きます。TIJが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIJが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されていません。但し、TIJがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIJは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2009, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。

弊社出荷梱包単位(外装から取り出された内装及び個装)又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で(導電性マットにアースをとったもの等)、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。

マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

温度: 0~40、相対湿度: 40~85%で保管・輸送及び取り扱いを行うこと。(但し、結露しないこと。)

直射日光があたる状態で保管・輸送しないこと。

3. 防湿梱包

防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。

4. 機械的衝撃

梱包品(外装、内装、個装)及び製品単品を落下させたり、衝撃を与えないこと。

5. 熱衝撃

はんだ付け時は、最低限260以上の高温状態に、10秒以上さらさないこと。(個別推奨条件がある時はそれに従うこと。)

6. 汚染

はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質(硫黄、塩素等ハロゲン)のある環境で保管・輸送しないこと。はんだ付け後は十分にフラックスの洗浄を行うこと。(不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。)

以上