

Super HiFi DAC Boardの設計 (EVM-1702の技術解説)

概要

このアプリケーション・ノートは、パー・ブラウンの誇る高性能20ビットDAC PCM1702をベースに、最高の音質と性能を追求したD/Aコンバータ・ユニット・ボードの設計法について、具体的検討項目を含めて解説しています。

Super HiFi DAC Board (EVM-1702)は評価ボードとして供給可能であり、この評価ボードに込められた設計テクニックの理解にも利用できます。

デジタル・オーディオのメインとなるアプリケーションは何とんでも音楽CDであり、現在非常に多くのCDプレーヤ、DACユニットが各メーカーから市販されています。周知の通り、現在の音楽CDフォーマットは10年以上も前に制定されたもので、その基本仕様は、サンプリングの定理に基づき

*量子化ビット：16ビット

*サンプリング周波数：44.1kHz

に定められています。この既存のフォーマットでの理論性能限界はダイナミック・レンジで表わせば98dBになり、他のアナログ・ソースに比べると充分だと思われてきました。

一方、ここ数年の間にこの既存のCDフォーマットからよりワイドなダイナミック・レンジを得ようとする動向が多くみられます。これらは大別すると、CDの録音側において新たな技術によりCDに現行フォーマットと互換性のある情報を付加してダイナミック・レンジの拡張を行うものと、あくまでも既存のCDフォーマットからD/A変換時にデータを加工してダイナミック・レンジの拡張を行うものがあります。前者の代表例としては、SONY社によるスーパー・ビット・マッピングや米国Pacific Microsonic社のHDCD(High Definition Compatible Digital)があります。後者の代表例としては、日本コロムビア社(DENON)のALPHAプロセッサやケンウッド社のファイン・ドライブ等があります。

また、ADAやDVDに見られるように、CDフォーマットを根本的に改め、20ビット量子化、96kHzサンプリングの音楽CDを新規に制定する動きもあります。

これらの方式、技術の詳細については他に譲るとして、いずれのCD再生においても、最も重要かつ最大のポイントはD/A変換方式、デバイス(DAC)の設計と言えます。

DACデバイスの技術と動向に目をやれば、現在の中、高級デジタル・オーディオ製品に用いられているオーディオ用DACは、マルチビット方式およびデルタ・シグマ方式の2種

類に大別することができ、変換方式、音質傾向、アプリケーション等の条件によって使い分けられています。例えば、ジッタや実分解能、ノイズの点ではマルチビット型が有利であり、リニアリティの点ではデルタ・シグマ型が有利であると一般的に言われています。10年も前のマルチビット型DACはその動作原理上“ゼロクロス歪”の発生が避けられず、外部から補正したりしていましたが、パー・ブラウンにおいては新技術、アーキテクチャの開発により“ゼロクロス歪”の発生を根本から解決したDACを供給しています。

現在パー・ブラウンのマルチビット型DACで、市場で最も好評を得ているモデルに“PCM1702P/U”があります。PCM1702は“サイン・マグニチュード方式”の採用により、“ゼロクロス歪”を根本的になくした20ビット分解能DACで、低歪率、高S/N比、ワイド・ダイナミック・レンジを有しています。特に微小信号の再現性は、他のDACに比べ抜群の特性を発揮し、他のDACの追随を許しません。

Super HiFi DAC Board EVM-1702においては、このPCM1702をベースにしてDACユニットを設計していきますが、設計に際してはDACの平行接続およびノイズ・フリー動作、アナログ回路技術、パターン設計技術等、詳細に解説していきます。基本コンセプトとしては、シンプル&ストレート、アナログ/デジタル完全分離、もうひとつの目玉として前述のHDCDデコード対応とし、その名の示す通りのSuper HiFiサウンドと高性能を目指します。

目標スペックの設定

Super HiFi DAC Boardの詳細設計の前に、ここでは一般的な性能仕様であるダイナミック特性を始めとする各特性、機能、電源条件等についての目標スペックを設定します。

まず、デジタル・オーディオで最も一般的に用いられるダイナミック特性について考察、設定します。基本的な測定条件としては、データ・ビットは16ビット、20ビット両方とし、測定帯域は20kHz、特に記述のない限りEIAJでの規格によるものとします。

(1)THD + N(0dB)：0.0020%(16ビット)

：0.0010%(20ビット)

(2)ダイナミック・レンジ(EIAJ)：98dB(16ビット)

：108dB(20ビット)

(3)S/N比(EIAJ)：118dB

これらの主要特性の他、次に示すような各仕様を定めます。

- * 20ビット分解能
- * サンプリング・レート：32kHz、44.1kHz、48kHz
- * 標準デジタル・オーディオ・インターフェース対応EIAJ CP-1201
- * 光・同軸 入力対応
- * 8倍オーバー・サンプリング
- * HDCDデコード機能
- * オプショナル2ndPLL回路
- * 完全デジタル/アナログ分離(アイソレーション)
- * シンプル&ストレート アナログ信号フロー
- * DACパラレル接続、選択可
- * ポストLPF構成、選択可
- * ステレオ2Vrms出力
- * 高音質
- * 2レイヤーPCボード、厚み強化銅箔パターン、ボードサイズ297mm × 210mm(A4)
- * 電源供給：+5V デジタル
 - ±5V アナログ(DAC)
 - ±8V から±18V アナログ(Amp)

これらの目標性能、機能はSuper HiFi DAC Boardが最高の音質と性能を発揮するために必要な項目で、これを達成するために詳細検討、設計を進めます。

ブロック図

Super HiFi DAC Boardの簡略ブロック図を図1に示します。大別すると、このボードは主にデジタル部とアナログ部で構成されており、デジタル部、アナログ部両セクションはデジタル・アイソレータによって完全分離(Isolation) されます。デジタル部は主にデジタル・オーディオ・インターフェース DAIレシーバ・デバイスとHDCDデコード機能付8倍オーバー・サンプリング・デジタルフィルタ・デバイスで構成しており、ここでのキー・スペックは、DAIレシーバの生成クロック・ジッタとデジタルフィルタの通過/

阻止帯域 周波数特性となります。アナログ部は、20ビットDAC PCM1702とオペアンプによるI/V変換およびポストLPFで構成しており、このアナログ部でのキー・スペックはDAC PCM1702のTHD + N等のダイナミック特性、I/VおよびポストLPFに用いるオペアンプの各ダイナミック特性、回路構成になります。また、デジタル部とアナログ部のアイソレーション信号伝送はこのボードの最重要事項で、アナログ部、特にDACのノイズフリー・オペレーションに必要な不可欠な仕様です。デジタル・アイソレータのキー・スペックは信号伝送ディレイと絶縁(アイソレーション)特性となります。このアイソレーションにより、実際の動作において、デジタル部の電源コモンとアナログ部の電源コモンを共通接続する必要がなくなるので、デジタル・ノイズのアナログ部への回り込みを一切回避することができます。

デジタル部の実設計

(1)DAIレシーバ・デバイスの選択と設計概要

デジタル・オーディオ・インターフェース規格としては、S/PDIF、AES/EBU、IC958、EIAJ CP-1201等がありますが、EVM-1702の場合、基本的にはCDソフトの再生を行うわけですから、民生フォーマットを完全に再生できればDAIレシーバは何でもかまいませんが、生成クロックのジッタ・レベルが重要な選択基準となります。

現在、多くのDAIレシーバICが市販されていますが、最も重要であるジッタに関する条件を加味すると使用可能なものは限られており、実際にはCrystal(AKM)社CS8412が最も低ジッタ性能であることから、ここで選択することにします。このCS8412のブロック図を図2に示します。CS8412は受信したデータに応じたデータを再生し、256fsのシステム・クロックを生成します。この256fsのジッタ量は100ps程度であり、後述するジッタの変換精度への影響はほとんどないと言えるレベルです。CS8412は16ビットから24ビットのオーディオデータを出力可能で、サンプリング・レートは32kHzから48kHzまで対応します。また、CSビットからディエンファシス、サンプリング・レートのデータを再生

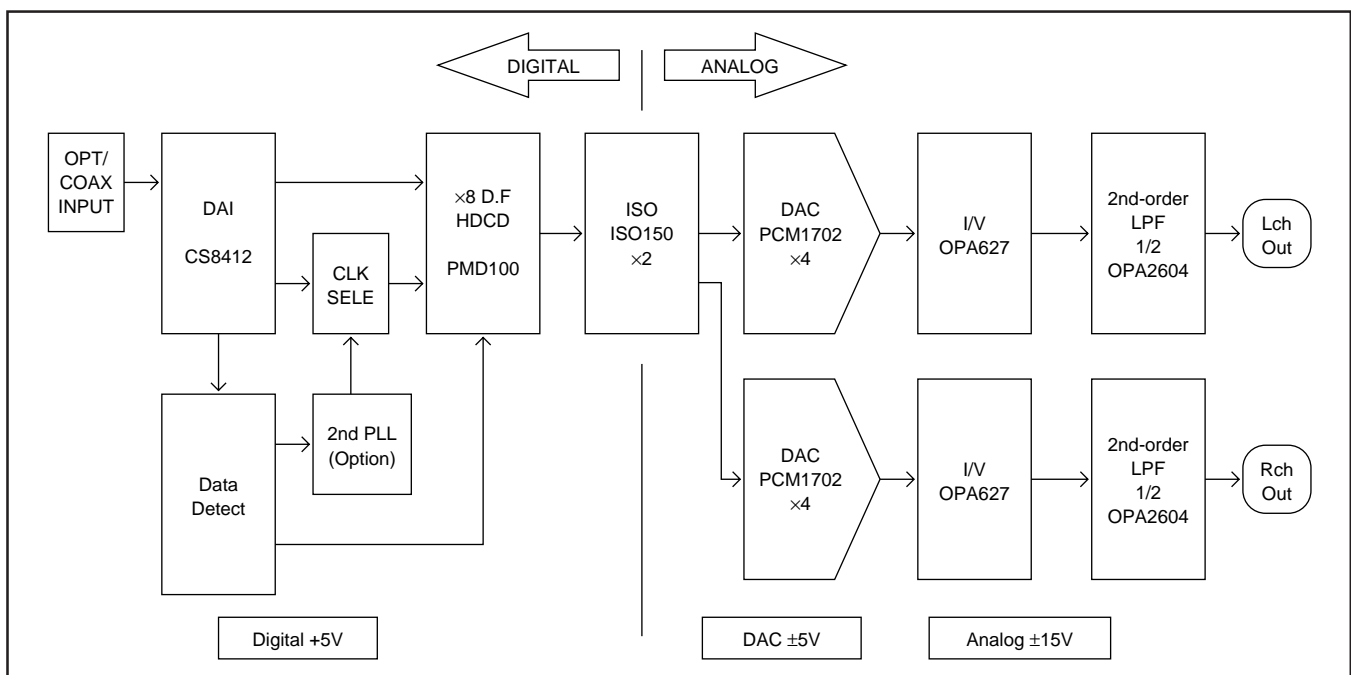


図1. EVM-1702のブロックダイアグラム

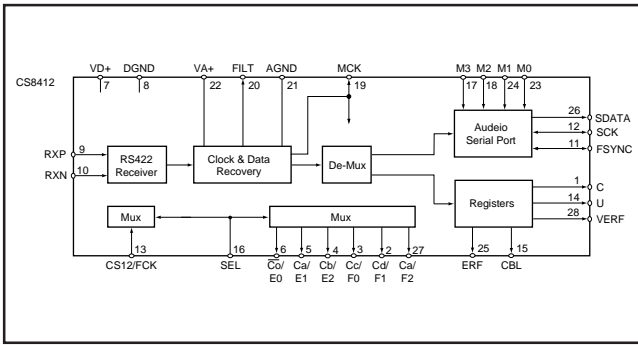


図2. CS8412ブロック

し、エラー情報とともに次段のPMD100の動作設定に使用します。

CS8412のインターフェース入力、PXP、PXNのRS422対応入力ピンに入力します。この場合、同軸入力(0.5Vpp)レベルも光トスリンクのTTLレベルもCカップルで直接接続でき、接続されている側の入力に自動選択されます。なお、CS8412の詳細についてはCrystal(AKM)社のデータシートを参照下さい。

(2) HDCDデコード、8倍オーバー・サンプリング・デジタルフィルタの選択と設計概要

HDCDデコードは米国Pacific Microsonic社のライセンス製品であり、HDCDデコードICの使用には同社とのライセンス契約が必要で、パー・ブラウンはこのライセンス契約を結んでいます。HDCDデコード機能は同社より“PMD100”といったモデルが供給されています。このPMD100は、HDCDデコード機能に加え、8倍オーバー・サンプリングのデジタルフィルタ機能を有しており、他にもデジタル・ディエンファシス、ソフトミュート等の機能を持っています。また性能的には最も重要な“20ビット入出力”が可能であり、デジタルフィルタの阻止帯域減衰量も100dB以上あるため、EVM-1702に最適なデバイスです。PMD100には、HDCDデコード時のゲインが通常のCDのデコード時に比べて6dB低くなる特性をデジタル的に補正する機能がついていますが、これを行うと通常CDの量子化レベルを6dB(1ビット)ロスすることになるので使用しません。

デジタル部の総合設計

図3に、オプションの2ndPLL回路を含むデジタル部の総合回路を示します。

2ndPLL回路とジッタに関しては後述しますので、ここではCS8412とPMD100との接続を中心に解説します。

CS8412周辺

CS8412のピン9、ピン10には0.047μFを介して光トスリンク“TORX-176”と75Ω終端の同軸(COAX)入力を接続します。ピン20にはPLLのループ・フィルタを構成するCR(0.047μFと1K)を接続します。ピン18、23、24はCS8412の出力データ・フォーマットを設定しており、ここでは16ビットから24ビットまで全てのデータ・ビットに対応するため24ビット前詰めとしています。ピン1、3、15はCSビット関連信号でHC04とHC595シフトレジスタにより、ディエンファシス、fs(サンプリング・レート)の情報を抽出

し、PMD100および2ndPLLに設定データを伝送します。SDATA、SCK、FSYNCはPCMオーディオデータで、FSYNCは基準サンプリング(fs)クロックとなります。また、MCK(ピン19)は256fsのシステム・クロックで、FSYNCとこのMCKはジャンパを介してPMD100に伝送されます。

PMD100周辺

PMD100では、ピン1およびピン2でDATAおよびピットクロック(SCK)を受け、ピン28でLRCKクロック(FSYNC)を受けます。また、ピン6(XTI)に256fsまたは384fsのシステム・クロックを供給します。LRCKとXTIはジャンパによりCS8412からの信号とPLLからの信号の選択を行います。オプションのPLLは384fsを出力し、CS8412は256fsを出力するため、PMD100の基本動作クロックの設定をピン3(XTIM)で行い、これをジャンパで選択しています。ピン9=LはPMD100の動作設定のスタンドアローン・モードの選択、ピン13=Lは入力DATAの24ビット前詰めフォーマットを選択しています。ピン16、18は、ディエンファシスON/OFFおよびfs周波数(48kHz/44.1kHz)の制御です。ピン27は再生信号がHDCD対応か否かの検出出力で、LEDの表示とピン19(SCAL)の制御に用いています。CS8412のエラー発生時のERF信号はPMD100のピン17(HMUT)に直接接続し、エラー発生時はデータ出力を強制的にMUTEします。ピン23、24、25、26の各出力はDACへのオーディオデータ信号で、ここではピン10、11の設定により20ビット出力になっています。この信号はEVM-1702ではアイソレータISO150に伝送されます。

オプション2ndPLL回路

オプション2ndPLL回路の動作ブロックを図4に示します。V18M432は低ジッタVCOモジュールで、384fsのクロックを出力します。PLLとしては、384fsクロックをHC163/HC593で分周してfsクロックとし、これをCS8412のfsクロックとHC4046で位相比較し、比較出力をCRによるループ・フィルタを介してV18M432の発振周波数制御入力とするループで動作します。この2ndPLL回路の有無によるDACの変換精度への影響についての検討を次にを行います。

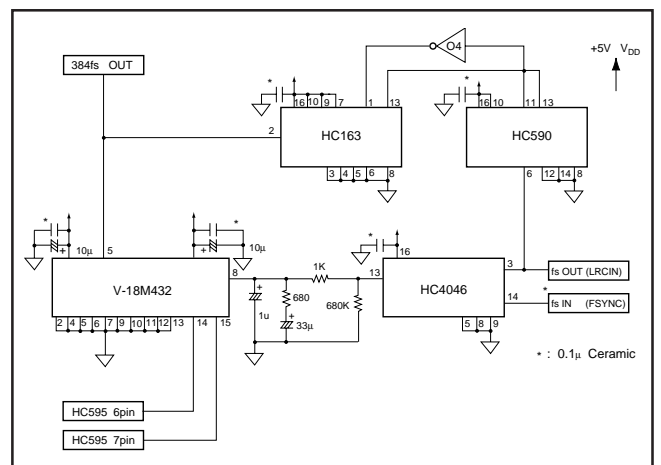


図4. 2nd PLLブロック

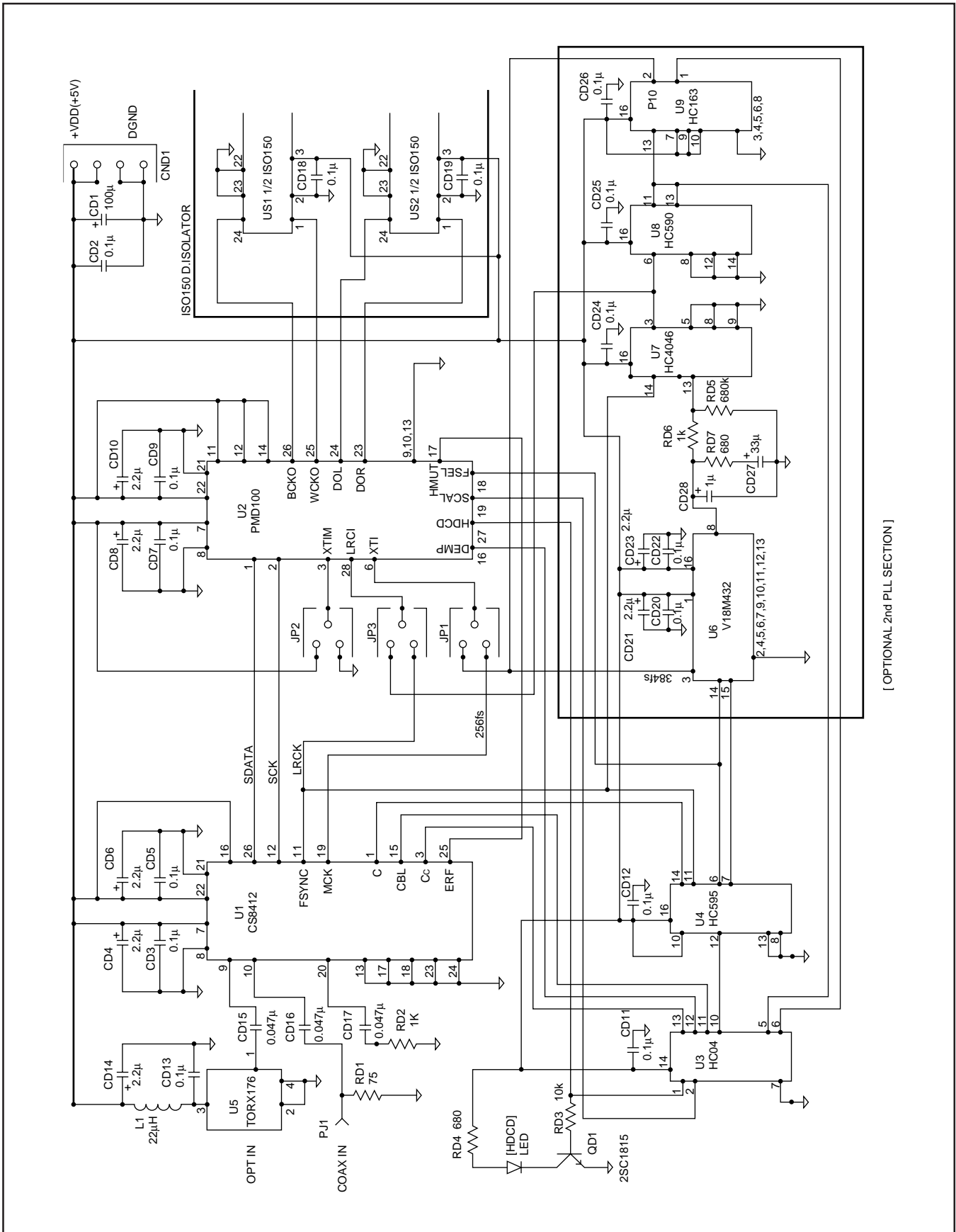


図3. EVM-1702デジタル部回路図

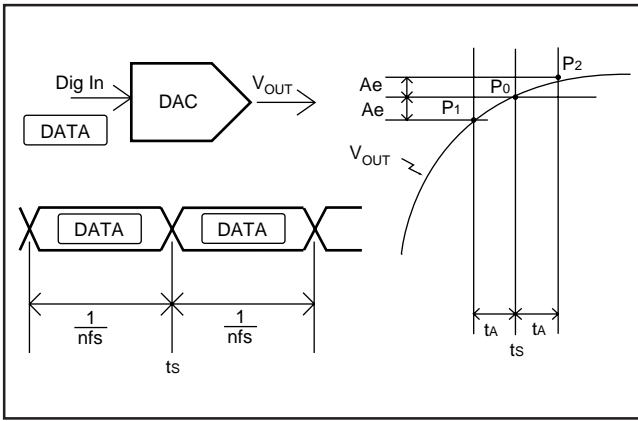


図5. アパーチャエラーの概念

クロックジッタのDAC変換精度への影響

クロックジッタのDAC変換精度への影響は、マルチビット型DACの場合基本的にアパーチャ・エラーの理論を適用することができます。図5にこの基本概念を示します。図5において、DACの変換レート・タイミングは入力データのサンプリング・レート(EVM-1702においてはPMD100のWCKOクロック、PCM1702のLEクロック)となります。この変換レートTrは、

$$Tr = 1/nfs$$

fs : サンプリング・レート(44.1kHz、CD)

n : オーバーサンプリング・レート(n=8、PMD100)

で求められ、EVM-1702での変換レートは、

$$44.1\text{kHz} \times 8 = 352.8\text{kHz}$$

$$Tr = 1/352.8\text{kHz} = 2.83\mu\text{s}$$

になります。この変換レートはデジタルフィルタPMD100のWCKOクロックで、このWCKOクロックのタイミング精度はPMD100のXTI入力クロック精度で決まります。図5において、DACのD/A変換出力V_{OUT}は、タイミングtsのポイントでPoですが、入力クロックにジッタがあると、そのジッタ分Aにより真値Poに対しP1、P2となり、この差Aeは振幅誤差となります。この誤差はアパーチャ・エラー Aeとして定義され次式で求められます。

$$Ae = d(Asin 2\pi fa)tA/dt = 2\pi fa \times tA \quad (1)$$

このとき

A : 信号振幅レベル

fa : 信号周波数

tA : アパーチャ・エラー

この誤差Aeを量子化ビットに応じた理論量子化誤差Nqと比較することにより、変換精度への影響度を検証することができます。

例えば、16ビットにおける理論量子化誤差Nqは、0.0015% of FSRであり、ジッタによる誤差Aeは0.0015%以下としなければなりません。式(1)から信号周波数faを1kHzと20kHzとした時の許容タイミング誤差(アパーチャ・エラー) tAを求めると、

$$fa = 1\text{kHz}, tA < 2.39\text{nsec}$$

$$fa = 20\text{kHz}, tA < 119.4\mu\text{sec}$$

となります。すなわち、オーディオ帯域である20kHzまで16ビット量子化誤差以内にジッタによる影響を抑えるには約120ps以内のクロックジッタが要求されます。この要求ジッタ量tAは、サイン波の1サンプルのみにおける誤差を表わしているため、連続し

ている信号に対してはサイン波の1周期に対しての誤差を求めなければなりません。この誤差をジッタ歪 THDjとすれば次式で求めることができます。

$$THDj = \epsilon_{rms}/E_{rms} = \frac{\sqrt{\frac{1}{n} \sum_{i=1}^n \{Ae(i)\}^2}}{E_{rms}} \quad (2)$$

このとき

E_{rms} : 信号レベル

ε_{rms} : ジッタ誤差

n : サイン波1周期におけるサンプリング数

Ae(i) : 各サンプリング・ポイントにおけるアパーチャ・エラー

式(2)より、実際の許容ジッタ・レベルは、サイン波においては平均化されて歪となるので、前述の式(1)から逆算した値よりは若干甘くなることを意味します。一方、CS8412の256fsクロックのジッタ・レベルは実測で100psから200ps程度であり、特に信号周波数1kHzにおいては全く問題となるレベルではないことが検証できます。すなわち、EVM-1702では、2nd PLLなしの条件でもさほどクロック・ジッタの影響を受けないD/A変換が可能であることとなります。ただし、20ビット・データに対しては理論上の許容ジッタ・レベルは桁違いに厳しくなり、2nd PLLのジッタが100ps以下であっても満足するレベルにはなりません。ただ、20ビットでの量子化誤差レベルNqは0.00009375%であり、DAC PCM1702自体のTHDレベル(THD + N0.001%(標準))とのバランスも考慮しなければなりません。

デジタル・アイソレータ部の設計

一般的に、デジタル信号の絶縁伝送に用いられているフォトカプラは、伝送速度、動作電圧、絶縁特性、信頼性等の条件でその選択には熟考が必要です。パー・ブラウンのISO150はDual Bi-Directional Digital Couplerであり、フォトカプラの欠点を解消したデバイスです。図6にISO150のブロック図を、表1に電気的特性をそれぞれ示します。

具体的な設計はピン接続のみで、デジタル側では送信モードとして、PMD100からのデジタル信号、WCKO、BCKO、DOL、DORを2個のISO150に入力します。また、アナログ側では受信モードとして、各クロックをDAC PCM1702に供給します。ISO150は1500V_{rms}の絶縁耐圧を有しているため、デジタル・アナログ間のコモン電圧差があっても動作上問題ありません。した

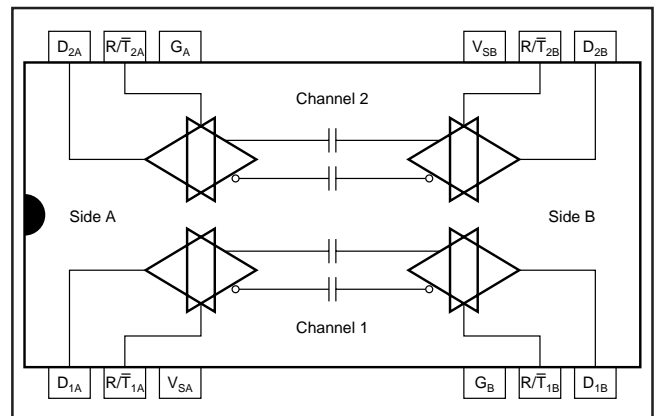


図6. ISO150ブロック図

がって、デジタル部の電源コモンとアナログ部の電源コモンを接続し共通グランド・コモンとする必要がなく、デジタル部のノイズが共通グランドを介し回り込むことがないため、アナログ部のノイズフリー動作を実現します。ISO150のクロック伝送遅延時間はnsオーダーの値がありますが、これは伝送遅延であり、ジッタではありませんので、ここでは特に問題とはなりません。図7にEVM-1702でのISO150の接続図を示します。

DACの選択とDAC部の設計

Super HiFi DAC BoardのTHD + Nを始めとするダイナミック特性は、使用するDACの特性でほとんど決まります。すなわち

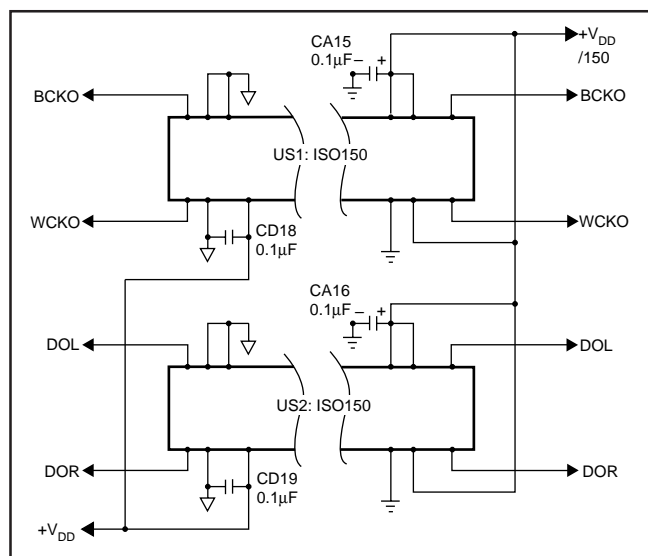


図7. ISO150接続例

DACデバイスはキーデバイスであり、極めて重要な選択となります。また、DACデバイスの使用方法に関しても、その性能を発揮させるための十分な検討が必要です。この章では、これらの詳細について順次解説します。

DACデバイスの選択

現在市販されているDACデバイスの中で最も性能的に優れているのがパー・ブラウンのPCM1702です。ダイナミック特性は当然、前述の目標スペックを満足するレベルである必要があります。PCM1702のスペックと比較してみます。図8にPCM1702のブロック図を、図9に基本接続およびピン配置を、表2に電気的特性をそれぞれ示します。まず、基本性能として

*20ビット分解能

*8倍オーバー・サンプリング対応

であることが必要ですが、表2から、これは問題なく満足します。

ダイナミック特性としては、

THD + N(0dB): 0.001%(標準) 0.0015%(最大)

(-60dB): 0.3%(標準) 0.6%(最大)

ダイナミック・レンジ: 110dB(標準)

S/N比: 120dB(標準) 110dB(最小)

となっており、目標スペックに対して対応可能な値です。PCM1702にはTHD + N特性のレベルにより3種類のグレードがありますが、ここでは、最高グレードのKグレードを選択します。また、パッケージは組み立てと交換のしやすさからDIPタイプとします。したがって、正式モデル名は、PCM1702P-Kとなります。保証スペックに現れないPCM1702の優位性のひとつは実質的に微小信号分解能で、特にEVM-1702においてはノイズ・フリー動作の実現に必要不可欠です。

パラメータ	条件	ISO150AP, AU			単位
		最小	標準	最大	
絶縁特性					
定格電圧、連続	60Hz	1500			Vrms
局部放電、100%テスト済み ⁽¹⁾	1s, 5pC	2400			Vrms
沿面距離(外部)					
DIP- "P" パッケージ			16		mm
SOP- "U" パッケージ			7.2		mm
内部絶縁距離			0.10		mm
絶縁電圧過渡耐量dv/dt ⁽²⁾			0.6		kV/µs
バリア・インピーダンス			>10 ¹⁴	7	Ω pF
リーク電流	240Vrms,60Hz		0.6		µArms
AC特性					
データ・レート、最大 ⁽³⁾	C _L = 50pF	50	80		M Baud
データ・レート、最小		DC			
伝搬時間 ⁽⁴⁾	C _L = 50pF	20	27	40	ns
伝搬遅延スキュー差 ⁽⁵⁾	C _L = 50pF		0.5	2	ns
パルス幅歪 ⁽⁶⁾	C _L = 50pF		1.5	6	ns
出力立ち上がり/立ち下がり時間、10%から90%	C _L = 50pF		9	14	ns
モード切替え時間					
受信から送信			13		ns
送信から受信			75		ns

注: (1)すべてのデバイスが1秒間のテストを受けます。合否判定規準は、5pC以上の5つ以上のパルスの有無です。(2)データ・エラーなしで耐えうる、絶縁バリア両端の電圧変化の割合。(3)データ・レートが0.3/PWDのときの最大パルス幅歪(PWD)から計算。(4)伝搬時間はV_{IN}=1.5Vを起点とし、V_O=2.5Vまでの時間。(5)すべての伝送方向の組合せにおけるチャンネルAとチャンネルBの伝搬時間の差。(6)立ち上がりエッジと立ち下がりエッジの伝達時間の差。

表1. ISO150仕様

DAC部の設計

ここでは、PCM1702によるD/A変換回路の実際の設計について解説します。

PCM1702の電源供給、接続

図9に示すように、PCM1702にはアナログ系の $\pm V_{CC}$ 電源とデジタル系の $\pm V_{DD}$ 電源があります。今回は特にノイズ・フリー動作を追求することから、この電源(グランドを含む)接続に関して考察します。図10にPCM1702の内部簡略等価ブロック図を示しま

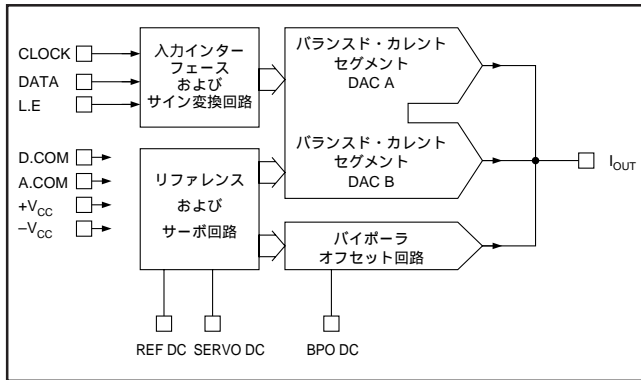


図8. PCM1702ブロック図

す。この図は内部動作を理解する上で重要なので、じっくり眺めて下さい。まず、トランジスタQ1からQ6は各ビットのカレント・セグメントを構成しており、このカレント・セグメントの電流 I_s が実際のDAC出力信号 I_{OUT} となります。 I_s はQ3(Q6)のエミッタ抵抗 R_e とベース・バイアス電圧 V_{BIAS} で決まります。この V_{BIAS} はREF、SERVOの各バイアスおよび安定化回路で安定化されています。

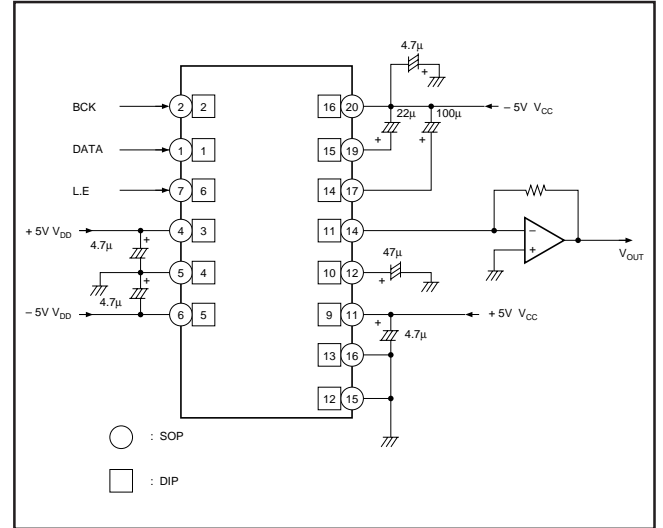


図9. PCM1702基本接続図

パラメータ	PCM1702 P/U, -J, -K			単位
	最小	標準	最大	
デジタル入力				
分解能		20		Bit
ロジックレベル				
V_{IH}	2.4		$+V_{DD}$	VDC
V_{IL}	0		0.8	VDC
$I_{IH}, V_i = +V_{DD}$			± 10	μA
$I_{IL}, V_i = 0V$			± 10	μA
入力クロック周波数、Fclk		12.5	20.0	MHz
伝達特性				
ゲイン誤差(電流出力)		± 1.0	± 3.0	%
ダイナミックレンジ(THD+N at $V_o = -60dB$, with IHF-A Filter)		110		dB
バイポーラ・ゼロ誤差		± 6.0		μA
Low Level Linearity(f = 1002Hz, at -90dB)		± 0.5		dB
S/N(バイポーラ・ゼロ点、IHF-Aフィルタ)	110	120		dB
全高調波歪率⁽¹⁾				
$V_o = F/S$				
PCM1702P/U		0.0025	0.0040	%
PCM1702P/U-J		0.0015	0.0025	%
PCM1702P/U-K		0.0010	0.0015	%
$V_o = -20dB$				
PCM1702P/U		0.008	0.020	%
PCM1702P/U-J		0.007	0.015	%
PCM1702P/U-K		0.006	0.010	%
$V_o = -60dB$				
PCM1702P/U		0.5	1.0	%
PCM1702P/U-J		0.4	0.8	%
PCM1702P/U-K		0.3	0.6	%
出力				
バイポーラ出力電流		± 1.2		mA
出力インピーダンス		1.0		k Ω
出力短絡保護		コモンに対して無限大		
電源条件				
電源電圧: $+V_{CC} = +V_{DD}$	+4.75	+5.00	+5.25	VDC
$-V_{CC} = -V_{DD}$	-4.75	-5.00	-5.25	VDC
電源電流: $+I_{CC} (+V_{CC}, +V_{DD}$ 共通接続)		+5	+9	mA
$-I_{CC} (-V_{CC}, -V_{DD}$ 共通接続)		-25	-41	mA
消費電力(Fclk=8.46MHz)		150	250	mW

注: (1)データレート8fs(352.8kHz)理想20ビット・データ、信号周波数f = 1002Hz、平均値測定。

表2. PCM1702仕様

一方、出力ノイズ N (total) は、個々のノイズをランダムノイズとすれば、二乗平均により N (total) = \sqrt{nN} となり、原理上 S/N 比がパラレル接続により改善されることがわかります。歪率 THD についても、DAC の特定のビットでの微分直線性誤差と方向が全て一致している場合は効果が少ないと思われませんが、同様にパラレル接続により改善することができます。EVM-1702 では、最大パラレル個数 n を $n = 4$ としていますので、ノイズについては 6dB の改善効果があります。ただし、実際には出力信号レベルを CD プレーヤの標準出力 $2V_{rms}$ に合わせると、ノイズの抑圧は、全体での残留ノイズレベルで制限されるために 120dB を超える S/N 比を達成するのは困難と言えます。実力的には 118dB から 120dB 程度の S/N 比となると思われます。

図13にチャンネルあたり1個のPCM1702の接続図を示します。パラレル接続の場合、デジタル入力とアナログ出力 I_{OUT} をそれぞれパラレルに接続すればかまいません。ただし、各デカップリングのコンデンサは、各ICのピンにそれぞれ接続し、共通で用いることはできません。前述の内部等価回路から、REF、SERVO の各デカップリング・コンデンサは対 $-V_{CC}$ 間に、BPO のデカップリング・コンデンサは対グランド間に接続します。特に、BPO端子は信号 I_{OUT} へのノイズ・フィルタとして機能するので、音質への影響は最も大きく、使用するコンデンサの品種はオーディオ用のものを選択し、最終的にはヒアリングで決めることをお勧めします。図14にDAC部の両チャンネル各パラレル個数 $n = 4$ での総合回路を示します。

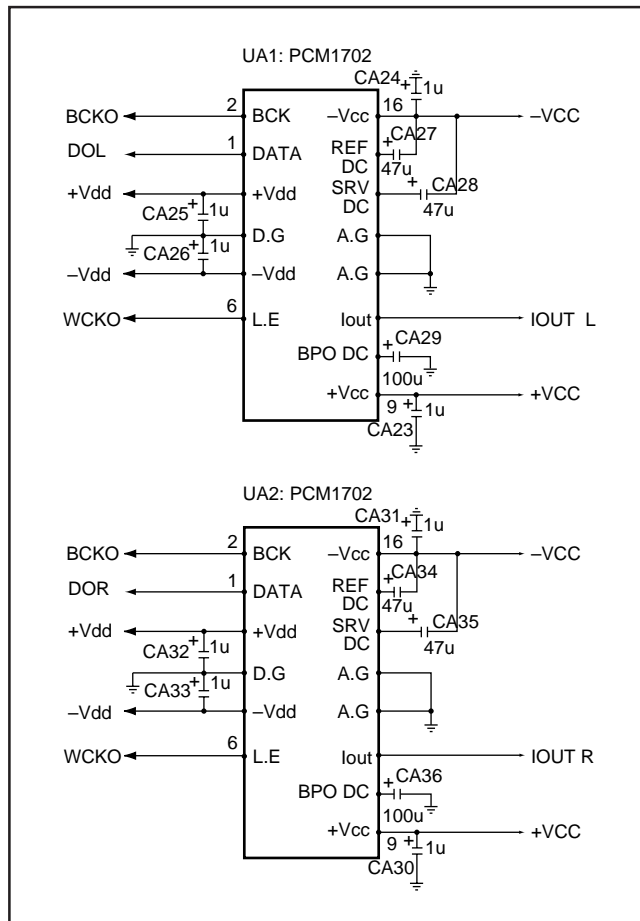


図13. PCM1702基本応用回路

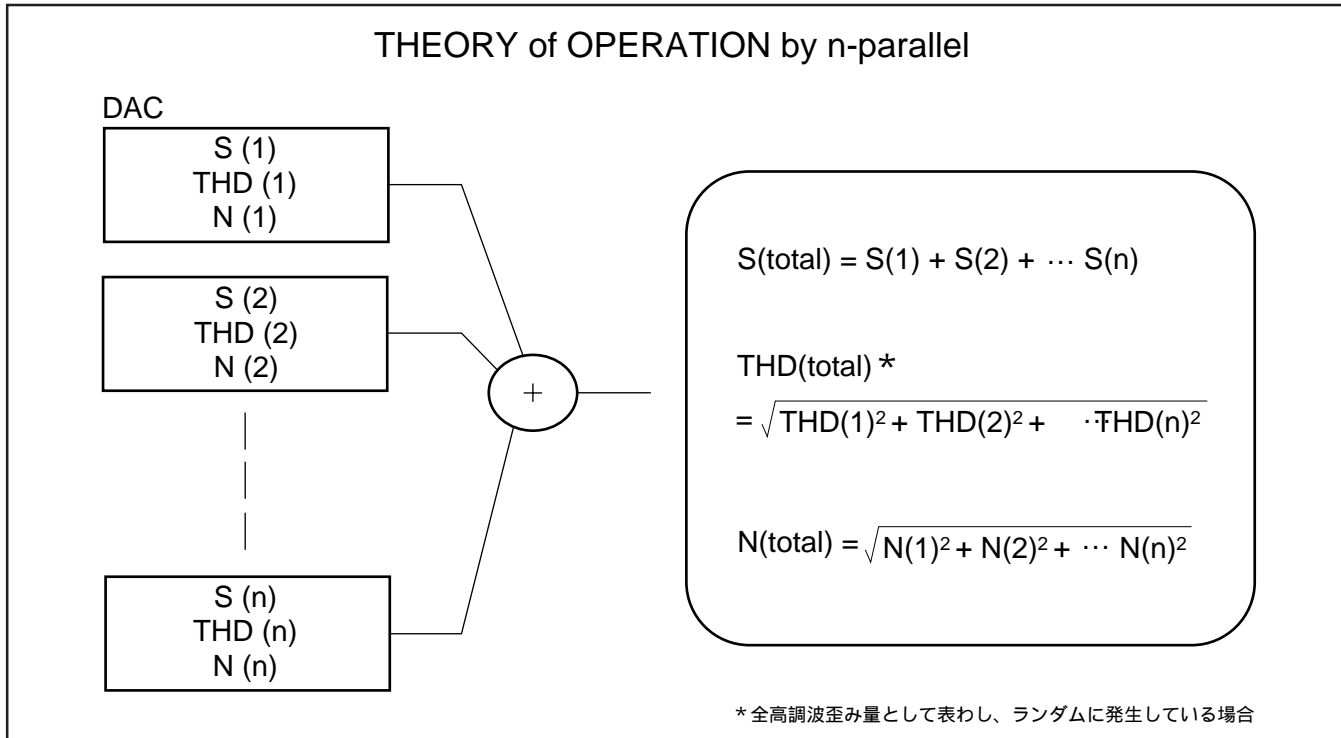
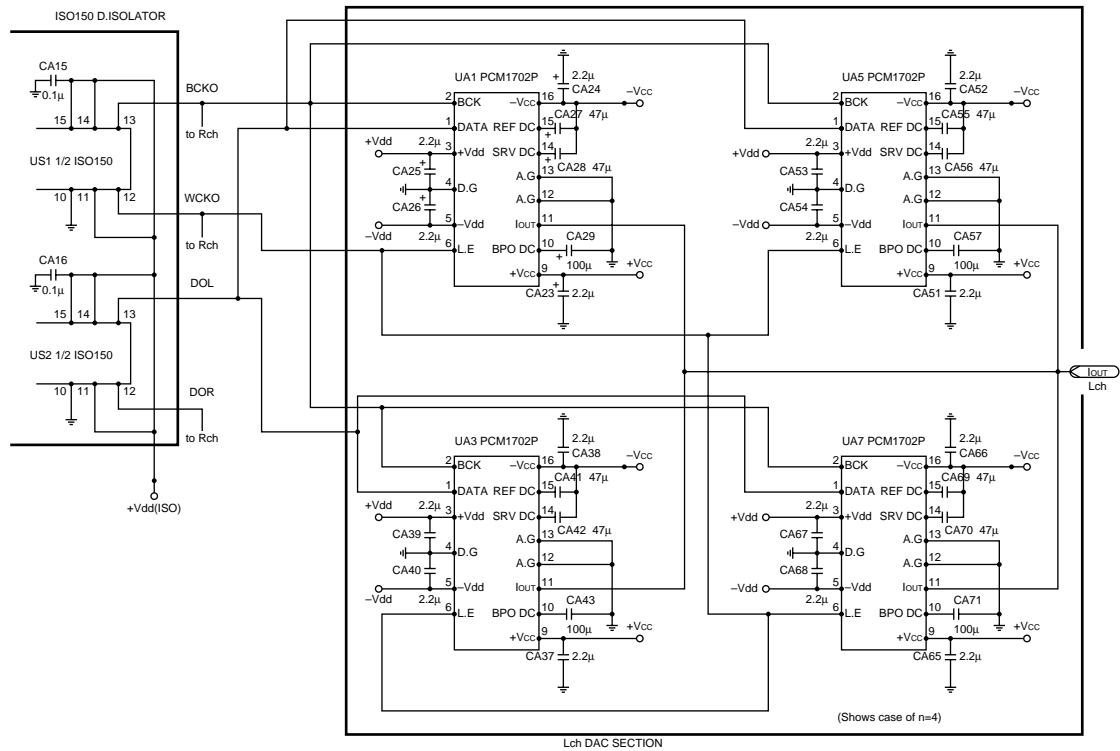
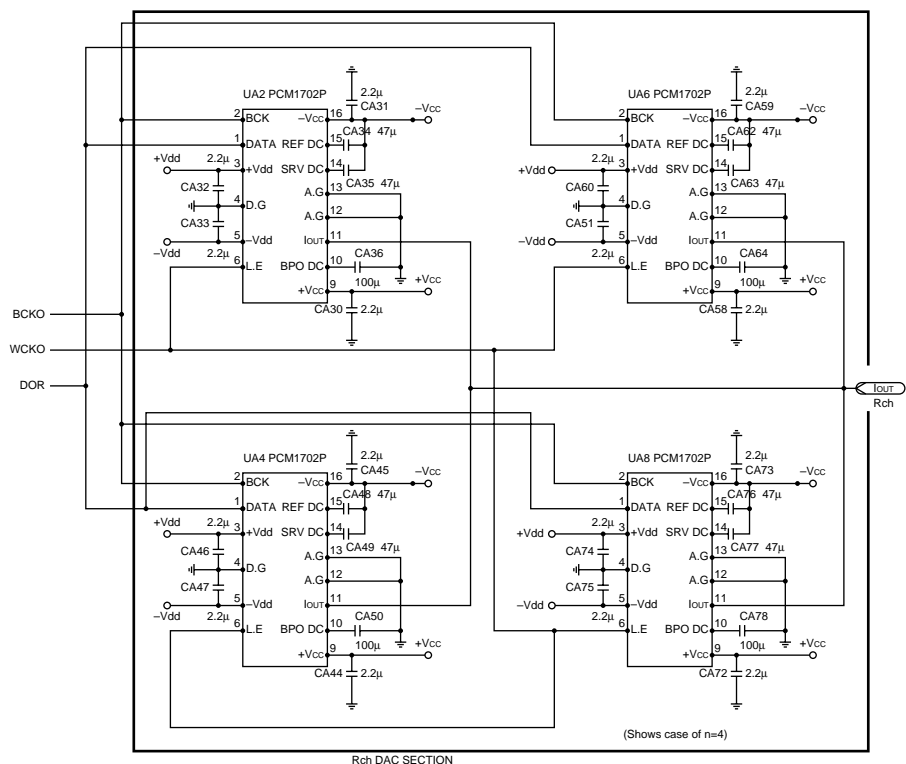
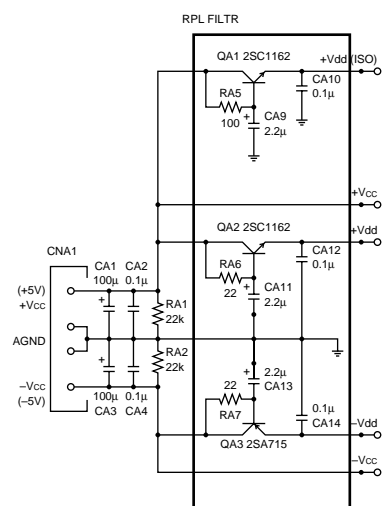


図12. DACパラレル接続の原理



Lch DAC SECTION



Rch DAC SECTION

図14. DAC部総合回路

I/V変換回路の設計

DAC PCM1702の信号出力は±1.2mAの電流出力であり、何らかの方法で電圧に変換しなければなりません。I/V変換の方式としては、単純な抵抗負荷によるもの、オペアンプによるもの、ディスクリットによるものがありますが、それぞれに長所、短所があります。抵抗負荷方式は最もシンプルで、抵抗が受動部品であることから歪の発生はほとんど無視できます。図15に抵抗負荷によるI/V変換の原理を示します。I/V変換後の電圧 V_o は次式で求められます。

$$V_o = I_{OUT} \times R_L = I_{OUT} \times (R_o // R_L) \quad (3)$$

このとき

R_o : DAC内部出力インピーダンス

R_L : 負荷抵抗

この方式の欠点は、図15の等価回路から、DACの I_{OUT} とグランド間には保護ダイオードが接続されているので、pn接合の順方向電圧0.6V以上の電圧振幅が得られないことです。次に、オペアンプによるI/V変換の基本原理と等価回路をノイズ解析とともに図17に示します。I/V変換の基本伝達特性は、トランスインピーダンス特性で表わされますが、通常では次式でI/V変換出力 V_o を求めることができます。

$$V_o = I_{OUT} \times R_f \quad (4)$$

トランスインピーダンスのカットオフ周波数 f_c は

$$f_c = 1 / 2\pi C_2 R_2 \quad (5)$$

で求められ、一般的に最も用いられているのがこのオペアンプに

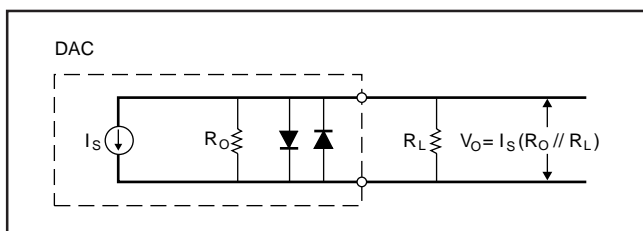


図15. 抵抗I/Vの原理

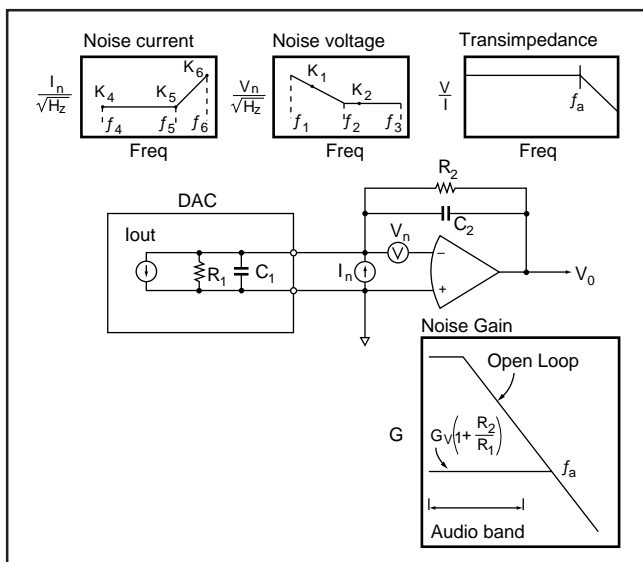


図16. オペアンプI/Vの原理

よる方式です。一部ではオペアンプによるI/V変換を敬遠する傾向もありますが、これはオペアンプの性能に問題があるためで、まともなオペアンプを使用すれば求める性能、音質を得ることは可能です。このことから、EVM-1702では、シンプル&ストレートの思想で、なおかつ性能、音質を満足させることから、オペアンプによるI/V変換を選択します。

回路がシンプルなので、オペアンプの選択がこのI/V変換では最重要検討項目となります。その検討項目をI/V変換用に解説します。

オペアンプの選択基準とI/V変換との関係

DACのI/V変換では、比較的高速のデータレートで入力信号が変化するので、まずはスピード、すなわちオペアンプのダイナミック特性が重要となります。

このダイナミック特性としては、

* 開ループ・ゲイン/位相周波数

* セトリングタイム

* スルーレート

があり、また、その他の重要特性としては、

* オーディオ・バンド・ノイズ

* DCオフセット電圧/バイアス電流

* THD + N

となります。では、具体的な選択基準の検討について解説します。

開ループ・ゲイン/位相特性は、オペアンプ内部で複雑な位相補正のない、フラットな特性が必要で、経験的ですが、ユニティ・ゲイン周波数が少なくとも5MHz以上、できれば10MHz程度まであることが重要です。高速性の基本特性はこの開ループ・ゲイン特性でほとんど決まります。セトリングタイムは、モデルによっては規定していないものもありますが、実際の変換では重要なパラメータで、スルーレートが高くてもこのセトリング・タイムが長いと実用できません。44.1kHzの8倍オーバー・サンプリングでの変換レート T_r は、

$$T_r = 1 / (44.1\text{kHz} \times 8) = 2.83\mu\text{s} \quad (6)$$

となり、少なくともこの T_r の半分以下の時間で信号が所定の値へ安定していなければなりません。このセトリングタイムが長いと、所定の値へオペアンプ出力が安定する前に次のデータへ入力に変化することになり、高速な変化データ変化への正確な追従性が失われてしまいます。スルーレートは同様に、8倍オーバー・サンプリングで、2Vrms(約6Vpp)の信号を得ようとした場合、

$$SR = 2\pi \times 352.8\text{kHz} \times 6V = 13.3V/\mu\text{s} \quad (7)$$

が最低必要な値になりますが、実際には20kHzのフルスケール変化が、1サンプルの間にはないので一応の目安とします。オーディオ・バンド・ノイズについては、120dBのS/N比を実現するためには、単純計算で2Vrmsの-120dB、すなわち、2μVrms以下が要求されます。オペアンプのノイズ規定では雑音スペクトラム密度の単位が用いられるので、この場合は周波数帯域でrmsに換算します。経験的な目安としては、10nV/√Hz程度です。ただ、S/N比規定では聴感補正フィルタが用いられるので、周波数帯域が制限されことになり若干の余裕はあります。ノイズ仕様は周波数帯域と直接関係するので、この点スペックの判断には注意します。DCオフセット電圧とバイアス電流は、I/V変換のオフセット誤差になります。あまり大きいと出力オフセット電圧が大きくなるので、悪くても数mV以下のものを選択します。

実際のおペアンプの選択とI/V変換回路の設計

これまで解説したオペアンプへの要求性能を考慮し、EVM-1702ではパー・ブラウンのOPA627APを選択します。図17に

OPA627の開ループ・ゲイン/位相特性を、表3に電気的特性を示します。OPA627APの主要パラメータを前述の要求性能と比較してみると、

開ループ・ゲイン(ユニティ・ゲイン)周波数: 15MHz

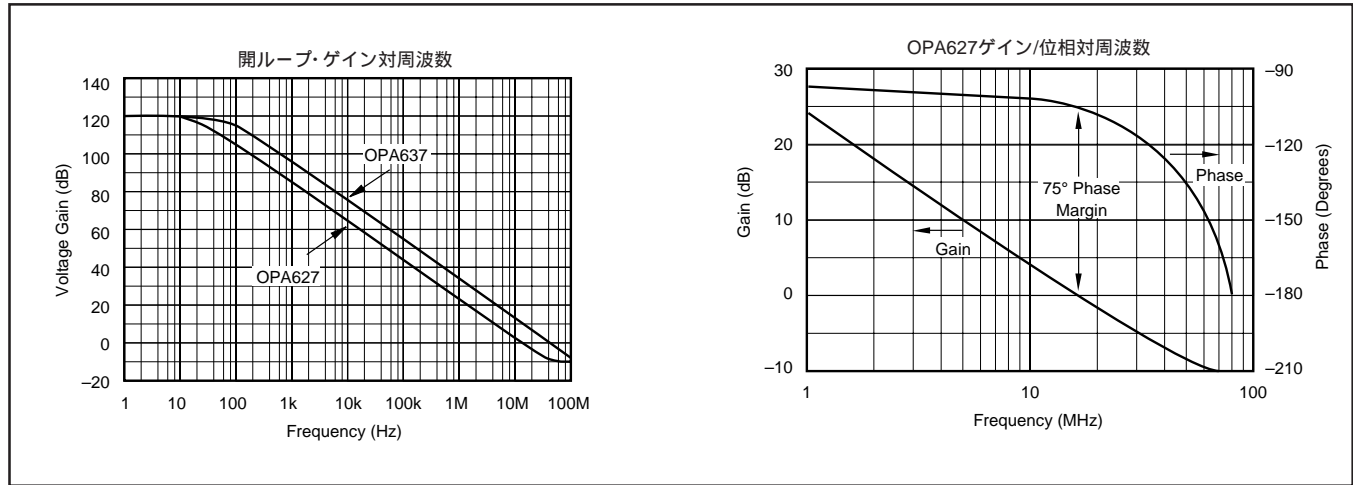


図17. OPA627開ループ・ゲイン/位相特性

パラメータ	条件	OPA627BM/BP/SM OPA637BM/BP/SM			OPA627AM/AP/AU OPA637AM/AP/AU			単位
		最小	標準	最大	最小	標準	最大	
ノイズ 入力電圧ノイズ ノイズ密度、 $f = 10\text{Hz}$ $f = 100\text{Hz}$ $f = 1\text{kHz}$ $f = 10\text{kHz}$ 電圧ノイズ、 $\text{BW} = 0.1\text{Hz} \sim 10\text{Hz}$ 入力バイアス電流ノイズ ノイズ密度、 $f = 100\text{Hz}$ 電流ノイズ、 $\text{BW} = 0.1\text{Hz} \sim 10\text{Hz}$			15 8 5.2 4.5 0.6	40 20 8 6 1.6		20 10 5.6 4.8 0.8		$\text{nV}/\sqrt{\text{Hz}}$ $\text{nV}/\sqrt{\text{Hz}}$ $\text{nV}/\sqrt{\text{Hz}}$ $\text{nV}/\sqrt{\text{Hz}}$ $\mu\text{Vp-p}$ $\text{fA}/\sqrt{\text{Hz}}$ fAp-p
開ループ・ゲイン 開ループ電圧ゲイン 全仕様温度範囲 SMグレード	$V_o = \pm 10\text{V}$, $R_L = 1\text{k}\Omega$ $V_o = \pm 10\text{V}$, $R_L = 1\text{k}\Omega$ $V_o = \pm 10\text{V}$, $R_L = 1\text{k}\Omega$	112 106 100	120 117 114		106 100	116 110		dB dB dB
周波数応答 スループレート: OPA627 : OPA637 セトリングタイム: OPA627 0.01% 0.1% OPA637 0.01% 0.1% ゲイン・バンド幅積: OPA627 : OPA637 全高調波歪 + ノイズ	$G = -1$, 10Vステップ $G = -4$, 10Vステップ $G = -1$, 10Vステップ $G = -1$, 10Vステップ $G = -4$, 10Vステップ $G = -4$, 10Vステップ $G = 1$ $G = 10$ $G = +1$, $f = 1\text{kHz}$	40 100	55 135 550 450 450 300 16 80 0.00003		*	*		$\text{V}/\mu\text{s}$ $\text{V}/\mu\text{s}$ ns ns ns ns MHz MHz %
電源 定格動作電圧 動作電圧範囲 電流		± 4.5	± 15 ± 7	± 18 ± 7.5	*	*	*	V V mA
出力 出力電圧 全仕様温度範囲 出力電流 短絡電流 出力インピーダンス、開ループ	$R_L = 1\text{k}\Omega$ $V_o = \pm 10\text{V}$ 1MHz	± 11.5 ± 11	± 12.3 ± 11.5 ± 45 +70/-55 55	± 100	*	*	*	V V mA mA Ω

*印仕様はBグレードと同一。

表3. OPA627仕様

セトリングタイム：550ns(0.015/10Vステップ)

スルーレート：40V/μs(最小)

雑音密度：10nV/√Hz(100Hz)

DCオフセット電圧：250μV(最大)

と全ての仕様を満足していることがわかります。すなわち、OPA627APはEVM-1702でのI/V変換に最適なデバイスであると言えます(もちろん、アップグレードのOPA627BPでも可)。

図18に後述のポストLPF部も含めたI/V変換部の全回路図を示します。

帰還抵抗RFは、PCM1702の平行個数nと出力電圧レベルV_Oで設定します。PCM1702のI_{OUT}は±1.2mAなので、

$$V_O = n \times \pm 1.2\text{mA} \times R_F \quad (8)$$

の関係となり、例えば、V_O = 6V(2Vrms)、n = 4ならば、式(8)よりRF = 625Ωとなります。このRF値は、使用条件によって設定を変えることができます。また、帰還容量CFはデータ変化時の余計なオーバー(アンダー)シュートの補正効果に利用し、これも経験的ですが、回路のトランスインピーダンス・カットオフ周波数ftを1MHzから3MHz程度に設定します。ftは次式になり、RFに

よって変わります。

$$f_t = 1/2\pi R_F C_F$$

(9)

例えば、ft = 2MHz、RF = 630Ωなら、式(9)よりCFは126pFとなります。この定数は、セトリングタイムとの関連も考慮し、実装時に実変換波形を観測して出力変化追従性を満足する値とすることでもかまいません。

ポストLPF部の設計

I/V変換されたアナログ信号は、オーディオ信号の他にオーディオ帯域外のサンプリング・スペクトラムを含んでいるので、この帯域外成分をポストLPFで除去します。EVM-1702の場合は、デジタルフィルタとしてのPMD100が100dB以上の阻止帯域減衰量を有しているため、比較的急峻なカットオフ特性を必要としない、次数の少ないフィルタで構成することができます。ポストLPFの構成、設計は音質への影響が意外に大きいので注意しなければなりません。EVM-1702クラスの標準的なポストLPFとしては、2次から3次のアクティブフィルタとするのが最適と思われます。

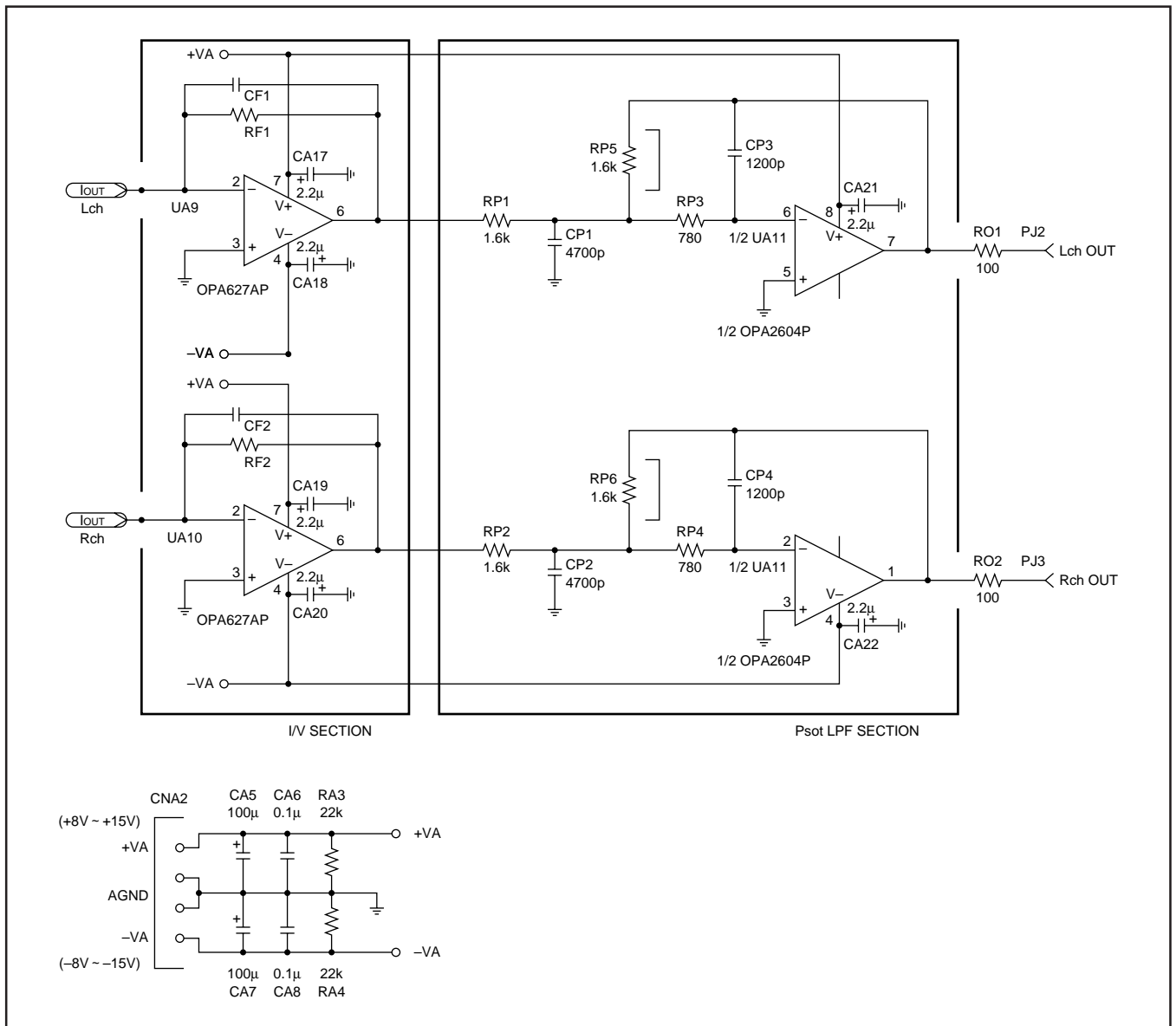


図18. EVM-1702回路図

使用オペアンプの選択

ポストLPF部では、音質面を考慮し、なおかつある程度のダイナミック特性も満足するモデルとして、パー・ブラウンのOPA2604APを選択します。OPA2604の電気的特性を表4に示します。OPA2604APは極めて低いTHD + N特性と同時に十分なゲイン・バンド幅をもっており、音質面では信号経路にオールFETを用いるなどの配慮がされています。ノイズ規格も前述のOPA627と同等で、ダイナミック特性、音質面でEVM-1702でのポストLPF部に最適なオペアンプです。

ポストLPF回路の設計

オペアンプによるアクティブLPFの種類は多くありますが、THD + N特性、フィルタの位相特性、音質面を考慮し、EVM-1702では、反転型、多重帰還型の2次のLPFを構成することになります。反転型のためアナログ出力は位相が反転しますが、音質と性能を優先させます。他にもGIC型といったLPFがありますが、経験的にOPA2604との相性が最適とは言えないのでこの方式としました。図19に、ここで用いる2次LPFの基本回路を示します。

LPF特性の設計手順は一般的なものと同じです。一番重要なのはカットオフ周波数 f_c の設定で、経験上音質面に影響することがわかっています。オーディオ信号帯域は20kHzですが、少なくとも30kHzから40kHzまでは、その周波数特性をフラットにしておくべきです。幸いデジタルフィルタによりサンプリング・レートは8fsとなっているため、100kHz以下のスペクトラム成分残留量

は-100dBレベルにあるので、20kHzを超えたところで急峻にフィルタリングする必要もありません。以下、図19におけるLPFの各CRコンポーネントの設計手順を示します。

f_c : カットオフ周波数

A_0 : ゲイン ($A_0 = 1$)

$$R = 1 / (2\pi f_c C R) \quad \text{式(9)}$$

$$C1 = C \quad \text{式(10)}$$

$$C2 = 4Q^2(A_0 + 1)C \quad \text{式(11)}$$

$$R1 = R / (2Q A_0) \quad \text{式(12)}$$

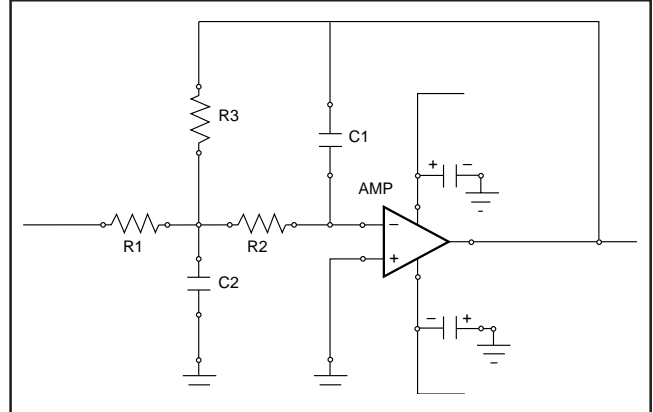


図19. 2次LPF基本回路

パラメータ	条件	OPA2604AP, AU			単位
		最小	標準	最大	
ノイズ 入力電圧ノイズ ノイズ密度 : $f = 10\text{Hz}$ $f = 100\text{Hz}$ $f = 1\text{kHz}$ $f = 10\text{kHz}$ 電圧ノイズ : $f = 20\text{Hz} \sim 20\text{kHz}$ 入力バイアス電流ノイズ 電流ノイズ密度 : $f = 0.1\text{Hz} \sim 20\text{kHz}$			25 15 11 10 1.5		$\text{nV}/\sqrt{\text{Hz}}$ $\text{nV}/\sqrt{\text{Hz}}$ $\text{nV}/\sqrt{\text{Hz}}$ $\text{nV}/\sqrt{\text{Hz}}$ $\mu\text{Vp-p}$ $\text{fA}/\sqrt{\text{Hz}}$
開ループゲイン 開ループ電圧ゲイン	$V_o = \pm 10\text{V}, R_L = 1\text{k}\Omega$	80	100		dB
周波数応答 ゲイン・バンド幅積 スルーレート セトリングタイム : 0.01% 0.1% 全高調波歪率+ノイズ (THD+N) チャンネル間分離	$G = 100$ $20\text{Vp-p}, R_L = 1\text{k}\Omega$ $G = -1, 10\text{V}$ ステップ $G = 1, f = 1\text{kHz}$ $V_o = 3.5\text{Vrms}, R_L = 1\text{k}\Omega$ $f = 1\text{kHz}, R_L = 1\text{k}\Omega$	15	20 25 1.5 1 0.0003		MHz V/ μs μs μs % dB
出力 電圧出力 電流出力 短絡電流 出力抵抗、開ループ	$R_L = 600\Omega$ $V_o = \pm 12\text{V}$	± 11	± 12 ± 35 ± 40 25		V mA mA Ω
電源電圧 仕様電圧範囲 動作電圧範囲 電流 (両アンプ合計)		± 4.5	± 15 ± 10.5	± 24 ± 12	V V mA

表4. OPA2604仕様

$$R2 = R / \{2Q(A_0 + 1)\} \quad \text{式(13)}$$

$$R3 = A_0 R1 \quad \text{式(14)}$$

通常、通過帯域内レスポンスをフラットに設定するにはQの設定を $Q = 0.707$ に設定します。実際のEVM-1702での定数は、 $f_c = 80\text{kHz}$ とし、 $C = C1 = 1200\text{pF}$ として各定数を設計しています。計算値の定数は当然、E12シリーズ等の入手可能なものに置き換えますが、この置き換え誤差によるカットオフ周波数の誤差は気にするレベルではありません。この定数での総合回路を図18に示します。

CRパッシブLPFへの対応

アクティブLPFはオペアンプを信号が通過するため、オペアンプの音質カラーがどうしても出てしまいます。シンプル&ストレートに固執するのであれば、ポストLPFをCRによる1次パッシブにすることも可能です。ただし、この場合6dB/octの特性から、8fs付近のスペクトラムに対する減衰量は-24dB程度となるため、測定上はこの折り返し成分の影響があります。実際に1次CR LPFを構成する場合は、図18のようにRP1(RP2)とCP1(CP2)で1次LPFを構成します。CR定数はカットオフ周波数 f_c に応じて設定します。当然、オペアンプは除去し、RP5(RP6)の部分をジャンパします。このポストLPFの構成は、個人の音質上の趣向によりますので、どちらを選択するかは自由です。EVM-1702では、オリジナルでは2次LPFを用いています。

アナログ出力回路

図18に示す通り、I/V変換、ポストLPFを通過した信号はそのまま $RO1(RO2)100\Omega$ を介してEVM-1702のアナログ信号出力となります。これは、出力に対する保護とオペアンプの容量負荷での発振対策を兼ねています。

回路設計のSummary

今までSuper HiFi DAC Board EVM-1702の回路設計の実際について、種々の検討項目とともに解説をしてきましたが、回路としての設計はほとんど終わりました。ここで、回路設計のポイントについて再確認の意味も含めてのsummaryを行います。

デジタル部

デジタル部は、DAIレシーバCS8412とHDCDデコード、 $\times 8$ デジタルフィルタPMD100で基本的に構成しています。システムクロックは256fsで、DAC部へのインターフェースは20ビットを選択しなければなりません。2ndPLLはオプションで、VCOモジュールV18M432を用います。イニシャルでは2ndPLLは実装していませんので、ジャンパの設定によってクロックを切り替えます。

デジタル・アイソレータ部

ISO150がこのセクションの全てです。絶縁耐圧1500Vrmsにより、デジタル/アナログ完全分離(アイソレーション)を実現します。

DAC部

ここでのキーポイントは、リップル・フィルタによるPCM1702のノイズフリー、電源動作とパラレル接続による低ノイズ化、低

歪率化です。総合THD+N特性はほとんどこのDAC部、PCM1702の特性で決まります。

I/V変換部

OPA627APのダイナミック性能と、I/V変換に要求されるダイナミック特性との比較、検証がここでのキーポイントです。優れたI/V変換回路の設計にはまず、オペアンプの選択が重要です。

ポストLPF部

アクティブフィルタもオペアンプの選択と回路構成、カットオフ周波数 f_c の設定が重要です。デジタルフィルタの特性を考慮してこれらの構成を決定します。

ボード・レイアウトとパターン設計

回路設計は一応終了しましたが、実際に各回路の目標性能を発揮させるためには、実装技術も重要な要素になります。EVM-1702では、当初の仕様設定で、2層パターン、基板サイズ297mm \times 210mm(A4版サイズ)としましたので、全ての回路をこのサイズに収めるようレイアウトします。レイアウトの際の大まかなパーツ配置はA4の紙の上に主要パーツ(ソケット)を置き、電源、デジタル信号の流れ、アナログ信号の流れをそれぞれ検討して、無理のない接続になるように、いくつかの配置を試してみます。また、EVM-1702では、デジタル部とアナログ部は完全分離構成となりますから、まずデジタル部とアナログ部を大きく分けます。2層パターンの部品面は、デジタル部、アナログ部ともにベタグランドにします。

電源供給、デジタル・インターフェース入力、アナログ信号出力の各入出力は基板のいずれかの側に揃えた方が基板として使いやすくなります。以下、セクションごとの実設計について解説しますが、解説の都合上、Super HiFi DAC Board EVM-1702の完成した図、部品配置を図20に、部品面パターンを図21に、半田面パターンを図22にそれぞれ先に示します。各部での共通する最も重要なポイントは、電源のデカップリングで、デカップリング・コンデンサはICデバイスのピンにできる限り近接させて接続します。このことは、まず何よりも最優先させなければなりません。

デジタル部

デジタル部の主要パーツはCS8412、PMD100で、これらの信号フローと電源供給を優先してレイアウトとパターンを考えます。オプションの2ndPLL部はこれらと別にまとめます。比較的速度の速いクロック系はパターンラインが最短距離で接続できるようにし、これを優先させます。H/Lの制御ラインはその分長くなっても問題ありません。図22のように、電源パターンはできるだけ太くし、特に速度の速い256fs、384fsクロックにはできる限りグランド・ガードをしてパターンを接続します。次に優先させるのは実際のデータ・クロックで、LRCK、BCK、DATAの各クロックも余計な回り道をさせずに接続します。

デジタル・アイソレータ部

デジタル部パターンとアナログ部パターンは相互干渉防止のため物理的に10mm程度の距離をおいて配置します。この間を

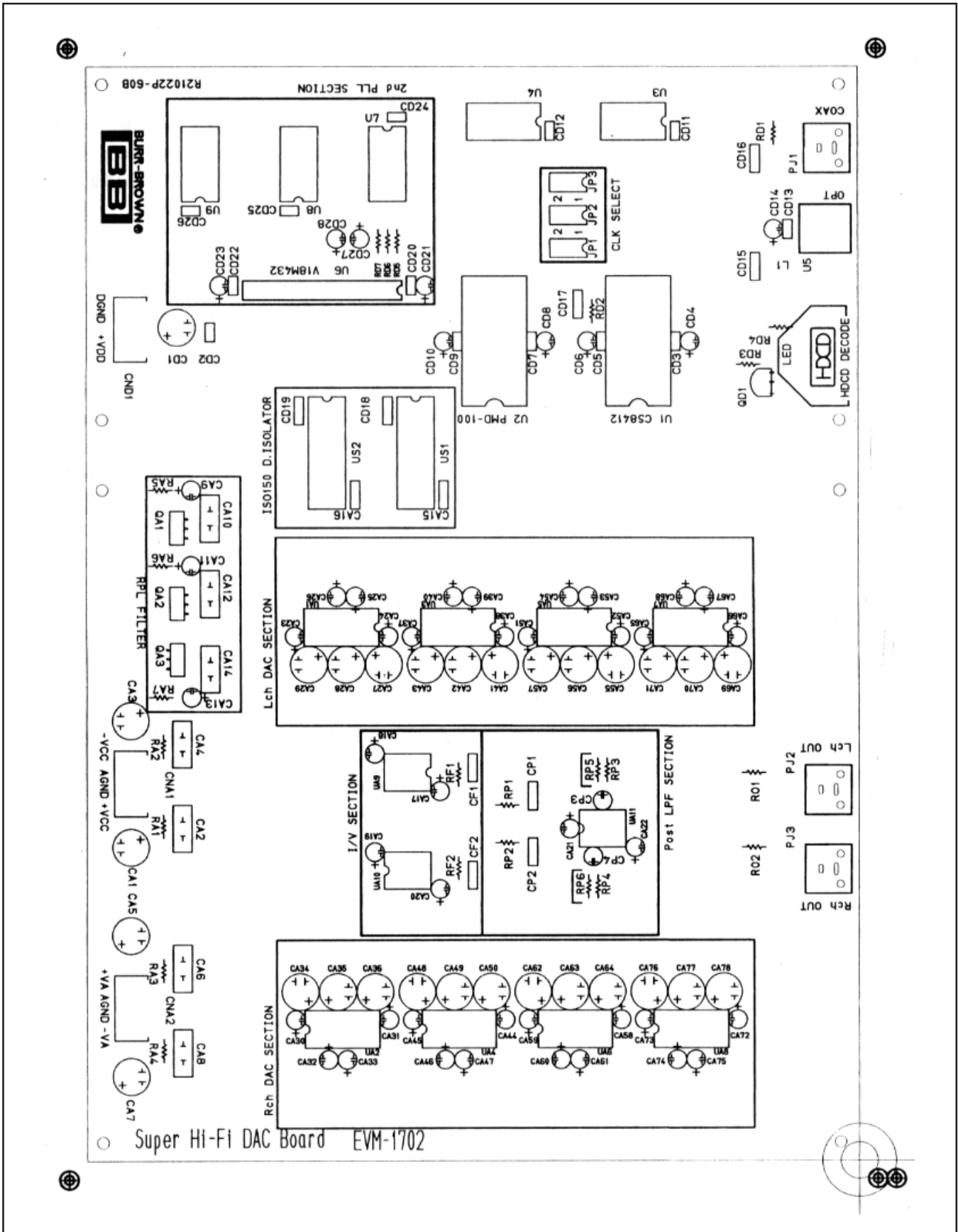


图20. EVM-1702部品配置图

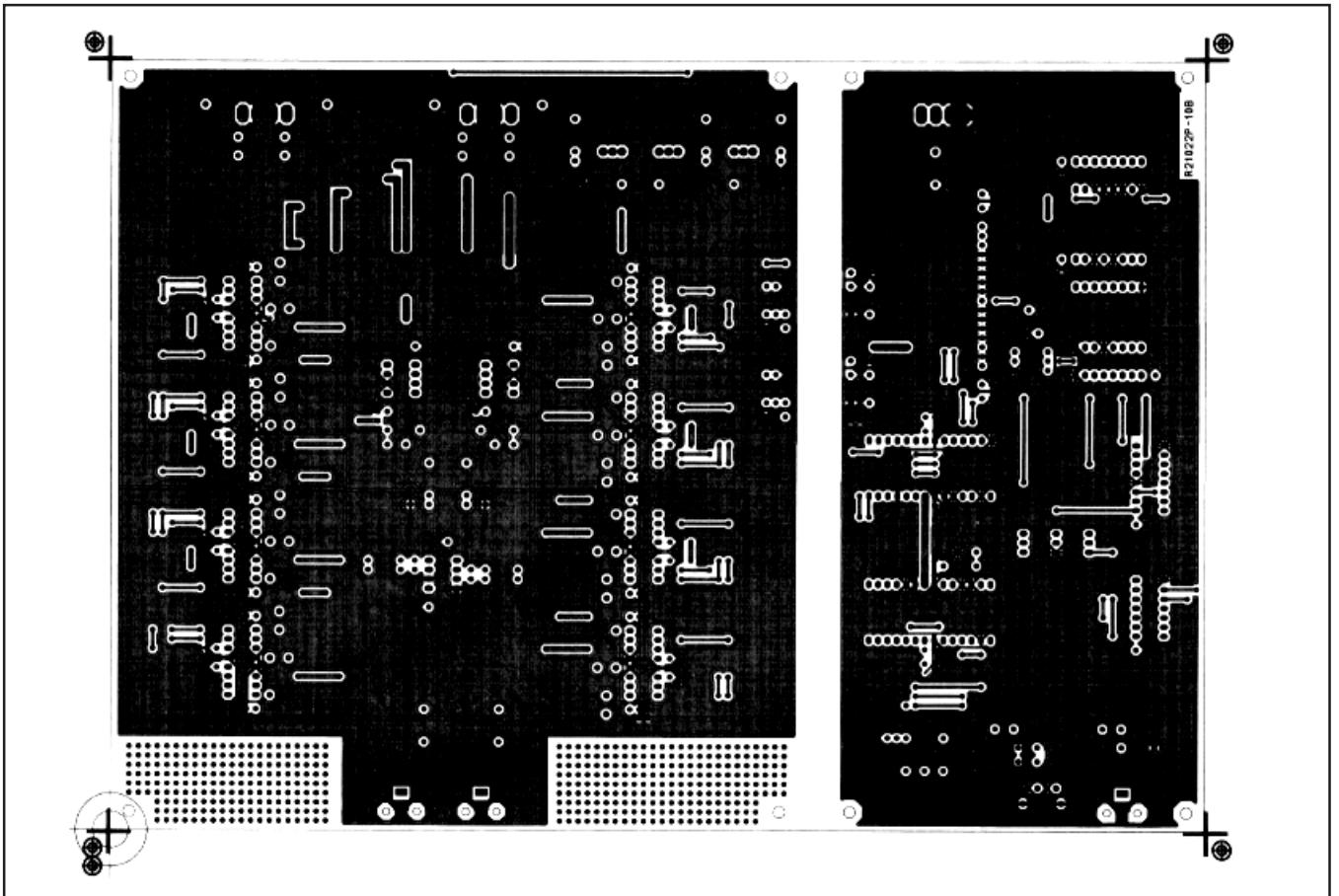


図21. 部品面パターンレイアウト

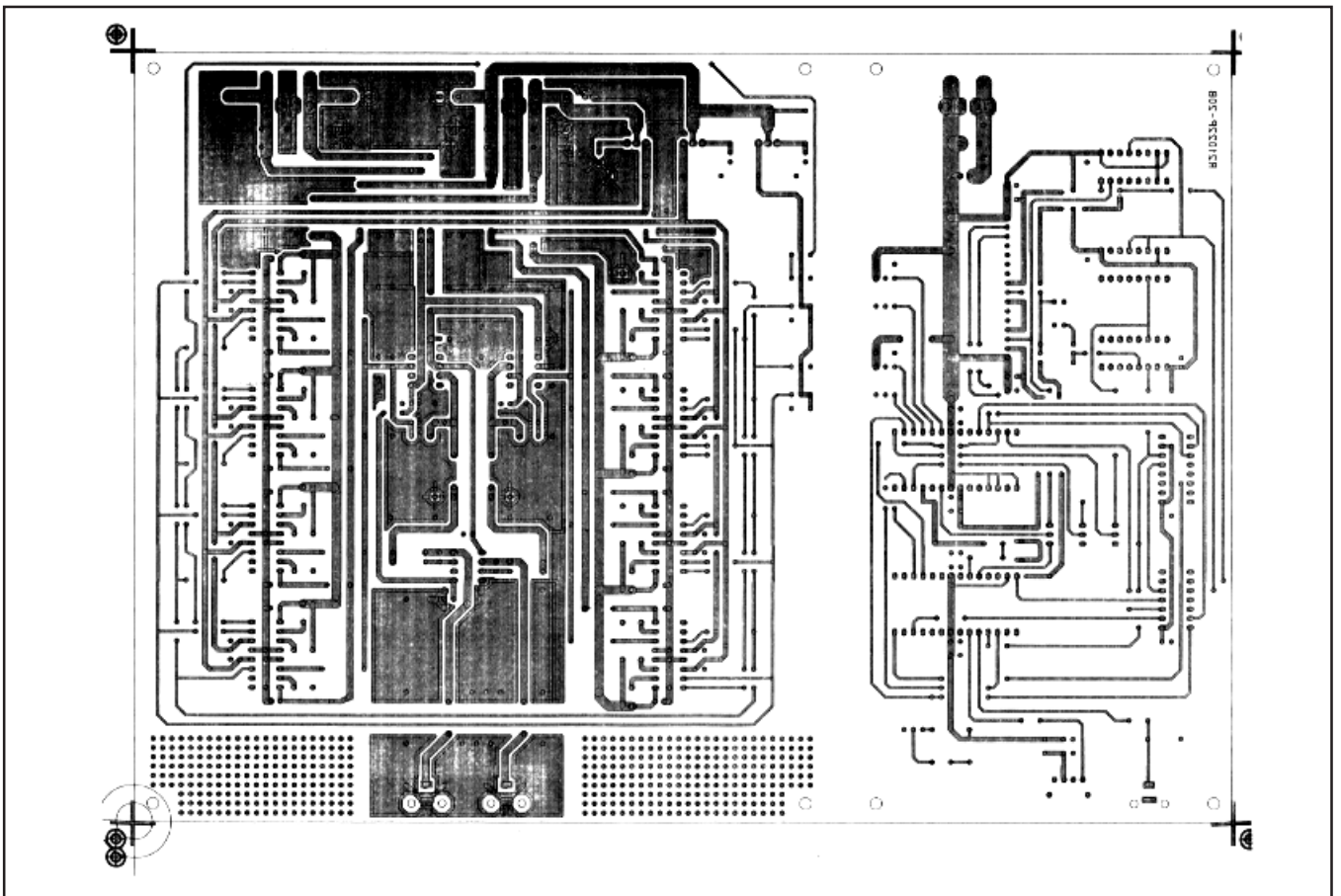


図22. 半田面パターンレイアウト

ISO150で絶縁伝送するので、両パターン間の隙に信号、電源パターンがはみ出ないようにします。

アナログ部

(1)DAC部

アナログ部での最重要設計ポイントは、DAC PCM1702の平行接続用配置と、PCM1702のデジタル入力クロック(BCK、DATA、LE)とアナログ系(I_{OUT} 、各デカップリング)との分離です。PCM1702の入力クロックと、特にアナログ出力 I_{OUT} は物理的に離し、両者のパターンは絶対にクロスしないようにしなければなりません。

実際のPCM1702の配置を考えた場合、まず、基板の中心側が外周部どちらかにデジタル系クロックをまとめることを考えます。これは、逆にアナログ部をどちら側に配置するかということになります。今回は、PCM1702を平行接続するため、PCM1702の I_{OUT} はできる限り最短距離で接続し、同時にI/V部へも最短距離で接続しなければなりません。したがって、PCM1702のピン配置から I_{OUT} を含めたアナログ側は基板中心部へ配置することとします。また、PCM1702の内部動作で説明した通り、特に $-V_{CC}$ ラインは対ノイズ性を考慮しなければなりませんので、パターンラインは比較的太くし、ストレートに引きます。

図20、図21、図22からわかる通り、これらの条件を考慮し、 I_{OUT} については、DACから $\pm V_{CC}$ ラインの外側で各DACの I_{OUT} と接続するようにし、半田面にもグランド・ガードをして補強します。アナログ部を基板内側に配したため、DACへの各クロックは基板の外周部にパターンラインを引いています。 $\pm V_{CC}$ および $\pm V_{DD}$ の各ピンの電源デカップリング・コンデンサの位置はICデバイスに非常に近接させています。

(2)I/V部、ポストLPF部

I/V変換部においては、オペアンプOPA627の反転入力(ピン2)が最もノイズに敏感となるので、 I_{OUT} ラインが最短で接続されるようにし、帰還抵抗RF等のパターンもなるべく最短距離で接続します。

I/V変換後のアナログ電圧出力は、ポストLPF部から基板上の出力端子までストレートに信号が流れるようにパターン・レイアウトします。また、EVM-1702では、ポストLPFの構成をインシャルで2次アクティブとし、CRの1次パッシブも可能にしていますので、ここでは使用するコンデンサの種類(形状、大きさ)を考慮し、CP1、2の部分は若干のスペースをとるようにします。また、このセクションでも、アナログ信号のリターン・インピーダンスを極力低くし、信号をガードするため半田面でのグランドを補強しています。

(3)電源およびリップル・フィルタ部

この部分での設計ポイントは、電流量の多い電源ライン、特に $-V_{CC}$ ラインのパターン幅を比較的太くしてレイアウトします。

ダイナミック特性テスト

さて、今まではSuper HiFi DAC Board EVM-1702の回路およびパターン(基板)設計に関し解説してきましたが、ここでは実際の組み立ておよび完成したSuper HiFi DAC Boardのダイナミック特

性について実測、評価を行い、当初の目標スペックに対しての実現度合いも含めて考察します。

テスト条件

(1)測定帯域

通常、EIAJ等で規定されているCDプレーヤの測定法では、急峻な減衰カーブを持つカットオフ周波数20kHzの測定用LPFで理想的な帯域制限を行います。これは、帯域外スペクトラムを完全に除去できていないと正確な測定が行えないため、0.0015%オーダーの歪や120dBのS/N比を測定するためには欠かせません。一方、Super HiFi DAC Boardにおいては、-100dB以上の阻止帯域減衰量をもつデジタルフィルタと2次ポストLPFとの組み合わせにより、帯域外スペクトラムの除去は20kHz測定用LPFを必要とするほど残留していないので、ここでの測定では測定器に内蔵されている22kHz、30kHzのLPFを用いての測定を行います。また、PCM1702はマルチビット型DACであり、一般的な1ビットデルタ・シグマ型DACと異なり、帯域外で上昇するノイズ・シェーピング特性をもたないことにもよります。

(2)デジタル信号源と測定器

デジタル信号源としては大別すると、

- * CDプレーヤのテストディスク再生でのデジタル信号(16ビット)
- * SYSTEM-ONE(Audio Precision社)のデジタル信号(16ビットから24ビット)

があり、データ分解能については、CD Test Discは当然16ビットのみで、SYSTEM-ONEでは、設定により16ビットから最大24ビットまでに対応できます。これらはテスト項目、目的に応じて使い分けます。また、SYSTEM-ONEでは、そのデジタル信号に一種のディザが含まれていると思われ、測定値が例えばCDのTest Discに比べて若干悪くなる傾向があります。どちらの信号源もSuper HiFi DAC BoardにはS/PDIFでインターフェースしてデジタル信号入力とします。THD + N、ダイナミック・レンジ、S/N比の各主要ダイナミック特性は同様に、大別すると

- * #725 THDアナライザ(シバソク社)
- * SYSTEM-ONEオーディオ・アナライザ(Audio Precision社)

で測定します。各測定器に付属しているフィルタ類は、

- #725 : 400Hz HPF、30kHz LPF、100kHz LPF、A-Filter
- SYSTEM-ONE : 10Hz HPF、22Hz HPF、100Hz HPF、400Hz HPF、
- : 22kHz LPF、30kHz LPF、80kHz LPF、100kHz LPF、A-Filter

で、原則として、#725では400Hz HPF、30kHz LPFをON、SYSTEM-ONEでは400Hz HPF、22kHz LPFをONで用います。ダイナミック・レンジやS/N比の測定では、EIAJ規定によりA-FilterをONします。いずれの測定器でも、結果的には同一信号源、同一フィルタでの測定結果の値はほぼ一致しており、その差は0.5dB以内です。

(3)ダイナミック特性テスト・ブロックダイアグラム

実際のテストブロック図を図23に示します。信号源はSYSTEM-ONEまたはCDテストDiscで、測定側はSYSTEM-ONEまたは#725 THDアナライザを用い、スペクトラム測定にはFFTアナライザを用います。これらは、測定項目、目的に応じて適宜使い分けてください。例えば、連続するリニアな信号変化(レベル、周波数)をパラメータとする場合や、20ビット分解能の場合はSYSTEM-ONEを用います。

(4)基本測定条件

今回のテストにおける基本測定条件は、特に記述のない限り下記によるものです。

- * サンプル周波数 $f_s = 44.1\text{kHz}$
- * 信号周波数 $f_a = 1\text{kHz}$
- * 400Hz HPF ON、22kHzまたは30kHz LPF ON
- * 電源電圧 $V_{DD} = +5\text{V}$ 、 $V_{CC} = \pm 5\text{V}$ 、 $V_A = \pm 15\text{V}$

テストデータ

ここでは、各ダイナミック特性やその他の特性の実測結果のデータを示します。

(1) THD+N特性

THD + N特性は、このボードの非直線性とダイナミック動作時の雑音を表すもので、対レベルおよび対周波数の項目についてデータ・ビット長(16ビット、20ビット)の各パラメータで測定したものです。図24にTHD + N対レベル特性、図25にTHD + N対周波数特性をそれぞれ示します。

PCM1702は、20ビットの分解能を有しているため、16ビットデータでは16ビットデータのもつ量子化雑音レベルによってTHD + N値が制限されます(PCM1702の歪成分よりデータの量子化雑音レベルのほうが大きい)。20ビットデータでは、PCM1702のTHD性能がそのまま現われ、メジャー・キャリアでの歪のパラ

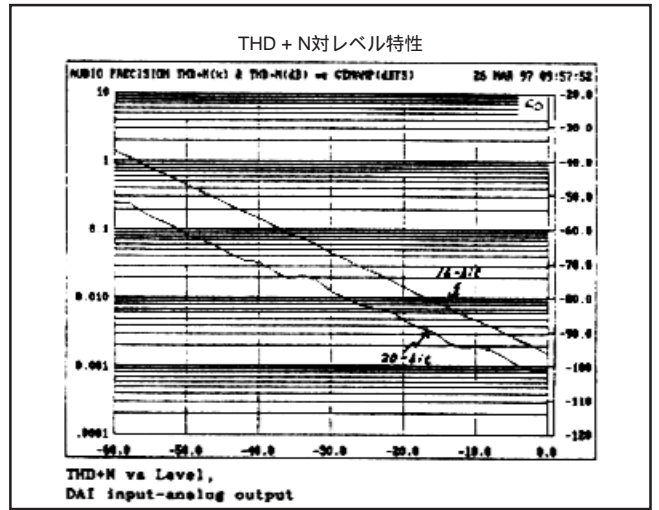


図24.

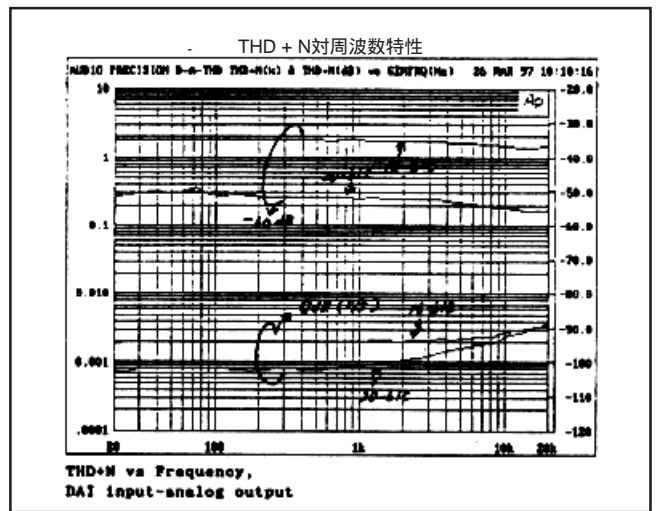


図25.

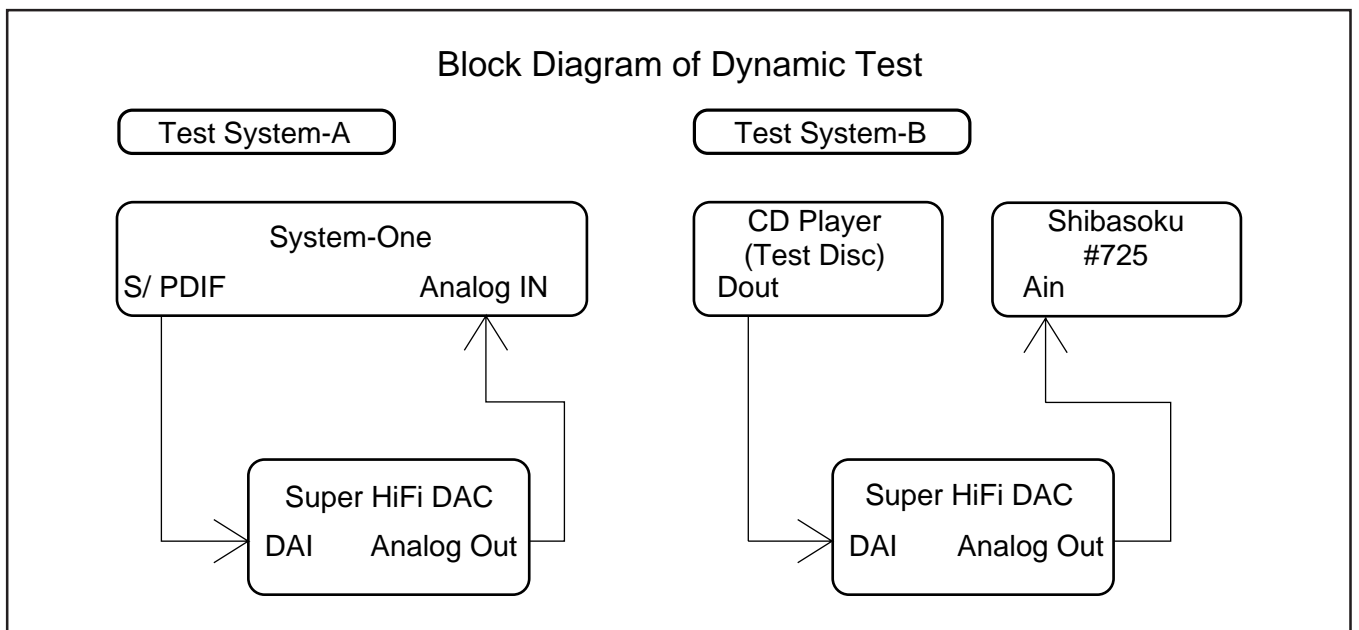


図23. テスト・ブロックダイアグラム

ツキが見られます。ただし、微小信号領域での特性は極めて良好であり、実質的なダイナミック・レンジは非常に優れています。いずれにしても、当初の目標スペックであるTHD + N : 0.002% (16ビット)、0.0015% (20ビット)はクリアしており、THD特性としては満足のいく結果となっています。

(2) -74dB出力スペクトラム

これは、HDCDテストディスクによるもので、Normal(通常)CDとHDCDとの実質的な分解能(ダイナミック・レンジ)の差を確認することができます。図26が通常CD、図27がHDCDによるものです。ノイズ・フロア・レベルは信号レベルに対して、HDCD再生では通常CDより6dB低くなっており、HDCDではダイナミック・レンジが6dB(1ビット)拡大されていることがわかります。

(3) -90dB出力波形

図28の16ビット分解能では、-90dB出力での信号ステップはゼロを中心に3値しかありませんが、図29の20ビット分解能では、分解能に応じたステップでの再生が可能であり、-110dB以下の微小信号レベルに対しても実質的な分解能があることを示しています。

(4) 測定結果Summary

今までの各種特性の測定結果から、Super HiFi DAC Board (EVM-1702)は特性面で極めて優れた性能をもつことが確認できました。特に実動作時の帯域内ノイズは非常に小さく、透明感の高い、抜けの良いかつ重厚な音質が期待できます。

Contents

さて、以上Super HiFi DAC Boardの設計と評価について解説しましたが、DACデバイス・メーカーとしての立場からの観点での設計思想が中心であることは否めません。ただ、バー・ブラウンの製品を採用していただくにあたり、ここで紹介したPCM1702を始めとする各デバイスの能力を最大限に発揮させるための数々の応用技術についてできる限りの説明をしたつもりです。製品設計者の皆さんが、それぞれの開発製品における設計参考としてこのアプリケーション・ノートを利用されることを期待します。

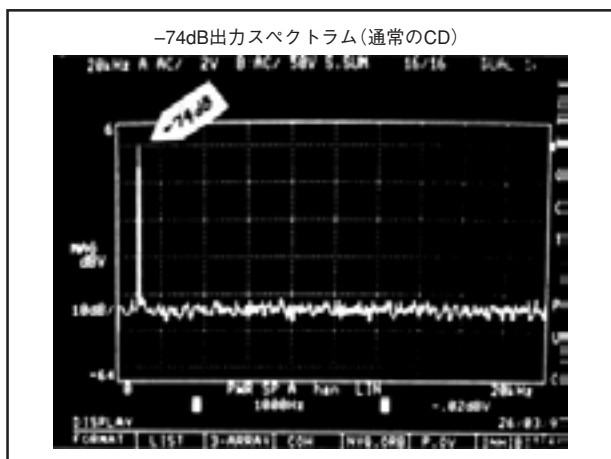


図26.

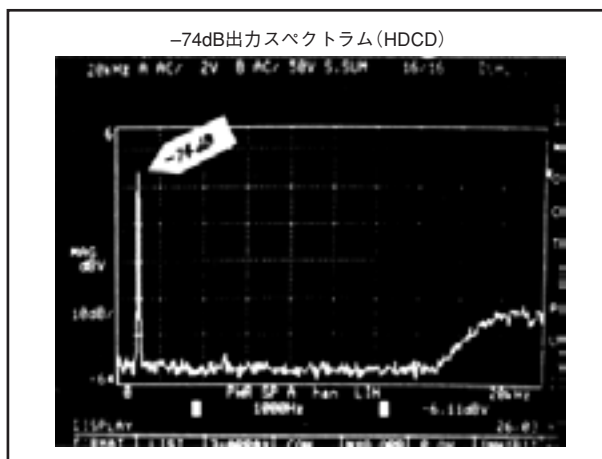


図27.

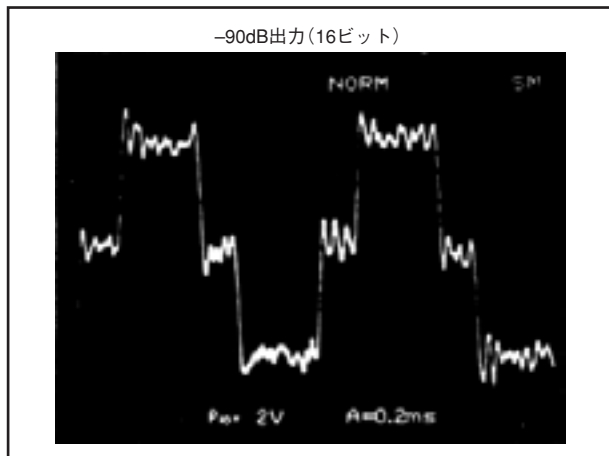


図28.

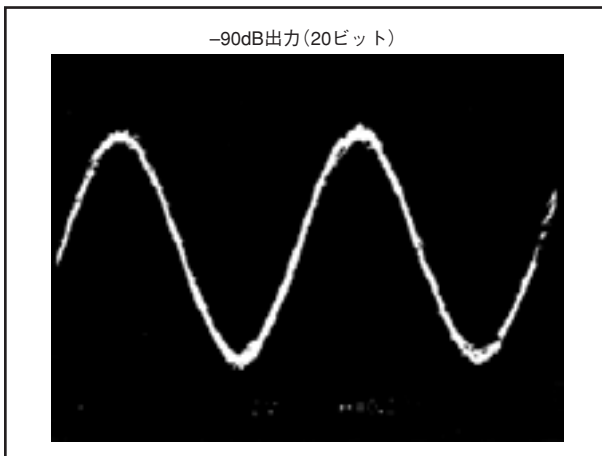


図29.